

## 삼차원적층형 집적회로 구현을 위한 자기조직화정합기술을 이용한 고속·고정밀 접합기술

이강욱

### High Speed/High-Precision Chip Joining Using Self-Assembly Technology for Three-Dimensional Integrated Circuits

Kang-Wook Lee

#### 1. 서 론

Moore의 법칙으로 알려져 있듯이, 지금까지 LSI는 미세가공기술의 진보에 따른 반도체소자의 미세화를 통해 2-3년에 4배라는 놀라운 속도로 고성능화, 대용량화가 달성되어져 왔다. 그러나 반도체 소자의 미세화가 11 nm node 이하로 진행됨에 따른 누설전류(Leakage Current)의 증가, 특성 불균형의 증가, 소비전력의 증대 및 노광장치등의 고가화에 따른 제조 코스트의 증가 등, 소자 미세화에 따른 다양한 문제들이 대두되어지고 있다. 이와같은 문제들을 해결하기 위해서는 소자의 미세화 이외에, LSI 에 실장기술, MEMS (Mechanical-electrical micro system) 기술 및 포토닉스기술 등의 이종기술을 융합시킨 새로운 직접화기술이 필요로 하다. 최근 주목을 받고 있는 대표적인 직접화기술 중 하나가 삼차원집적화 (Three-dimensional Integration) 기술이다. 삼차원집적회로 (3-D IC) 라는 개념은 오래 전부터 제안되어져 왔으나 양산에 적합한 제조기술이 아니었기 때문에 그동안 실용화 되지를 못했었다. 그러나 최근 수년 사이에 삼차원집적화 기술이 급속하게 발전한 배경에는, 길이가 수십  $\mu\text{m}$  로 매우 짧은 실리콘 관통전극 (TSV ; Through-Silicon Via)를 통해 여러층으로 적층화 된 칩들이 전기적으로 접속된 삼차원 집적회로 (3-D IC)가 병렬처리에 적합하고 시스템의 소형화, 고속화 및 저소비전력화를 동시에 실현시킬 수 있다는 가능성들이 보고되었고 이를 실용화하기 위한 연구개발이 주요 반도체 업체와 대학 및 연구기관들을 중심으로 전 세계적으로 활발하게 진행되어져 오고 있기 때문이다<sup>1-10)</sup>.

그림 1은 TSV를 적용하여 구성된 3-D IC 단면구조의 모식도 (a)와 본 연구실에서 제작한 3-D IC시작품

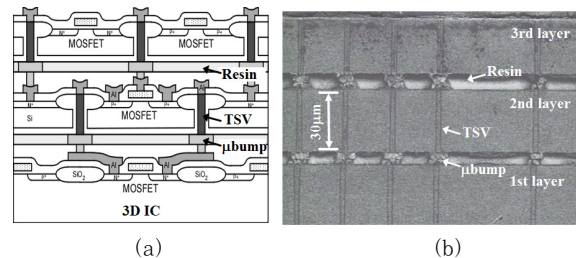


Fig. 1 Cross-sectional structure (a) and SEM cross-sectional (b) of 3D IC

의 단면구조 SEM 사진 (b)을 보여준다. 본 연구실에서는 웨이퍼접합방식 (Wafer-to-Wafer)을 이용한 삼차원집적화기술을 선도적으로 개발하여 왔으며, 이러한 웨이퍼접합 삼차원집적회로를 구현하기 위해 두께 30- $\mu\text{m}$  까지 박막화 한 웨이퍼를 적층하는 웨이퍼접합기술<sup>16)</sup>, 직경2- $\mu\text{m}$  이하의 미세한 TSV 형성기술<sup>17-19)</sup>, 직경 5- $\mu\text{m}$  이하의 미세 금속범프 형성기술<sup>20-22)</sup>, 및 5- $\mu\text{m}$  이하의 좁은 웨이퍼사이의 틈에 수지를 주입하는 특수한 underfill 기술<sup>23-24)</sup> 등, 핵심 요소기술들을 개발하였다. 이와 같은 웨이퍼접합방식에 의한 삼차원집적화기술을 이용하여 그림 2에서 보여주고 있듯이 3층 구조 이미지센서칩<sup>25)</sup>, 3층 구조 삼차원공유메모리<sup>26)</sup>, 4층 구조 인공망막칩<sup>27)</sup> 및 4층 구조 마이크로프로세서칩<sup>28)</sup> 등 다양한 3-D IC 시작품들을 성공적으로 제작, 양호한 동작특성을 확인하였다.

최근 3-D IC분야 연구에서는, 고신뢰성과 고수율 및 고생산성을 실현하기 위한 기술개발이 중점적으로 진행되고 있다. 특히 삼차원집적화기술의 양산화 측면에서 향후 가장 중요한 요인으로 고려되는 것이 칩 적층 방식이다. 그림 3에서는 삼차원집적화 방식의 분류를 나타내고 있다. 칩-칩 접합 (Die-to-Die) 방식은, 양품

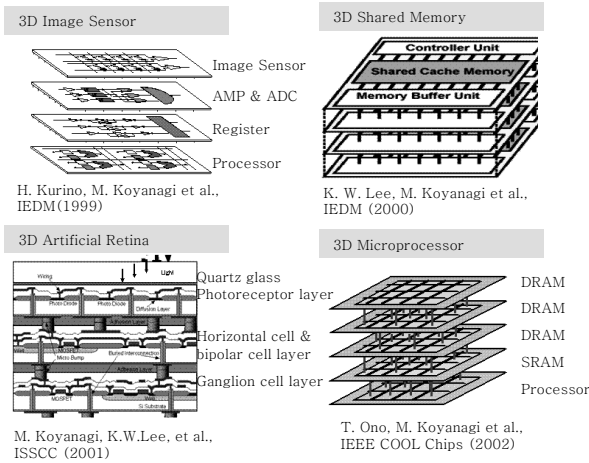


Fig. 2 Example of fabricated 3D IC prototype samples

Stacking style	Die-to-die	Wafer-to-wafer	Die-to-wafer	Self-assembly-based 3D integration
Production throughput	Extremely Low	High (wafer bonding)	Low (pick & place)	High (self-assembly)
Production yield	High (use of KGD)	Low	High (use of KGD)	High (use of KGD)
Flexibility in chip size	High	Low	High	High
Applications	Packaging	DRAM (high-yield products)	CIS, logic, memory.	CIS, logic, memory.

Fig. 3 Categories of stacking types for 3D integration

칩 (KGD ; Known Good Die)을 선별적으로 적층함으로써 높은 수율을 확보할 수 있는 고밀도실장의 대표적인 기술이나 생산성이 매우 낮다는 단점이 있다. 웨이퍼-웨이퍼 접합 (Wafer-to-Wafer) 방식의 경우, 모든 공정이 웨이퍼 상태에서 진행이 되므로 생산성을 높일 수 있는 장점이 있으나, 발생된 불량 칩을 도중에 제거하는 것이 불가하므로 웨이퍼 적층수 증가에 따라 수율이 저하된다는 점과 종류가 다른 이종 칩을 적층하는 것이 불가하다는 결점이 있다. 칩-웨이퍼 접합 (Chip-to-Wafer) 방식의 경우, 앞선 두 방식의 단점을 극복하는 것이 가능하므로 최근들어 유력한 삼차원집적화 기술로서 정착이 되어지고 있다. 그러나 현재 일반적으로 적용되고 있는 칩-웨이퍼 접합 (Chip-to-Wafer) 방식의 경우, 다수의 KGD 들을 웨이퍼에 적층하는 공정들

이 대부분 pick-and-place라 불리는 순차적인 접합 방법을 적용하고 있어 양산에 적용가능한 수준으로 생산성을 높이는데는 한계가 있다. 따라서 이러한 문제들을 해결하여 다수의 KGD 들을 빠른 생산성 및 높은 수율로 삼차원 적층 할 수 있는 새로운 삼차원집적화 기술의 개발이 요구되어지고 있다. 이를 위해 본 연구실에는 액체의 표면장력을 이용하여 다수의 KGD 들을 웨이퍼 상태에서 일괄적으로 접합함으로써 높은 수율을 갖는 삼차원적층칩을 빠른 생산성으로 제작할 수 있는, 고속·고정밀 접합기술인 자기조직화정합 (Self-assembly) 기술을 개발하였다<sup>11-12)</sup>. 본 논문에서는TSV 3D-IC 기술의 양산화를 실현하는데 핵심적인, 새로운 개념의 삼차원집적화 기술로 주목받고 있는 self-assembly기술에 대해 소개를 하고자 한다.

## 2. 자기조직화정합 (Self-assembly) 에 의한 고속·고정밀 접합기술

그림 4는 본 연구실에서 제안한 자기조직화 웨이퍼 (Self-assembled Wafer) 집적화 기술의 개념을 나타내고 있다. 먼저 액체의 표면장력을 이용하는 self-assembly기술을 적용하여 지지기반 웨이퍼상에 다수의 KGD 들을 일괄적층함으로써, 복수의 KGD 들로 구성된 자기조직화 웨이퍼 (Self-assembled Wafer)를 제작한다. 이 자기조직화 웨이퍼를 self-assembly기술을 적용하여 별도의 LSI 웨이퍼에 일괄적층시킨 후, 지지기반 웨이퍼를 분리한다. 적층된 복수의 KGD 들을 웨이퍼 상태로 기계연삭 및 CMP (chemical-mechanical polishing) 공정을 이용하여 박막화 한 후, 노출된 TSV 위에 금속범프를 형성한다. 이러한 공정들을 반복적으로 행하므로써, KGD 들을 웨이퍼 상태로 적층한 3-D ICs의 제작이 가능하게 된다. 자기조

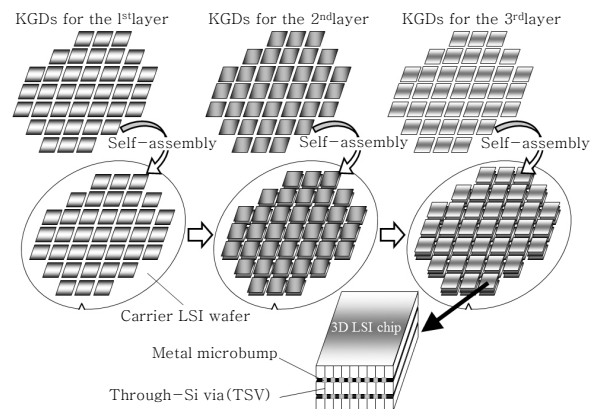


Fig. 4 Concept of self-assembled wafer for 3D integration by self-assembly technology

직화 웨이퍼 (Self-assembled Wafer) 집적화 된3-D ICs를 구현하는데 있어 핵심적인 기술이, 액체의 표면장력을 이용하여 복수의 KGD 를 일괄 적층하는 self-assembly 기술이다. 액체의 표면장력을 이용하는 self-assembly 기술은 그동안 LED등과 같이 크기가 매우 작은 소자들을 실장하는 데 적용되어져 왔으나, 최근들어 칩 사이즈가 큰 반도체 칩의 삼차원적층화에 적용하려는 움직임이 본격화하고 있다.

그림 5는 본 연구실에서 개발한 액체의 표면장력을 이용하여 복수의 LSI 칩을 적층하는 self-assembly 기술의 공정개념도를 나타내고 있다. 실리콘 기반 표면에 반도체 공정을 이용하여 산화막을 형성한 후 패터닝 공정과 습식에칭 공정을 통해 칩을 적층하고자 하는 부위의 산화막 영역들만을 남기고 주변의 산화막을 완전히 제거한다. 칩을 적층하고자 하는 부위는 친수성이 강한 산화막으로 이루어지고 주변부는 소수성이 강한 실리콘 영역으로 구성되어진다 (a). 상온에서 적정량의 액체를 칩을 적층하고자 하는 친수성 영역에 공급을 한 후 (b), 복수의 KGD 들을 친수성 영역의 상부에서 간략하게pre-aligning 을 한 후에 일괄적으로 떨어뜨리면 (c), 액체의 표면장력으로 인해 복수의 칩들이 동시에 자동적으로 aligning이 된 후, 공급된 액체들이 증발이 되면 KGD 들이 친수성 영역상에 접합하게 된다. 그림 6은 실제로 5mm 角 크기의 칩을 이용하여self-assembly 기술을 통해 복수의 칩들을 일괄 접합하는 과정을 고속카메라를 통해 단계별로 측정된 결과를 보여주고 있다. 복수의 칩들을 의도적으로 X, Y, 및  $\theta$  방향으로 틀어지게 한 후 기판 웨이퍼 상의 0.5cm 정도 높이에서 복수의 칩들을 각각의 친수성 영역들 위로 떨어트렸다. Self-assembly에 의해 접합된 칩들의 평균 alignment 정밀도는  $0.5\mu\text{m}$  이고, 복수의 칩들을 aligning 하고 접합하는데 소요된 전체 시간은 0.5초 이하이다. 그림 7은 self-assembly 되는 과정을 칩의 측면에서 고속카메라로 측정한 결과이다. 액체가 공급되어 있는 친수성 영역에 낙하된 칩은 액체의 표면장력에 의해 빠른 속도로 수평적으로 움직이면서

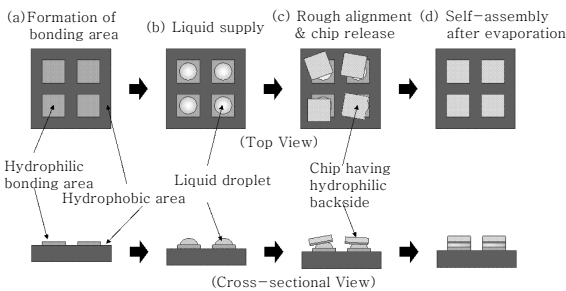


Fig. 5 Process concept of multichip self-assembly

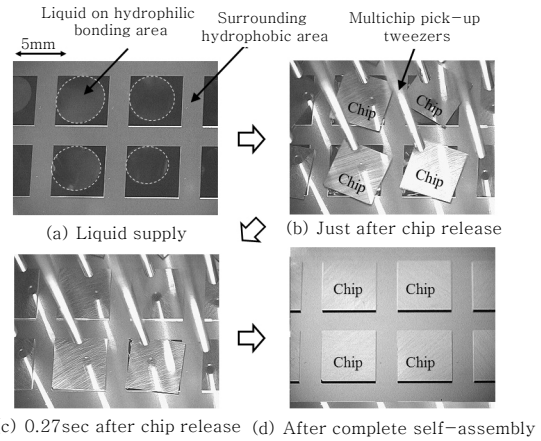


Fig. 6 Snapshots from a short movie of multichip self-assembly

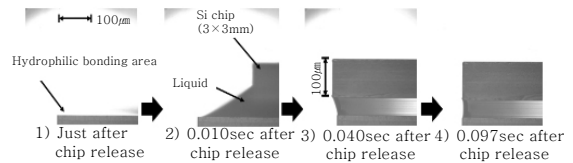


Fig. 7 Magnified cross-sectional view of a self-assembling chip to a bonding area

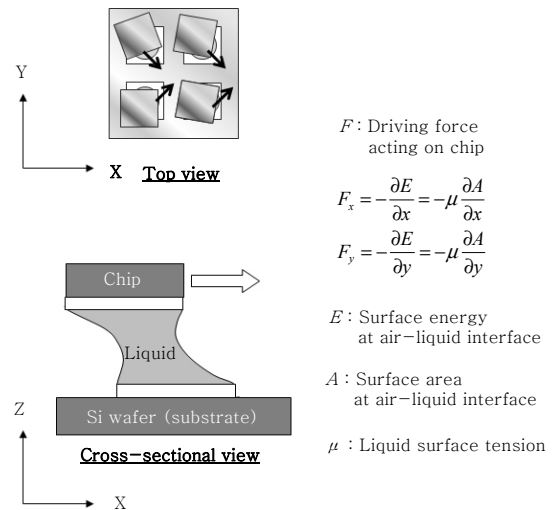


Fig. 8 Static model of a chip to be self-assembled to a hydrophilic area on wafer

0.1 초 이내에 하부의 친수성 영역에 고정도로 aligning 이 되었다<sup>35-36)</sup>.

그림 8은 self-assembly에 의해 자기정합되는 칩의 역학모델을 나타내고 있다<sup>36)</sup>. 액체로부터 칩에 걸리는 힘은, 액체의 표면장력 및 칩을 임의의 방향으로 미소 변위시켰을 때의 기체-액체 계면의 면적변화 크기에 비

레하는 것을 알 수 있다. 액체와 기체가 접해 있는 상태에서, 액체는 표면적을 가능한 축소하려는 성질이 있는데, 이러한 성질을 단위길이당 표면을 축소시키려는 힘으로 표시한 것이 표면장력이다. 수은을 제외하고 실온에서 가장 큰 표면장력을 가지고 있는 액체는 물이다. 본 연구에서는 반도체 공정에서 사용하고 있는 초순수 (DI water)를 self-assembly를 위한 공급액체로 적용하였다.

Self-assembly 공정에 의한 칩의 정합정밀도 및 정합속도는 친수성면과 소수성면의 젖음성 (Wettability) 차에 크게 의존한다. 그림 9는 친수성 영역에 공급되는 액체의 양에 따른 액체의 접촉각 변화를 실험적으로 평가한 결과이다. 액체의 양이  $0.4 \mu\text{l}$  이하의 경우에 액체는 친수성 영역 위에 전체적으로 얇게 퍼져  $12^\circ$  이하의 낮은 접촉각을 보이고 있으며, 액체의 양이  $6.4 \mu\text{l}$ 의 경우에  $90^\circ$  정도의 접촉각을 보이고 있다. 액체의 양이  $18.4 \mu\text{l}$ 로 증가를 해도 액체는 주위의 소수성 영역으로 퍼져나가지 않고 친수성 영역위에서 형태를 유지되며  $128^\circ$ 의 높은 접촉각을 보이고 있다. 그림 10은 액체의 공급양에 따른 칩의 자기정합 정밀도를 실험적으로 평가한 결과이다. 실험에서는  $3\text{mm}$  角 크기의 칩을 이용하여 친수성 영역에 공급되는 액체의 양을

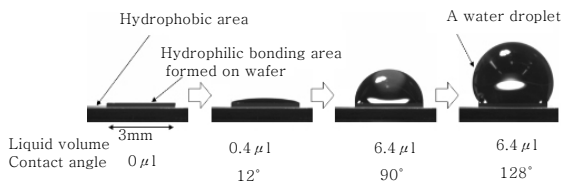


Fig. 9 Relationship between liquid volume and water contact angle

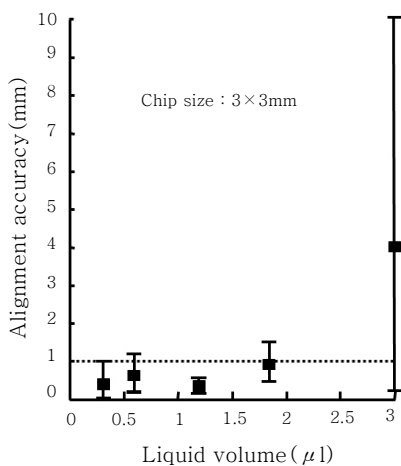


Fig. 10 Dependence of alignment accuracy on liquid volume

$0.3 \mu\text{l}$  에서  $3 \mu\text{l}$  까지 변화시키면서 self-assembly 접합 평가를 진행하였다. 액체의 양이  $1.8 \mu\text{l}$  이하의 경우 칩의 정합정밀도는 액체 양의 변화에 크게 의존하지 않고  $1\mu\text{m}$  정도의 양호한 정합정밀도를 나타내고 있으나, 액체의 양이  $3 \mu\text{l}$  로 증가한 경우,  $4\mu\text{m}$  정도 까지 정합정밀도가 저하되는 것으로 나타났다. 이는 액체의 양이 너무 많아지게 되면 친수성 영역상에서 형태를 유지하는 것이 어려워져 주위의 소수성 영역으로 액체가 퍼져나가면서 칩의 정합정밀도가 저하되는 것으로 사료된다. 그림 11은 칩의 크기에 따른 자기정합 정밀도를 실험적으로 평가한 결과이다. 액체의 공급 양을  $1.8 \mu\text{l}$  고정한 상태에서  $1, 1.5, 2, 2.5, 3\text{mm}$  角 크기의 칩을 각각 이용하여 self-assembly 접합 평가를 진행하였다. 그림에서 볼 수 있듯이 평가에 적용한  $3\text{mm}$  角 크기 이하의 칩 모두  $1\mu\text{m}$  이하의 높은 자기정합 정밀도를 보이고 있는데, 칩 크기가 상대적으로 작을 경우에는 self-assembly에 의한 자기정합 정밀도는 칩 크기에 크게 영향을 받지 않는 것으로 사료된다<sup>36)</sup>. 액체의 종류 및 양 친수성 계면 등을 최적화 할 경우, self-assembly에 의한 정합정밀도를 매우 높일 수 있다. 그림 12는 최적화 된 조건에서 self-assembly 공정에 의해 접합된 샘플의 단면 SEM 사진을 보여주고 있다. 0.1초 이내에 접합된 샘플은  $75\text{nm}$  의 매우 높은 정합정밀도를 가지고 있다. 일반적인 pick-and-place 접합방식을 이용하여 이 정도의 높은 정합정밀도 접합을 고속으로 구현하는 것은 매우 어렵다. 액체의 종류, 친수성 접합면의 재료 및 표면조도 등을 최적화 할 경우, 액체가 증발한 후에 별도의 가압이나 접착제를 사용하지 않아도 칩과 기반간에 충분한 접합강도를 확보

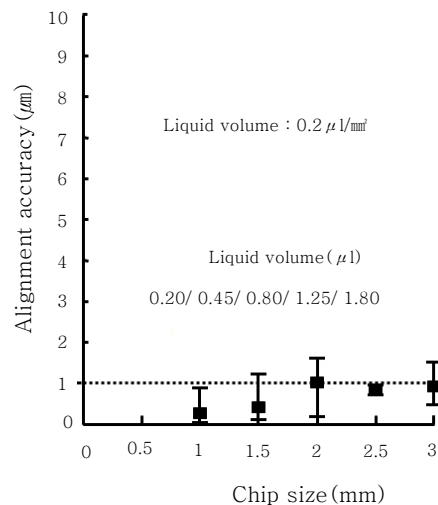


Fig. 11 Dependence of alignment accuracy on chip size



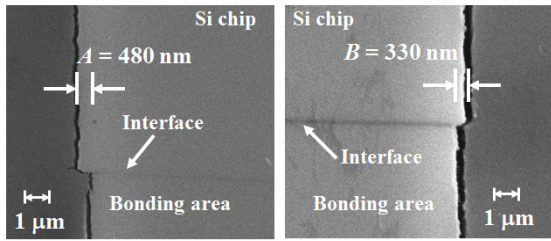


Fig. 12 SEM cross-section of a self-assembled chip to a wafer

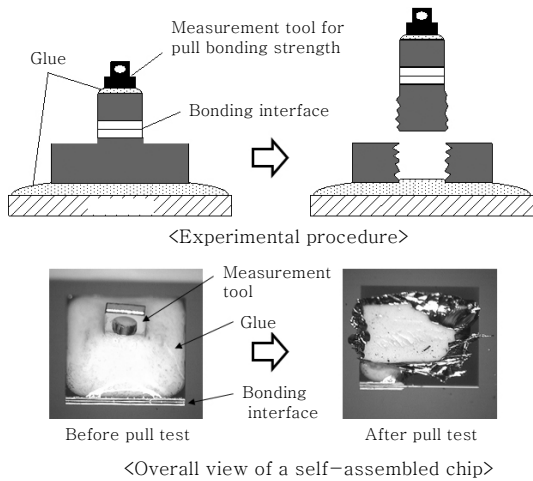


Fig. 13 Pull bonding strength measurement of self-assembled chip on a wafer

하는 것이 가능하다. HF가 0.5wt% 함유된 wafer를 공급 액체로 적용하고 친수성 영역으로 표면조도가 좋은 열산화막 ( $R_a$  : 1.7-1.9Å)을 적용하여 self-assembly 접합하였을 경우, 그림 13의 인장접합강도 측정시험 결과에서 볼 수 있듯이 5MPa 정도의 인장강도를 가하였을 때 칩과 기판내에 형성된 친수성 영역과 접합면이 아닌, 칩 내부에서의 파단에 의해 분리되는 것으로 보아, self-assembly에 의한 칩과 친수성 접합면간에는 5MPa 이상의 인장접합강도를 보유하고 있는 것으로 판단되며<sup>36)</sup>, 이는 박막화 등 삼차원집적화를 위한 후속공정들을 진행하는데 문제가 없는 수준일 것으로 사료된다.

Self-assembly기술에 의해 제작된 삼차원 칩 집적화 결과를 몇가지 소개하고자 한다. 그림 14는 크기가 큰 LSI 칩에의 적용 가능성을 평가하기 위하여, 5mm/10mm/20mm 角 크기를 칩을 이용하여 self-assembly 공정을 통해 자기정합 접합한 결과를 보여주고 있다. 칩 사이즈가 20mm 角 인 경우에 정합에 소요되는 시간이 약간 증가를 하나 0.5초 이내의 빠른 시간내에 0.5 μm (평균) 정도의 높은 정밀도로 접합되는 것을 확인하였다. 정합에 필요한 시간은 칩 수가 증가하여도 변화가

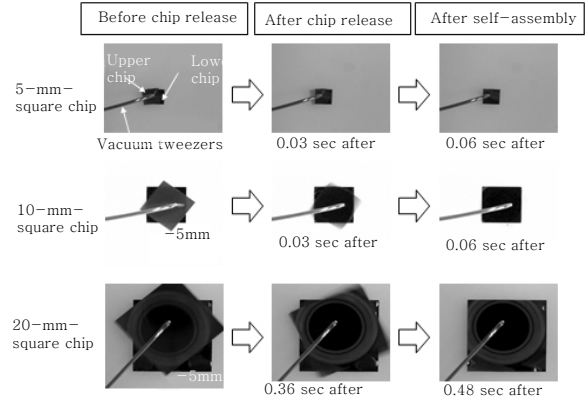


Fig. 14 Self-assembly of large-size chips

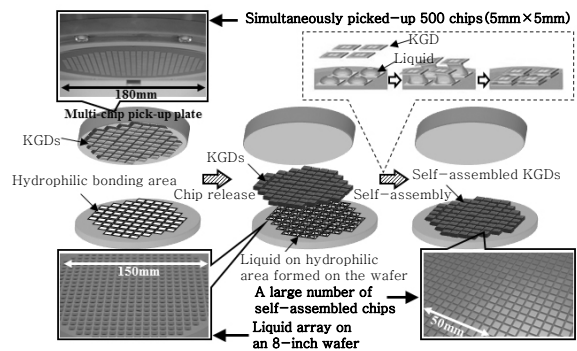


Fig. 15 Multichips self-assembly of 500 chips using 8-inch self-assembly bonder

없으므로, 수백개의 KGD 들을 웨이퍼 상태에서 self-assembly 공정을 통해 고속·고정밀로 접합하는 것이 가능하다는 것을 의미한다. 그림 15는 본 연구실에서 개발한 8인치용 self-assembly 본더설비를 이용하여 복수의 칩을 일괄접합한 결과를 보여주고 있다.<sup>37)</sup> 먼저 5mm 角 크기와 200μm 두께를 갖는 칩 500개를 진공흡착 방식을 이용하여 8인치 tray용 웨이퍼에 일괄적으로 흡착한 후, 8인치 기반 웨이퍼에 형성된 500개의 친수성 영역에 액체를 일괄 공급하였다. 8인치 tray 웨이퍼와 기반 웨이퍼를 rough aligning 한 후, tray 웨이퍼의 가해져 있는 진공을 꺼서 500개의 칩을 기반 웨이퍼 상에 동시에 낙하시켰다. 동시에 낙하된 500개의 칩들은 친수성 영역위에 공급된 액체들의 표면장력에 의해 500개의 친수성 영역내에 0.5 μm (평균) 의 높은 정밀도로 접합이 되었다. 500개의 칩을 정밀하게 접합되는데 소요된 시간은 1초 미만이다. 그림 16은 크기가 다른 칩들을 self-assembly 기술을 이용하여 상하 적층하는 과정을 나타내고 있다. 3mm 角 크기의 하부 칩에 2mm 角 크기의 상부 칩을, 3mm 角 크기의 하부 칩에 4mm 角 크기의 상부

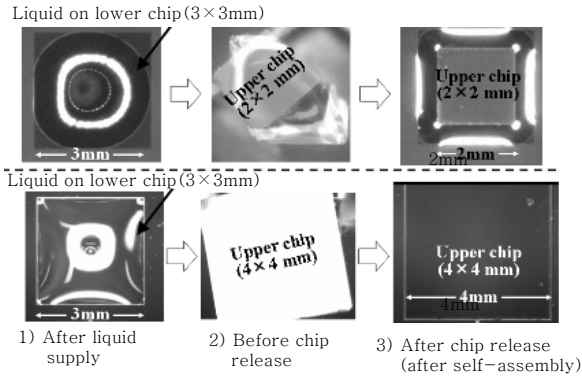


Fig. 16 Self-assembly of chips with different size

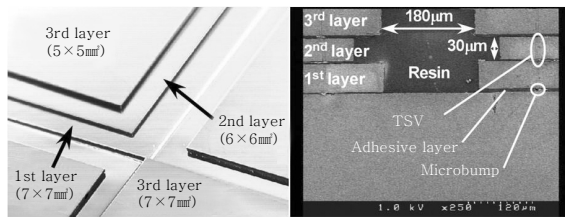


Fig. 17 Three-layer stacked chips with different sizes by self-assembly

칩을 self-assembly 기술을 이용하여 각각 적층하였는데, 상하간의 칩 크기에 관계없이 칩들은 고속·고정밀로 자기정합되는 것을 확인하였다. 그림 17은 self-assembly 기술을 이용하여 크기가 다른 칩들을 3층 구조로 적층한 삼차원적층회로 테스트 칩의 현미경 사진을 보여주고 있다. 그림에서 볼 수 있듯이 크기가 작은 칩 위에 크기가 큰 칩을 적층하거나 반대의 경우도 가능하므로 크기가 다른 다양한 칩들을 적층하는 것이 가능하다.

### 3. 요약

본 논문에서는 액체의 표면장력을 이용하여 복수의 KGD 들을 웨이퍼 상태에서 일괄접합함으로써, 높은 수율의 삼차원적층칩을 빠른 생산성으로 제작할 수 있는, 고속·고정밀 접합기술인 자기조직화정합 (Self-assembly) 기술에 대해 소개를 하였다. 본 연구실에서 개발한 self-assembly 기술을 적용하여 5mm 角 크기의 칩 500개를 1초 이내에 평균 0.5 µm 정도의 높은 정밀도로 8인치 웨이퍼상에 일괄접합시키는데 성공하였다. Self-assembly 기술에 의한 삼차원 칩 적층방식은, 기존의 pick-and-place 적층방식에서 높은 정밀도의 접합특성을 확보하는데 필요한 공정시간을 혁신적으로 단축하는 것이 가능하고, 웨이퍼 레벨에서 복수의

KGD 들을 일괄접합하는 것이 가능하므로, 향후 TSV 기술의 양산화를 실현하는데 적합한 고속·고정밀 접합 기술로서 기대가 크다. 현재 본 연구실에서는 두께가 50µm 이하의 얇은 LSI 칩 및 메탈범프가 형성된 LSI 칩 등을 이용하여, self-assembly 기술에 의한 삼차원 적층형 집적회로 구현을 위한 접합기술을 개발 중에 있다.

### 참고 문헌

1. T. Kunio, K. Oyama, Y. Hayashi, and M. Morimoto, "Three dimensional ICs, having four stacked active device layers," IEEE International Electron Devices Meeting (IEDM), 837 (1989)
2. M. Koyanagi, H. Kurino, K-W. Lee, K. Sakuma, N. Miyakawa, H. Itani, "Future System-on-Silicon LSI chips," IEEE MICRO, **18** (4), 17 (1998)
3. S.J. Souri, K. Banerjee, A. Mehrotra, and K.C. Saraswat, "Multiple Si layer ICs: Motivation, performance analysis, and design implications," in Proc. 37th ACM Design Automation Conf., 873 (2000)
4. P. Ramm, D. Bonfert, H. Gieser, J. Haufe, F. Iberl, A. Klumpp, A. Kux, R. Wieland, "Interchip via technology for vertical system integration," Proc. IEEE Int. Interconnect Technology Conf. (IITC), 160 (2001)
5. K. Banerjee, S.J. Souri, P. Kapur, and K.C. Saraswat, "3-D ICs: A Novel Chip Design for Improving Deep-Submicrometer Interconnect Performance and Systems-on-Chip Integration," PROCEEDING OF THE IEEE, **89** (5), 602 (2002)
6. M. Koyanagi, T. Fukushima, and T. Tanaka, "High-density through silicon vias for 3D-LSIs," Proc. IEEE **97** (1), 49 (2006)
7. K.W Lee, "The next generation package technology for higher performance and smaller systems", in Proc. 3rd Int. Conf. 3D Architect. Semicond. Integr. Packag., (2006)
8. J.-Q. Lu, K. Rose, and S. Vitkavage, "3D Integration: Why, what, who, when? ", Future Fab Int., **23**, 25 (2007)
9. F. Carson, "3D SiP development and trends", in 3D packag. Workshop IMAPS Int. Conf. Exhib. Device Packag. Conf., (2007)
10. Min-Seung Yoon, "Introduction of TSV (Through Silicon Via) Technology", J. Microelectron. Packag. Soc., **16** (1), 1 (2009)
11. T. Fukushima, Y. Yamada, H. Kikuchi, and M. Koyanagi, "New Three-Dimensional Integration Technology Using Self-Assembly Technique", IEEE International Electron Devices Meeting (IEDM), 359 (2005)
12. T. Fukushima, H. Kikuchi, Y. Yamada, T. Konno, J. Liang, K. Sasaki, K. Inamura, T. Tanaka, and M. Koyanagi, "New Three-Dimensional Integration Technology Based on Reconfigured Wafer-on-Wafer

- Bonding Technique", IEEE International Electron Devices Meeting (IEDM), 985 (2007)
13. K-W Lee, and M. Koyanagi, "Novel Interconnection Technology for Heterogeneous Integration of MEMS-LSI Multi-Chip Module", Journal of Microsystem and Technology, **16 (3)**, 441 (2010)
  14. K-W Lee, A. Noriki, K. Kiyoyama, S. Kanno, W-C Jeong, T. Fukushima, T. Tanaka, M. Koyanagi, "3D Heterogeneous Opto-Electronic Integration Technology for System-on-Silicon (SOS)", IEEE International Electron Devices Meeting (IEDM), 531 (2009)
  15. Mitsumasa Koyanagi, Takafumi Fukushima, Kang-Wook Lee, and Tetsu Tanaka, "Super-chip Aiming Ultimate Heterogeneous Integration", IEICE, **93 (11)**, 918 (2010).
  16. M. Koyanagi, "Roadblocks in Achieving Three-Dimensional LSI," Proc. 8th Symposium on Future Electron Devices, 50 (1989)
  17. T. Matsumoto, M. Satoh, K. Sakuma, H. Kurino, N. Miyakawa, H. Itani, and M. Koyanagi, "New three dimensional wafer bonding technology using the adhesive injection method", Jpn. J. Appl., **37 (3B)**, 1217 (1998)
  18. Y. Igarashi, T. Morooka, Y. Yamada, T. Nakamura, K.W.Lee, K.T. Park, H. Itani, and M. Koyanagi, "Filling of tungsten into deep trench using time-modulation CVD method", Proc. Int. Conf. Solid State Devices and Mater., 34 (2001)
  19. M. Koyanagi, T. Nakamura, Y. Yamada, H. Kikuchi, T. Fukushima, T. Tanaka, and H. Kurino, "Three-dimensional integration technology based on wafer bonding with vertical buried interconnections", IEEE Trans. Electron Devices, **53 (11)**, 2799 (2006)
  20. T. Matsumoto, Y. Kudoh, M. Tanara, K.H. Yu, N. Miyakawa, H. Itani, T. Ichikizaki, H. Tsukamoto, and M. Koyanagi, "Three-dimensional integration technology based on wafer bonding technique using micro-bumps", Proc. Int. Conf. Solid State Devices and Mater., 1073 (1995)
  21. M. Motoyoshi, K. Kamibayashi, M. Koyanagi, and M. Bonkohara, "Current and future 3-dimensional LSI technologies", Tech. Dig. 3D System Integration Conf., 8.1 (2007)
  22. Y. Ohara, A. Noriki, K. Sakuma, K.W. Lee, J. Bea, F. Yamada, T. Fukushima, T. Tanaka, and M. Koyanagi, "10um fine pitch Cu/Sn micro-bumps for 3-D super-chip stack", Tech. Dig. 3D System Integration Conf., (2009)
  23. T. Matsumoto, M. Satoh, K. Sakuma, Hu. Kurino, N. Miyakawa, H. Itani, T. Ichikizaki, H. Tsukamoto, and M. Koyanagi, "New three-dimensional wafer bonding technology using adhesive injection method", Proc. Int. Conf. Solid State Devices and Mater., 460 (1997)
  24. H. Kurino, K-W. Lee, K. Sakuma, T. Nakamura, M. Koyanagi, "A New Wafer Scale Chip-on-Chip (W-COC) Packaging Technology using Adhesive Injection Method", Jpn.J.Appl.Phys., **38**, 2406 (1999)
  25. H. Kurino, K-W. Lee, T. Nakamura, K. Sakuma, K-T. Park, N. Miyakawa, H. Shimatzu, K. Inamura, M. Koyanagi, "Intelligent Image Sensor Chip with Three Dimensional Structure", IEEE International Electron Devices Meeting (IEDM), 879 (1999)
  26. K-W. Lee, T. Nakamura, T. Ono, Y. Yamada, H. Hashimoto, K-T. Park, H. Kurino, M. Koyanagi, "Three Dimensional Shared Memory Fabricated using Wafer Stacking Technology", IEEE International Electron Devices Meeting (IEDM), 165 (2000)
  27. M. Koyanagi, Y. Nakagawa, K-W. Lee, T. Nakamura, Y. Yamada, K. Inamura, K-T. Park, H. Kurino, "Neuromorphic Vision Chip Fabricated using Three-Dimensional Integration Technology", IEEE Int. Solid State Circuits Conference (ISSCC), 270 (2001)
  28. T. Ono, T. Mizukusa, T. Nakamura, Y. Yamada, Y. Igarashi, T. Morooka, H. Kurino, and M. Koyanagi, "Three-dimensional processor system fabricated by wafer stacking technology", Pro. Int. Symp. Low-Power and High-Speed Chips (COOL Chips), 186 (2002)
  29. K. Hozawa, H. Miyazaki, and J. Yugami, "True influence of wafer-backside copper contamination during the back-end process on device characteristics," IEEE International Electron Devices Meeting (IEDM), 737 (2002)
  30. J.C. Bae, K.W. Lee, T. Fukushima, T. Tanaka, and M. Koyanagi, "Evaluation of Cu Contamination at Backside Surface of Thinned Wafer in 3-D Integration by Transient Capacitance Measurement", IEEE Electron Device Letters, (in press, January 2011)
  31. J.-C. Bea, K.-W. Lee, M. Murugesan, T. Fukushima, T. Tanaka and M. Koyanagi, "Evaluation of Copper Diffusion in Thinned Wafer with Extrinsic Gettering for 3D-LSI by Capacitance-Time (C-t) measurement", Int. Conf. On. Solid State Devices and Materials (SSDM), Sep. (2010)
  32. M. Murugesan, J-C. Bea, H. Kino, Y. Ohara, M. Kojima, A. Noriki, K-W. Lee, K. Kiyoyama, T. Fukushima, H. Nohira, T. Hattori, E. Ikenaga, T. Tanaka, M. Koyanagi, "Impact of Remnant Stress/Strain and Metal Contamination in Extremely Thin (~10 μm) Si Wafers in the 3D Integration Technology", IEEE International Electron Devices Meeting (IEDM), 361 (2009)
  33. Sung-Hwan Hwang, Byoung-Joon Kim, Sung-Yup Jung, Ho-Young Lee and Young-Chang Joo, "Thermo-Mechanical Analysis of Through-silicon-via in 3D Packaging", J. Microelectron. Packag. Soc., **17 (1)**, 69 (2010)
  34. Eun-Kyung Kim, "Assessment of ultra-thin Si wafer thickness in 3D wafer stacking", Microelectronics Reliability, **50**, 195 (2010)
  35. T. Fukushima, E. Iwata, T. Konno, J.-C. Bea, K.-W. Lee, T. Tanaka, and M. Koyanagi, "Surface

- tension-driven chip self-assembly with load-free hydrogen fluoride-assisted direct bonding at room temperature for three-dimensional integrated circuits", APPLIED PHYSICS LETTERS, **96** (15), 154105 (2010)
36. Eiji Iwata, Takafumi Fukushima, Ohara Yuki, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "High-Precision Chip Alignment Using Self-Assembly Technology for Three-Dimensional Integrated Circuit Applications", IEICE, 93-C (11), 493 (2010)
37. M. Koyanagi, T. Fukushima, K.W. Lee, T. Tanaka, "3D Integration Technology and Heterogeneous Integration", IEICE, (in press, 2011)



- 이강욱
- 1968년생
- Tohoku Univ. (Japan)
- 삼차원집적화, 전자 패키징
- e-mail : kriss@bmi.niche.tohoku.ac.jp