

---

# 이중루프 위상·지연고정루프 설계

최영식\* · 최혁환\*\*

A Design of an Integer-N Dual-Loop Phase-Delay Locked Loop

Young-Shig Choi\* and Hyek-Hwan Choi\*\*

---

이 논문은 2010년도 부경대학교 수송기계안전편의 융합부품소재 인재양성센터의  
산학협동연구과제로 진행하였음

---

## 요 약

본 논문에서는 전압제어지연단(Voltage Controlled Delay Line : VCDL)을 이용하여 기존의 위상고정루프와 다른 형태의 위상·지연고정루프(Phase-Delay Locked Loop)를 제안하였다. 이 구조를 이용하여 기존의 위상고정루프의 2차 또는 3차 루프필터(Loop Filter)를 단하나의 커패시터로 구현하여 칩의 크기를 크게 줄였다. 새로이 제안하는 듀얼루프 위상·지연고정루프에서는 전압제어지연단 경로의 커패시터와 전하펌프의 전류 크기를 조절함으로서 작은 이득 값을 가지는 전압제어지연단을 사용할 수 있다. 제안된 회로는  $0.18\mu\text{m}$  CMOS 공정의 파라미터를 이용하여 Hspice로 시뮬레이션을 수행하고 회로의 동작을 검증하였다.

## ABSTRACT

In this paper, a dual-loop Integer-N phase-delay locked loop(P-DLL) architecture has been proposed using a low power consuming voltage controlled delay line (VCDL). The P-DLL can have the LF of one small capacitance instead of the conventional second or third-order LF which occupies a large area. The proposed dual-loop P-DLL can have a small gain VCDL by controlling the magnitude of capacitor and charge pump current on the loop of VCDL. The proposed dual-loop P-DLL has been designed based on a 1.8V  $0.18\mu\text{m}$  CMOS process and proved by Hspice simulation.

## 키워드

위상고정루프, 위상지연고정루프, 전압제어지연단

## Keywords

Phase Locked Loop (PLL), Phase-Delay Locked Loop (P-DLL), Voltage Controlled Delay line (VCDL)

---

\* 정희원 : 부경대학교

\*\* 정희원 : 부경대학교(교신저자, choihh@pknu.ac.kr)

접수일자 : 2011. 02. 22

심사완료일자 : 2011. 03. 27

## I. 서 론

주파수 합성과 고속 클록을 만드는 등에 여러 분야에서 널리 사용되고 있는 위상고정루프(Phase Locked Loop, PLL)는 접적회로의 성능이 향상되고, 통신 속도의 고속화 및 고주파수 추세에 따라 많은 연구가 진행되고 있는 분야이다. 위상고정루프는 낮은 주파수를 입력 받아 높은 주파수를 출력하는 폐루프 시스템이며 전체적으로 3-4차의 전달함수를 가지고 있어 비교적 불안정한 시스템이다. 그리고 주파수 체배가 쉬워 많이 사용하지만 위상 잡음(Phase Noise)이 루프에 축적이 되어 지터특성이 나쁘게 나타난다. 위상고정루프가 가진 여러 문제점을 해결하기 위해 최근 지터 특성을 개선하기 위한 자기-바이어스 위상고정루프<sup>[1,2]</sup>, 디지털 위상고정루프<sup>[3]</sup> 등의 연구가 활발히 진행 중이다. 하지만 이와 같은 위상고정루프는 지연고정루프에 비해 설계가 어렵고 칩의 면적이 많이 차지하는 것이 가장 큰 단점이다.

이해 비해 지연고정루프(Delay Locked Loop ; DLL)은 전체적으로 1차의 전달함수를 가지는 시스템이며, 위상 잡음이 전압제어지연단(Voltage Controlled Delay Cell ; VCDL)에 축적되지 않아 위상고정루프에 비해 지터특성이 뛰어난 것이 특징이다. 반면, 위상고정루프에 비해 주파수 체배가 힘든 것이 단점이며, 최근의 지연고정루프는 주파수 체배가 힘든 단점을 극복해 가는 방향의 연구가 활발히 진행되고 있다. 현재 활발히 진행되는 연구는 크게 두 가지로 나눌 수가 있는데, 지연고정루프의 장점을 확대하는 것과 지연고정루프에 주파수 체배 기능을 추가하는 것이다. 지연고정루프의 장점을 확대한 연구로는 듀얼 루프 지연고정루프로<sup>[4]</sup> 동작 주파수 범위문제를 크게 개선 한 것과 다차(multi-order) 시스템 지연고정루프로 지터를 개선 시킨 것이 대표적이다. 그리고 주파수 체배 기능을 추가한 것은 Multiplying 지연고정루프가 대표적이다<sup>[5,6]</sup>. 전압제어지연단을 저항으로 사용하여 칩의 크기를 줄여 단일 칩으로 제작이 가능한 단일루프 위상·지연고정루프 구조도 발표되었다<sup>[7]</sup>.

본 논문에서는 위상지연을 이용한 기존의 단일루프 위상·지연고정루프에서 면적이 크고 많은 전력을 소모하는 큰 이득 값을 가지는 전압제어지연단이 필요한 문

제점을 이중루프를 사용하여 해결하였다. 새로이 제안하는 이중루프 위상·지연고정루프에서는 위상지연 경로의 커패시터와 전하펌프 전류의 크기를 조절하여 작은 이득 값을 가지며 전력소모가 작은 전압제어지연단을 사용하였다.

## II. 이중루프 위상·지연고정루프

### 2.1. 제안한 위상·지연고정루프 해석

본 논문에서 제안한 이중루프 위상·지연고정루프는 그림 1과 같이 하나의 위상·주파수 검출기(PFD : Phase Frequency Detector), 두 개의 전하펌프(CP : Charge Pump), 두 개의 루프필터(LF : Loop Filter), 전압제어 발진기(VCO : Voltage Controlled Oscillator), 전압제어지연단(VCDL : Voltage Controlled Delay Line), 그리고 분주기(divider)로 구성하였다.

제안한 이중루프 위상·지연고정루프는 기준주파수가 입력이 되면 위상·주파수검출기에서 기준 주파수와 분주기의 출력을 비교하여 전하펌프에 위상과 주파수 차이 정보를 넘겨준다.

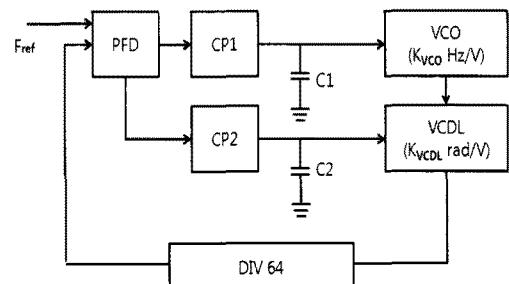


그림 1. 제안한 이중루프 위상·지연고정루프의 구조.

Fig. 1. Block diagram of proposed dual-loop P-DLL.

이에 전하펌프는 각각의 루프필터에 전하를 공급하게 되며 루프필터에서 형성된 전압은 전압제어발진기와 전압제어지연단의 입력이 된다. 전압제어발진기 루프필터의 전압은 전압제어발진의 출력 주파수와 위상을 조절하며, 전압제어지연단 루프필터는 전압제어발진기의 출력 신호의 위상을 변화시킨다. 이 출력 신호는 분주기를 통해 다시 위상주파수검출기의 입력으로

들어가는 폐루프 시스템이다. 두 개의 전하펌프와 루프 필터는 각기 다른 값을 가질 수 있으며 이로 인해 [7]의 단일루프 구조와 달리 전압제어지연단의 이득의 크기가 충분치 못하다고 하더라도 전하펌프와 루프필터의 크기 조절을 통해 보상할 수 있다. 즉 전하펌프의 전류를 크게 하고 루프필터의 커패시턴스를 작게 함으로서 큰 이득 값을 가지는 전압제어지연단의 효과를 볼 수 있다.

먼저 제안된 회로의 분석을 위해 그림 1을 그림 2와 같이 나타내었다. 루프필터는 전압제어발진기와 전압 제어지연단에 각각 1차의 구조를 가지며 전체의 폐루프 전달함수를 구하면 다음 수식과 같이 나타난다.

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_{p1}}{2\pi} \cdot \frac{1}{sC_1} \cdot K_{VCO} + \frac{I_{p2}}{2\pi} \cdot \frac{1}{sC_2} \cdot K_{VCDL}}{1 + \frac{1}{N} \left( \frac{I_{p1}}{2\pi} \cdot \frac{1}{sC_1} \cdot K_{VCO} + \frac{I_{p2}}{2\pi} \cdot \frac{1}{sC_2} \cdot K_{VCDL} \right)} \quad (1)$$

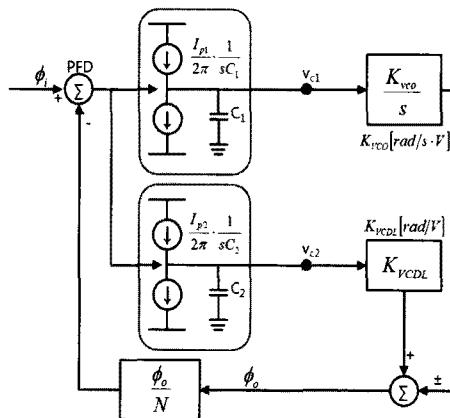


그림 2 제어시스템 분석을 위한 모델링 블록도.  
Fig. 2. Block diagram for control system analysis.

여기서  $I_p$ 는 전하펌프에서 공급되는 전류의 양,  $K_{VCO}$ 와  $K_{VCDL}$ 은 전압제어발진기의와 전압제어 위상 지연단의 이득이며  $C1/C2$ 는 저역통과필터의 수동소자 값이다.  $N$ 은 분주기의 분주비이다. 그리고 폐루프 전달 함수를 고유각주파수( $\omega_n$ )와 감쇠비( $\zeta$ )로 나타내면 다음 수식과 같이 나타낼 수 있다.

$$\frac{\phi_o}{\phi_i} = \frac{N[2\zeta\omega_n \cdot s + \omega_n^2]}{s^2 + 2\zeta\omega_n \cdot s + \omega_n^2} \quad (2)$$

여기에서 고유각주파수( $\omega_n$ )와 감쇠비( $\zeta$ )는 각각 다음과 같이 나타낼 수 있다.

$$\omega_n = \sqrt{\frac{1}{N} \cdot \frac{I_{p1}}{2\pi} \cdot \frac{1}{C_1} \cdot K_{VCO}} \quad (3)$$

$$\zeta = \frac{1}{2} \sqrt{\frac{1}{N} \frac{1}{2\pi} \frac{(I_{p2})^2}{I_{p1}} \frac{C_1}{C_2^2} \frac{K_{VCDL}^2}{K_{VCO}}} \quad (4)$$

식 (3)과 (4)는 단일루프 위상·지연고정루프와 달리 두 개의 루프로 인하여 변수 조절이 쉽다. 즉 고유각주파수와 감쇠비를 독립적으로 결정할 수 있다.

$\zeta$  값이 1보다 작은 경우 제안된 이중루프 위상·지연 고정루프의 위상과 주파수의 단계 입력 변화에 대한 반응은 다음과 같다.

$$\phi(t) = N \cdot \Delta \phi \left\{ 1 - e^{(-\zeta\omega_n)t} \left[ \sqrt{\frac{1}{1-\zeta^2}} \right] \right\} \cos \left[ (\omega_n \sqrt{1-\zeta^2})t - \tan^{-1} \frac{\sqrt{1-\zeta^2}}{\zeta} t \right] \quad (5)$$

$$\phi(t) = \Delta w_n \cdot N \cdot \left\{ t - \left( \frac{1}{\sqrt{1-\zeta} \cdot \omega_n} \right) \cdot e^{-\zeta \cdot \omega_n \cdot t} \cdot \sin(\sqrt{1-\zeta} \cdot \omega_n \cdot t) \right\} \quad (6)$$

식 (5)는 위상에 대한 반응이며, 식 (6)은 주파수 변화에 대한 응답이다. 고유각주파수와 감쇠비의 값을 단일 루프 위상·지연고정루프보다 유연하게 결정 할 수 있어 안정된 동작과 빠른 위상고정이 가능하다.

## 2.2. 전압제어지연단의 역할

저항과 커패시터로 구현된 1차 구조의 루프필터를 가진 기존의 위상고정루프는 다음과 같은 전달함수를 지닌다.

$$\frac{\phi_o}{\phi_i} = \frac{N \left( \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot \frac{K_{VCO}}{s} + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{sC} \right)}{1 + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot \frac{K_{VCO}}{s} + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{sC}} \quad (7)$$

여기서  $I_p$ 는 전하펌프에서 공급되는 전류의 양,  $K_{VCO}$ 는 전압제어발진기의 이득이며  $R$ 과  $C$ 는 각각 저역통과필터의 수동소자 값이다.  $N$ 은 주파수 분주비이다. 식 (1)에서 개루프 전달함수를 구하면 다음과 같아 나타난다.

$$F(s)_{open} = \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot \frac{1}{s \cdot C_1} \cdot \frac{A}{B} \cdot K_{VCDL} \left( \frac{s + \frac{K_{VCO}}{C_2}}{\frac{A \cdot K_{VCDL}}{B} - \frac{1}{s}} \right) \quad (8)$$

$$A = \frac{I_p}{I_{pl}} \quad \text{and} \quad B = \frac{C_2}{C_1} \quad (9)$$

식 (7)과 (8)를 비교하면 식 (8)의  $\frac{A}{C_2} \cdot \frac{K_{VCDL}}{K_{VCO}}$  가 식 (7)의  $R$ 과 같은 동등한 역할을 하는 변수임을 알 수 있다. 즉 이중루프 위상·지연고정루프 관점에서 보면  $\frac{A}{C_2} \cdot \frac{K_{VCDL}}{K_{VCO}}$  이  $R$  역할을 하여 제안한 구조가 안정하게 동작됨을 알 수 있다. 이중루프 위상·지연고정루프에서는 각 루프의 전하펌프 전류의 비율과 독립적으로 결정할 수 있는 전압제어지연단 루프의 커페시턴스 크기로  $R$  값을 조절 할 수 있다. 그러므로 이중루프 구조에서 전압제어지연단의 이득을 크게 줄일 수 있도록 해준다.

### III. 잡음 해석

그림 3은 위상·지연고정루프의 잡음 해석을 위한 블록선도이다. 주파수 변화에 따른 제안한 이중루프 위상·지연고정루프 구조의 특성을 보기위해 모든 잡음의 크기를 똑같다고 가정하였다. 그리고 잡음 해석을 위한 시뮬레이션에 사용된 변수의 값들은 Spice 시뮬레이션에서 사용한 변수들이다.

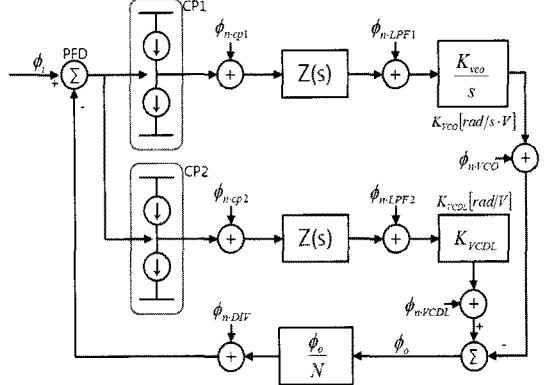


그림 3. 잡음해석을 위한 이중루프 위상·지연고정루프의 선형 모델.

Fig. 3 Linear model of dual-loop P-DLL for noise analysis.

그림 3에서  $\phi_{n \cdot VCO}$ 에 대한 듀얼루프 위상·지연고정루프의 전달함수를 구하면 다음과 같다.

$$\frac{\phi_o}{\phi_{n \cdot VCO}} = \frac{1}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{sC_1} \frac{K_{VCO}}{s} + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{sC_2} K_{VCDL}} \quad (10)$$

식 (10)를 식 (3)과 식 (4)의 고유주파수와 감쇠비로 표현하면 다음과 같이 나타낼 수 있다.

$$\frac{\phi_o}{\phi_{n \cdot VCO}} = \frac{s^2}{s^2 + 2\zeta \cdot \omega \cdot s + \omega_n^2} \quad (11)$$

같은 방법으로 전압제어지연단의 잡음,  $\phi_{n \cdot VCDL}$  와 전달함수를 계산하면 전압제어발진기의 잡음 전달함수와 같은 형태를 가진다.

$$\frac{\phi_o}{\phi_{n \cdot VCDL}} = \frac{1}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{sC_1} \frac{K_{VCO}}{s} + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{sC_2} K_{VCDL}} \quad (12)$$

식 (12)을 고유주파수와 감쇠비로 표현하면 다음과 같이 나타낼 수 있다.

$$\frac{\phi_o}{\phi_{n \cdot VCDL}} = \frac{s^2}{s^2 + 2\zeta \cdot \omega \cdot s + \omega_n^2} \quad (13)$$

전달함수가 전압제어발진기와 완전히 같은 형태이므로 같은 특성을 보여준다. 또한 같은 방법으로 풀어본 분주기, CP1과 CP2, LPF1과 LPF2 잡음 특성은 다음 수식과 같다.

$$\frac{\phi_o}{\phi_{n \cdot DIV}} = \frac{s \frac{I_{p2}}{2\pi} \frac{1}{C_2} K_{VCDL} + I_{p1} \frac{1}{2\pi} \frac{1}{C_1} K_{VCO}}{s^2 + 2\zeta \cdot \omega \cdot s + \omega_n^2} \quad (14)$$

$$\frac{\phi_o}{\phi_{n \cdot CP1}} = \frac{\frac{1}{c_1} \cdot K_{VCO}}{s^2 + 2\zeta \cdot \omega \cdot s + \omega_n^2} \quad (15)$$

$$\frac{\phi_o}{\phi_{n \cdot CP2}} = \frac{\frac{1}{c_2} \cdot K_{VCDL}}{s^2 + 2\zeta \cdot \omega \cdot s + \omega_n^2} \quad (16)$$

$$\frac{\phi_o}{\phi_{n \cdot LPF1}} = \frac{s \cdot K_{VCO}}{s^2 + 2\zeta \cdot \omega \cdot s + \omega_n^2} \quad (17)$$

$$\frac{\phi_o}{\phi_{n \cdot LPF2}} = \frac{s^2 \cdot K_{VCDL}}{s^2 + 2\zeta \cdot \omega \cdot s + \omega_n^2} \quad (18)$$

이를 보드 선도로 나타내면 각각 그림 4로 나타낼 수 있다.

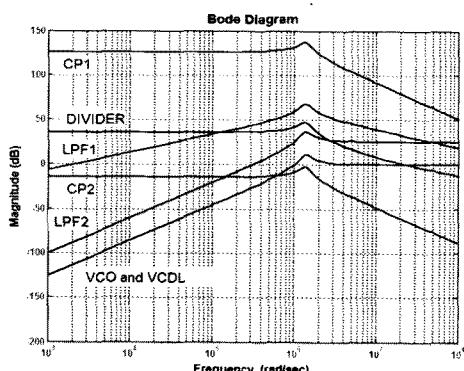
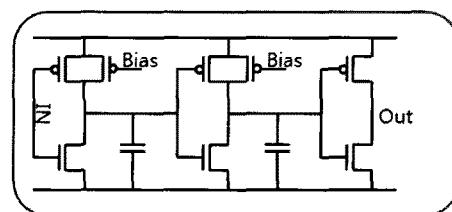


그림 4. 다양한 잡음 전달 함수.  
Fig. 4. Various noise transfer functions.

일반적으로 전압제어발진기가 가장 큰 잡음을 가지고 있다. 그림 4에 나타난 봐와 같이 제안된 이중루프 위상-지연고정루프 구조에서는 전압제어발진기의 전달 함수 값의 크기가 가장 작으므로 기존의 위상고정루프 보다 좋은 잡음 특성을 가지는 주파수 합성기, 또는 작은 지터 값을 가지는 클록 신호 생성기를 제안된 이중루프 위상-지연고정루프를 사용하여 설계하는 것이 용이하다.

#### IV. 제안된 이중루프 위상-지연 고정루프 설계

본 논문에서 사용된 전압 제어 지연단의 구조는 그림 5와 같다. 지연셀은 바이어스 회로에서 나오는 바이어스 전압에 의해 지연의 정도가 결정되고 선형성을 좋게 하기 위해서 전압제어저항을 바이어스 회로로 사용하였다. 제안된 논문에서는 단위 지연 셀을 단일루프 위상-지연고정루프의 1/3인 7개를 직렬로 연결하여 사용하였다. 단일 위상-지연고정루프에서 가장 많은 전력소모를 하는 전압 제어 지연단의 개수를 듀얼루프 위상-지연고정루프에서는 지연단의 개수를 약 1/3로 줄일 수 있어 전체 전력소모를 크게 줄였다. 이는 단일 위상-지연고정루프의 동작 구간인 0.6V - 1.2V에서 약 2π rad/V의 선형 이득을 가진다. 전압제어발진기는 [7]에서 사용된 것과 같은 구조를 사용하였다.



(b) 지연 셀(Delay Cell)

그림 5. 제안된 전압제어지연단의 지연 셀.  
Fig. 5. Delay cell in the proposed voltage controlled delay line.

커패시터의 크기가 위상고정시간 및 잡음 특성(지터 특성)을 결정하고, 단일루프나 이중루프 위상-지연고정루프의 전체 칩의 크기는 사용된 커패시턴스의 용량에

따라 크게 영향을 받음으로 서로의 크기 비교는 의미가 없으나 두 구조 모두 기존의 위상고정루프보다 작은 면적으로 주파수 합성기, 또는 클록 신호 생성기를 구현할 수 있다.

#### IV. 시뮬레이션 결과

제안된 이중루프 위상·지연고정루프는 1.8V 단일 전원을 사용하고, 표준 CMOS  $0.18\mu\text{m}$  공정을 900MHz 출력을 가지는 Integer-N PLL을 설계하였다. 사용된 변수는 단일루프 위상·지연고정루프와 함께 표 1에 나타나 있다. 그림 7은 각 루프필터의 출력전압을 보여주고 있다. 위상고정 시간은 전압제어발진기 루프필터 전압을 기준으로 하면  $60\mu\text{s}$ 이다.

고정시간 이후의 LPF1 및 LPF2 전압의 변화는 그림 8에서 보였듯 주기적인 특성을 가지는 것으로 나타났으며 이 주기는  $\omega$ 에 비례하게 나타났다.  $\omega n$ 의 크기에 따라 LPF1 및 LPF2 전압의 변화가 주기적으로 나타남에 따라 출력에 스펙트럼이 나타난다. 시뮬레이션을 통해 이 스펙트럼의 크기는 커패시터의 (C1) 크기에 반비례하는 것으로 나타났다. 커패시터의 크기가 너무 커지게 되면 고유각 주파수가 작은 값을 가져 스펙트럼이 반송파 근처로 이동함에 따라 위상잡음 특성이 나빠질 수 있다. 그러나 커패시터가 커지면 루프필터 출력전압의 변동 폭은 작아지므로 적정한 크기를 결정하여야 한다.

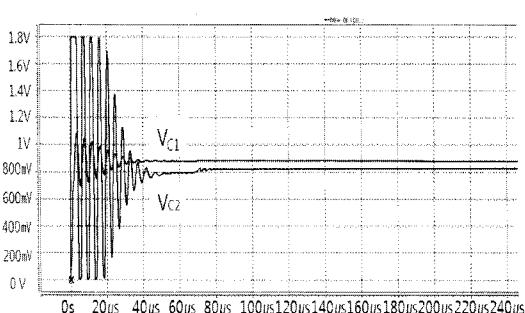
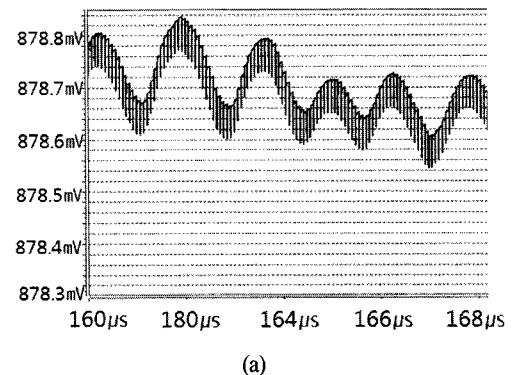
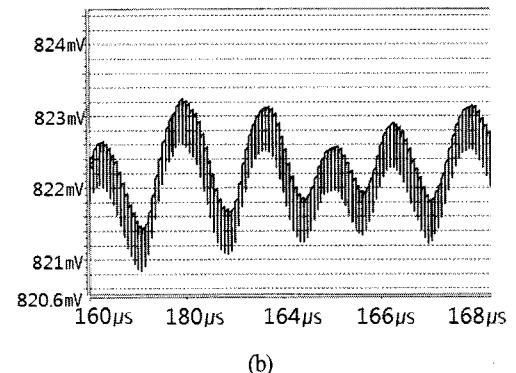


그림 6. 이중루프 위상·지연고정루프 시뮬레이션 결과.  
Fig. 6. Simulation result of P-DLL.



(a)



(b)

그림 7. 고정 시간 이후의 (a) VC1 (b) VC2 변화.

Fig. 7. Voltage fluctuation after locking at  
(a) VC1 (b) VC2.

#### V. 결론

본 논문에서는 위상지연을 이용한 기존의 단일루프와 위상·지연고정루프에서 면적이 크고 많은 전력을 소모하는 큰 이득 값을 가지는 전압제어지연단이 필요한 문제점을 이중루프를 사용하여 해결하였다. 새로이 제안하는 이중루프 위상·지연고정루프에서는 위상지연 경로의 커패시터와 전하펌프 전류의 크기를 조절하여 작은 이득 값을 가지며 전력소모가 작은 전압제어지연단을 사용하였다. 고유각주파수와 감쇠비의 값을 단일루프 위상·지연고정루프 보다 유연하게 결정 할 수 있어 안정된 동작과 빠른 위상고정이 가능하다.

표 1. 단일루프 P-DLL과 이중루프 P-DLL의 성능 비교  
Table 1. Summary of single-loop P-DLL and dual-loop P-DLL

	단일루프 P-DLL	듀얼루프 P-DLL
KVCO	150 MHz/V	150 MHz/V
KVCDL	$3 \times 2\pi$ rad/V	2π rad/V
Ip	400 μA	200μA / 400μA (CP1/CP2)
LPF	300 pF	250pF / 50pF (LPF1/LPF2)
Locking time	300 μs	60μs(LPF1 전압기준)
VCDL 전력소모	18mW	6mW

### 감사의 글

이 논문은 2010년도 부경대학교 수송기계안전  
편의 융합부품소재 인재양성센터의 산학협동연  
구과제로 진행하였음

### 참고문헌

- [1] John G. Maneatis, Jaeha Kim, Iain McClatchie, Jay Maxey, and Manjusha Shankaradas, "Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL," IEEE JSSC, Vol. 38, No. 11, pp. 1795-1801, Nov. 2003.
- [2] J. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," IEEE J. Solid-State Circuits, vol. 31, pp. 1723-1732, Nov. 1996.
- [3] R. B. Staszewski and P. T. Balsara, "Phase-domain all-digital phaselocked loop," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 52, no. 3, pp. 159-163, Mar. 2005.
- [4] Stefanos Sidiropoulos, and Mark A. Horowitz, "A Semidigital Dual Delay-Locked Loop," IEEE JSSC vol. 32, no. 11, Nov. 1997.
- [5] Abdulkerim L.Coban and Mustafa H. Koroglu and Kashif A. Ahmed, "A 2.5-3.125 Gb/s Quad Transceiver With

Second-Order Analog DLL-Based CDRs," IEEE JSSC vol. 40, no. 9, Sep. 2005.

- [6] Keng-Jan and Tai-Cheng Lee, "An 8-GHz to 10-GHz distributed DLL for multiphase clock generation," IEEE JSSC vol. 44, no. 9, Sep. 2009.
- [7] 최영식, 손상우, "위상지연을 이용한 Integer-N 방식의 위상·지연고정루프 설계", 전자공학회, 47권 6호, pp. 51-56, 6월 2010.

### 저자소개



최영식(Young-Shig Choi)

1982년 경북대학교 전자공학과  
학사 졸업.

1986년 Texas A&M Univ.  
전자공학과 석사 졸업.

1993년 Arizona State University 박사 졸업.

1987년 ~ 1999년 현대전자(현 Hynix)

1999년 ~ 2003년 동의대학교 전자공학과

2003년 ~ 현재 부경대학교 전자공학과

\*관심분야 : PLL, DLL, CDRC 설계



최혁환(Hyek-Hwan Choi)

1979년 경북대학교 전자공학과  
(공학사)

1990년 아리조나 주립대  
전기공학과(공학석사)

1993년 아리조나 주립대 전기공학과(공학박사)

1994년 ~ 현재 부경대학교 교수 전자공학과

\*관심분야 : RF 집적회로 설계, 아날로그 IC 설계