

# NAND Flash 메모리를 위한 오류정정부호

하정석 | 오지은

KAIST

## 요약

본 고에서는 최근 다양한 분야에서 활용되고 있는 NAND flash 메모리 소자를 위한 오류정정 방식에 대한 동향을 소개하고자 한다. 먼저, NAND flash 메모리의 오류가 발생하는 원인을 소개하고 현재 사용되고 있는 오류정정 부호들의 소개 및 가까운 미래의 NAND flash 메모리에서 예상되는 오류 발생원인 및 이에 대처하기 위해 연구가 진행 중인 오류정정 부호설계기술들에 대하여 소개하고자 한다.

## 1. 서론

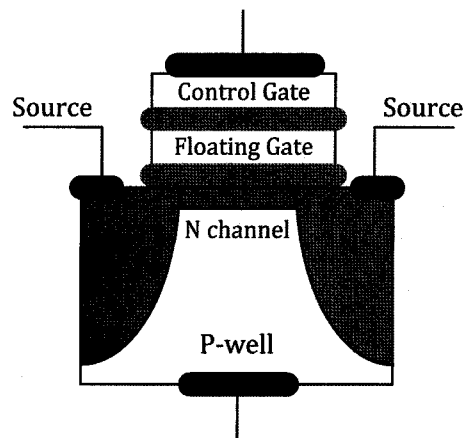
NAND flash 기반의 고체저장장치(Solid State Drive, SSD)는 저전력 고속동작 및 물리적 충격에 강인한 장점을 가지고 있어서 디지털 카메라, MP3 플레이어, 태블릿 피시(Tablet PC) 등과 같은 다양한 디지털 장치에 널리 사용되고 있다. NAND flash 기반의 저장장치가 가지는 많은 장점에도 불구하고 저장장치의 주요 구성요소인 NAND flash 소자의 가격이 상대적으로 고가이어서 NAND flash 메모리 기반의 저장장치들의 가격 경쟁력이 약한 문제점을 가지고 있다. 이러한 단점을 해소하기 위하여 단위 면적당 더 많은 NAND flash 메모리 셀(cell)을 집적하는 연구와 단위 셀당 더 많은 비트를 저장하는 연구가 진행되고 있다 [1][4].

초기의 NAND flash 메모리는 단위 셀당 한비트의 정보를 저장하는 SLC(Single Level Cell) 구조로 만들어 졌으나 최근

가장 많이 사용하는 기술은 단위 셀당 두 비트를 저장하는 MLC(Multi-Level Cell) 기술이다. 미래의 기술은 단위 셀당 세 비트를 저장하는 TLC(Tri-Level Cell), 네 비트를 저장하는 QLC(Quad-Level Cell)로 점차 발전해 나갈 것이다 [5][8]. 하지만, 이러한 NAND flash 메모리의 저장용량을 증가시키는 기술들을 사용함에 따라 저장장치에 기록된 정보의 손실 및 오류가 발생할 확률이 더욱 높아지는 문제점을 가지고 있다 [9]. 본 고에서는 고체 저장장치에 사용되는 NAND flash 소자에서 발생하는 오류의 원인과 특성을 알아보고 이를 정정하기 위하여 사용하는 오류정정 부호에 관한 최근 연구결과를 소개하며 앞으로의 연구 방향에 대한 설명하고자 한다.

### 1.1 NAND flash 메모리의 원리 및 구조

#### 1.1.1 NAND flash 메모리 셀의 기록방식

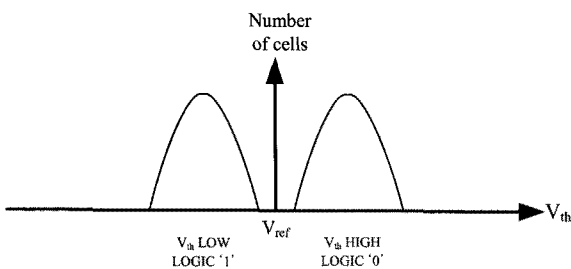


(그림 1) Floating Gate MOSFET 메모리 셀의 단면

NAND flash 메모리를 구성하는 기본 단위는 셀로서 각각의 셀은 (그림 1)에 도시한 것과 같은 Floating Gate MOSFET(Metal-Oxide Field-Effect Transistor)로 구성되어 있다 [10][11].

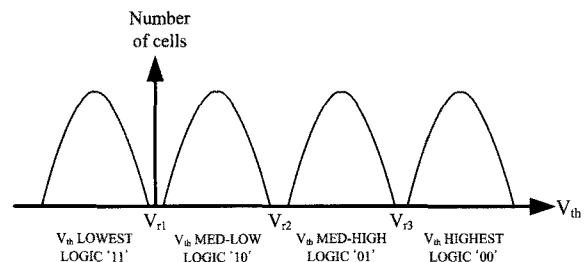
Floating Gate에 전하(electron)를 주입하면 절연체(SiO<sub>2</sub>)에 의하여 주입된 전하의 양이 변하지 않고 유지하는 특성을 가진다. NAND flash 메모리는 이러한 특성을 이용하여 정보를 Floating Gate에 저장된 전하량의 형태로 기록한다. 이때, Floating Gate와 P-well 사이의 절연체(SiO<sub>2</sub>)를 통과하여 전하를 Floating Gate에 주입하는 원리는 양자역학의 현상 중 터널링효과에 의하여 가능하다. 전하를 Floating Gate에 주입하는 과정을 프로그래밍(Programming)이라 하고 셀이 전하를 Floating Gate 저장하고있는 상태를 프로그램 상태(Programmed State)라 한다. 또한 Floating Gate에 전하를 가지고 있지 않은 상태를 소거 상태(Erased State)라 한다.

Floating Gate에 저장된 전하의 양은 Control Gate의 문턱전압값(Threshold Voltage,  $V_{th}$ )을 측정함으로써 확인할 수 있고 문턱전압 값은  $q=2^m$ 개의 이산값으로 양자화 된다. 따라서 하나의 NAND flash 메모리 셀은  $\log_2 q$ 비트의 정보량을 저장할 수 있다. 즉, SLC, MLC, TLC, QLC NAND flash 메모리 셀은 Floating Gate에 저장된 전하량을 각각  $2=2^1$ ,  $4=2^2$ ,  $8=2^3$ ,  $16=2^4$ 개의 이산 값들로 양자화 한다. Floating Gate에 저장된 전하량은 이후 기술될 다양한 요인에 의하여 이상적인 대표값에서 차이를 가지게 된다. NAND flash 메모리 소자의 셀들로부터 읽은 문턱전압 값들을 두 개의 레벨로 양자화한 후 그 산포를 도시하면 (그림 2)와 같은 형태를 가진다.



(그림 2) SLC셀의 문턱전압 산포도

(그림 2)에 나타난 것과 같이 문턱전압은 기준전압  $V_{ref}$ 과 비교하여 이진값 0과 1로 결정된다. 이 때 저장된 이진 값과 다른 이진 값으로 결정되는 오류사건이 발생할 수 있다. 오류가 발생하는 사건은 일반적으로 셀의 전하량을 양자화 하는 레벨이 많을수록 더욱 심각하게 된다. (그림 3)에 도시한 MLC셀의 문턱전압 산포를 보면 양자와 레벨들 간의 거리가 짧아져서 기준 전압  $V_{r1}$ ,  $V_{r2}$ ,  $V_{r3}$ 를 사용할 경우 오류가 발생하는 사건이 더욱 빈번하게 된다.



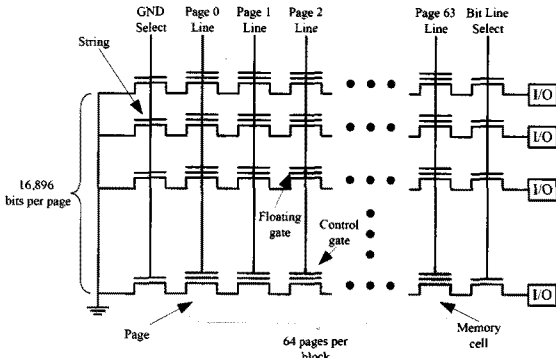
(그림 3) MLC 셀의 문턱전압 산포도

### 1.1.2 NAND flash 메모리의 구조

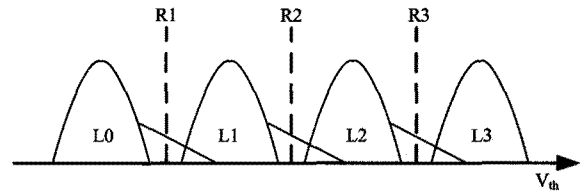
NAND flash 메모리에서는 Floating Gate MOSFET 메모리 셀을 행렬(matrix)과 같은 형태로 배열하여 (그림 4)와 같은 블록(block)을 구성한다. NAND flash 메모리에는 다수의 블록을 가지고 있고 이들 블록은 다수의 페이지들로 구성된다. 물리적인 페이지는 같은 페이지 라인에 묶여 있는 셀들로 구성된다. 하나의 셀이 한 비트정보를 저장하는 (그림 4)와 같은 SLC 구조의 소자는 논리적 페이지와 물리적 페이지가 같은 의미로 사용된다. 하지만, 현재 가장 많이 사용되고 있는 MLC 구조의 NAND flash 메모리는 셀의 MSB(Most Significant Bit) 또는 LSB(Least Significant Bit) 비트들로 논리적 페이지를 형성한다. 즉, 하나의 물리적 페이지는 두 개의 논리적 페이지로 나뉜다.

NAND flash 메모리에서 정보를 읽거나 기록할 때 기본 단위는 논리적 페이지 단위이고 오류정정 부호의 길이는 논리적 페이지 길이와 같거나 몇 개의 오류정정 부호가 하나의 페이지를 담당한다. 특정 셀을 선택하여 정보를 기록하기 위해서 비트라인과 페이지 라인을 선택한다. 이 때 다른 셀들도 같이 기록되는 것을 막기 위하여 주변 셀들의 Control

Gate의 전압과 비트 라인 셀렉터(Bit Line Selector) 및 그라운드 셀렉터(GND Select)를 제어한다. 정보 기록 및 이를 읽어내는 과정의 구체적인 내용은 지면이 부족하여 생략하도록 한다.



(그림 4) NAND flash 메모리의 구조; Micron MT29F4G08AAA 4Gb SLC NAND flash 메모리 칩



(그림 5) 기록오류에 따른 문턱전압 산포도

과 프로그래밍은 L1 또는 L2 문턱전압을 가지는 셀에 전하를 추가로 주입하여 더 높은 문턱전압을 갖게 할 때 의도했던 문턱전압 값보다 높은 문턱전압 값을 갖게 되는 현상을 뜻한다. 과 프로그래밍이 발생하는 원인은 1) Random Telegraph Noise [13], 2) 절연체인 SiO<sub>2</sub>내부에 있는 불안정한 양전하에 의해 발생하는 이상 터널링 [14], 3) 전하주입 과정이 Poisson 분포를 따르는 통계적 작업인 점, 4) Floating Gate들 간의 간섭에 의한 영향 [15] 등으로 알려져 있다. 간섭에 의한 영향은 최근에 특히 주목 받고 있는 내용이어서 이후 별도로 기술하고자 한다.

프로그래밍 횟수에 따른 기록오류는 절연체 내부의 트랩(trap)에 의해서 비정상적인 터널링이 유발되고 이에 따른 문턱전압 값이 정상적인 값보다 높은 값을 가지는 현상을 말한다. 절연체 내부의 트랩의 양은 프로그래밍의 횟수가 증가하면 비례하여 증가하는 특성을 가진다.

## 1.2 NAND flash 메모리의 오류 발생요인들

### 1.2.1 기록 오류(Write Error)

기록 오류는 NAND flash 메모리 셀에 전하를 주입하는 프로그래밍 과정에서 발생하며, 메모리 셀에서 읽은 문턱 전압값이 (그림 5)에 도시한 것과 같이 이상적인 대표값보다 큰 값을 가지는 현상이 발생한다. 이러한 기록 오류를 발생시키는 요인을 정리하면 다음과 같다 [12].

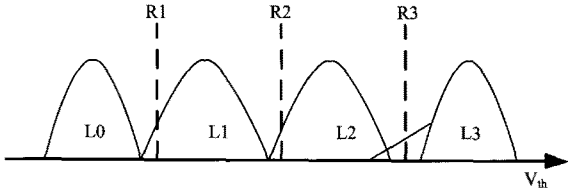
- ① 프로그램 장애(program disturb)
- ② 과 프로그램(over-programming)
- ③ 프로그래밍 횟수에 따른 오류

프로그램 장애는 (그림 5)에서 가장 낮은 문턱 전압값인 L0를 가지는 셀에 전하를 주입하여 높은 문턱 전압값을 가지게 할 때 발생하는 현상이다. 특정 셀의 프로그래밍을 수행할 때 다른 셀들은 프로그래밍이 되지 않게 하기 위하여 인접 셀의 Control Gate에 인가되는 전압을 제어하게 된다. 하지만 셀들의 특성이 균일하지 않은 점과 다른 요인들에 의하여 인접한 셀들의 문턱 전압값이 높아지는 현상이 발생한다.

### 1.2.2 유지 오류(Retention Error)

유지 오류는 Floating Gate에 저장된 전하가 시간이 지남에 따라 유출되는 현상이 발생하여 기록된 정보를 소실하거나 오류가 발생하는 것을 말한다 [12]. NAND flash 셀의 프로그래밍 과정에 절연체 SiO<sub>2</sub>에 강한 전기장(Electric Field)이 형성된다. NAND flash 셀의 프로그래밍이 반복됨에 따라 이러한 강한 전기장이 지속적으로 SiO<sub>2</sub> 절연체에 형성되고 이로 인해 SiO<sub>2</sub>의 구조적 변형이 발생하게 된다. SiO<sub>2</sub>가 이러한 구조적 변형을 가지게 되면 Floating Gate에 저장된 전하가 빠져나가는 것을 더 이상막지 못하는 현상이 발생하여 기록된 정보의 손실 및 오류가 발생한다. 이러한 현상을 Stress Induced Leakage Current(SILC)라 한다 [16]-[19]. SILC에 의한 오류는 Floating Gate의 전하가 감소함으로써 발생하기 때문에 항상 문턱전압 값이 감소하는 방향으로 발생한다. 특히 셀의 전하량이 L3에 있는 경우 절연체에 가장 강한 전기장

이 형성됨으로SILC에의한 영향이 가장 크게 나타난다. 이를 (그림 6)에서 확인할 수 있다.



(그림 6) 유지오류에 따른 문턱전압 산포도

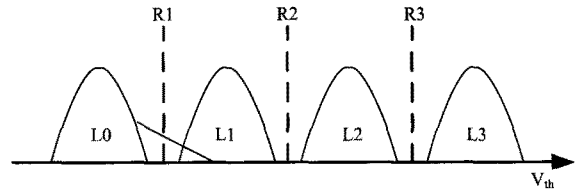
유지 오류를 발생 시키는 다른 요인은 프로그래밍 과정에서 절연체 내부의 트랩에 갇혀있던 전자가 빠져나가면서 (그림 6)의 L1과 L2의 문턱전압 산포를 낮은 전압의 방향으로 확산시키는 현상을 유발하며 이로 인해 오류가 발생하는 원인이 된다 [20][25].

### 1.2.3 읽기 오류(Read Error)

NAND flash 메모리 셀의 문턱전압을 읽어 올 때 같은 비트 라인에 연결된 다른 셀들은 선택된 셀을 구성하는 Floating Gate MOSFET의 전류흐름을 방해하지 않게 하기 위하여 주변 셀들의 Control Gate에 상대적으로 높은 전압  $V_{PASS}$ 을 인가한다. 이 때  $V_{PASS}$ 는 최대 문턱전압 값 L3보다 큰 값이어서 같은 비트라인에 연결된 다른 셀들은 단순히 도체 (conductor) 역할을 한다. 하지만 프로그래밍 횟수가 증가하여 절연체에 SILC현상이 발생하면 주변 셀의 Control Gate에 인가한  $V_{PASS}$  전압에 의하여 전하가 절연체를 통과하여 Floating Gate에 축적되는 현상이 발생한다 [12], [17], [20], [26]. 한편 절연체 내부의 트랩에 전하가 축적되는 현상도 발생할 수 있다. 이러한 현상들은 특히 셀이 가장 낮은 문턱전압 값을 가지는 L0상태에 있을 때 두드러지게 발생한다. (그림 7)에서 문턱전압의 산포를 살펴보면 L0 문턱전압 값이 높은 전압 값의 방향으로 확산되어 있는 것을 확인할 수 있다.

### 1.2.4 셀간 간섭(Cell-to-Cell Interference)

단위면적당 더 많은 셀을 집적함에 따라 셀들간의 기생 정전용량이 높아지게 되고 특정 셀의 프로그래밍이 진행될 때 주변 셀에 저장된 전하량에 영향을 주게 된다. 이러한 현상



(그림 7) 읽기 오류에 따른 문턱전압 산포도

을 셀간 간섭이라 불리고 기록 오류를 유발하게 된다. 셀간 간섭은 공정이 미세화할 수록 더욱 심각하여 미래의 NAND flash 메모리 소자의 설계에 가장 큰 장애 요인중 하나로 간주 된다 [15], [27], [28]. 관심 셀 주변 셀의 문턱전압 변화에 따른 간섭량에 대한 일반적인 모형은 다음과 같다 [15], [27].

$$F = \sum_n (\Delta V_t^{(n)} \cdot \gamma^{(n)}),$$

여기서  $\Delta V_t^{(n)}$ 는 관심 셀의 프로그래밍이후에 프로그래밍이 된 주변 셀들의 문턱전압 변화량이고  $\gamma^{(n)}$ 는 연결 개수로써 다음 식과 같이 표현 된다.

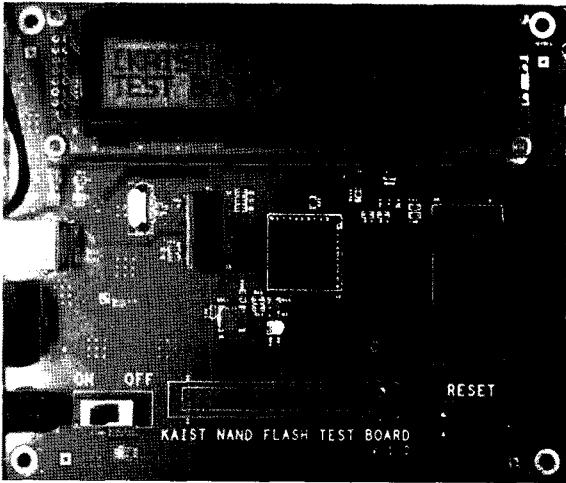
$$\gamma^{(n)} = \frac{C^{(n)}}{C_{total}}$$

위 식에서  $C^{(n)}$ 는 관심 셀과 주변 셀간의 기생 정전용량 (parasitic capacitance)이고  $C_{total}$ 은 관심 셀의 전체 정전 용량이다. 최근의 셀의 프로그래밍 이전 또는 이후에 인접 셀에 미치는 영향을 보상해주는 연구가 진행되고 있다 [27].

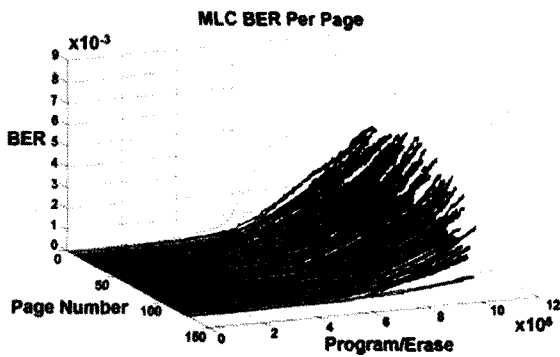
### 1.2.5 오류 측정

NAND flash 메모리의 오류가 일어나는 다양한 요인에 대한 분석을 위해서는 NAND flash 메모리 소자를 제작하는 제작사에서 측정된 데이터를 분석하는 것이 가장 좋은 방법이다. 하지만 제작사에서 데이터를 현실적으로 얻을 수 있는 방법이 제한된 경우 NAND flash 메모리의 오류요인들을 측정 및 분석하는 다른 방법들이 모색되고 있다.

(그림 8)과 같은 NAND flash 메모리 오류특성 분석장치를 제작하여 특정한 물리적 페이지에 데이터를 기록하고 기록된 데이터를 읽는 과정을 반복하여 비트라인 별 오류 상관



(그림 8) NAND flash 메모리 오류 특성분석을 위한 장치 예 ; KAIST flash 메모리 테스트보드



(그림 9) MLC NAND flash 메모리 소자의 프로그램 및 소거횟수에 따른 원비트 오류율 변화 ; Fig. 4 in [29]

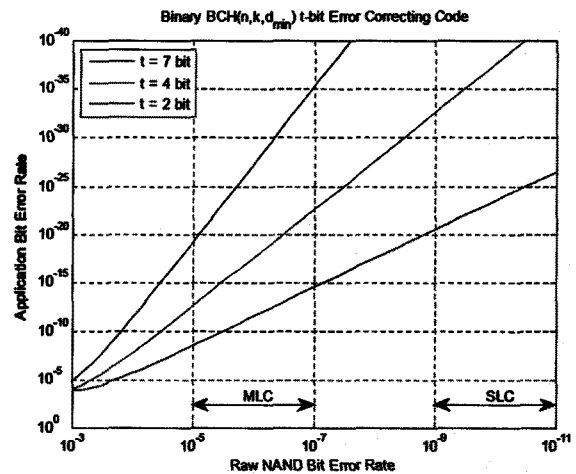
성 및 프로그램 및 소거 횟수에 따른 오류발생 빈도 증가율 (그림 9) 등의 특성을 측정하는 용도로 사용하고 있다 [29].

## II. 본론

NAND flash 메모리 소자에서 읽은 비트오류를 원비트 오류율(raw bit error rate)이라 하고 일반적인 MLC, SLC소자는 각각  $10^{-5} \sim 10^{-7}$  그리고  $10^{-9} \sim 10^{-11}$  정도의 원비트오류율을 가진다고 알려져 있다 [30]. 기록 매체에 NAND flash 메모리를 사용할 경우 일반적으로 요구되는 오류율의 기준은 기존의

기록 매체들의 오류율을 준용하여 사용하고 있다. 기록 매체가 요구하는 비트오류율은  $10^{-15}$ 이고 [31], NAND flash 메모리를 사용하는 고체저장장치에서 최근까지 가장 많이 사용되는 오류정정 방식은 대수적 부호의 일종인 BCH(Bose, Ray-Chaudhuri, Hocquenghem) 부호이다 [30]. (그림 10)에 BCH 부호를 사용한 경우 오류정정 능력에 따른 최종 비트 오류율의 변화를 도시하였다. (그림 10)의 결과를 따르면 MLC기반의 NAND flash 메모리를 위한 BCH 부호는 4비트 오류를 정정할 수 있게 설계하면 목표 비트오류율  $10^{-15}$ 을 확보할 수 있다. SLC기반의 NAND flash 메모리의 경우는 원비트 오류율이 더욱 낮아 2비트 오류를 정정할 수 있는 오류정정 부호를 사용하여도 충분히 목표오류율을 확보할 수 있는 것을 알 수 있다.

(그림 10)을 통해 알 수 있듯이 지금까지의 NAND flash 메모리 소자들은 원비트오류율이 무척낮아 상대적으로 오류정정부호의 설계가 용이하였다. 하지만 미래의 NAND flash 메모리는 저장 용량의 증가에 따라 원비트오류율이 증가하게 되고 이를 정정하기위한 오류정정 부호의 설계는 도전과제가 될 것이다. 이러한 이유로 강력한 오류정정 부호를 NAND flash 메모리소자에 활용하는 시도가 최근 진행되고 있고 특히 저밀도 패리티 체크 부호(Low-Density Parity-Check Codes, LDPC Codes) [32], 터보 부호(Turbo Codes) [33] 등과 같은 부호들을 NAND flash 메모리의 오류정정을 위하여 사용하려는 시도가 진행되고 있다.



(그림 10) NAND flash 메모리의 오류율 ; Fig. 16 in [11]

## 2.1 NAND flash 메모리를 위한 BCH 부호

유한체(finite field)  $GF(2^m)$ 에서 정의 되는 이진 BCH 부호는 부호어 길이가  $n=2^m-1$ 이고 정보비트의 길이 다음 식을 만족 하는 범위에서 결정된다.

$$k \geq 2^m - mt$$

여기서  $t$ 는 BCH 부호가 정정할 수 있는 오류비트의 개수를 나타낸다. 일반적으로 임의의 길이를 가지는 BCH 부호는 정보비트를 삭제하는 단축기법(shortening)을 활용하여 설계할 수 있다. 즉,  $s$ 개의 정보비트를 삭제하여  $[n-s, k-s, t]$  BCH 부호를 설계할 수 있다. BCH 부호가 복호를 실패하는 사건은 오류의 개수가 BCH 부호가 정정할 수 있는 설계 능력  $t$ 를 넘어서는 사건이며 복호 실패확률은 다음과 같이 식으로 표현할 수 있다.

$$P_e = \sum_{i=t+1}^n \binom{n}{i} p_{\text{raw}}^i (1 - p_{\text{raw}})^{n-i}$$

여기서  $p_{\text{raw}}$ 는 (그림 10)에 나타낸 것과 같은 원비트오류율이다. 이진 BCH 부호는 부호화 과정을 간단한 shift register 회로를 사용하여 구현 할 수 있는 장점과 효율적인 복호 방식이 잘 알려져 있어서 최근까지 NAND flash 메모리 소자에 보편적으로 사용되는 오류정정 방식이다.

미래의 NAND flash 메모리 소자에 BCH 부호를 사용하는 것은 다음과 같은 기술적인 문제점을 가지고 있다. 첫째, 부호어의 길이를 결정하는 페이지단위가 점진적으로 길어짐에 따라 BCH 부호의 길이가 길어져야 하는 문제점이 있다. 현재 일반적인 NAND flash 메모리의 페이지 길이는 4KB이고 점차 8KB길이의 페이지를 사용하는 방향으로 발전되고 있다. BCH 부호의 복호과정 중 Syndrome계산 과정과 Chien 검색과정은 부호어의 길이에 비례하는 연산량이 필요하여 부호어 길이가 길어짐에 따라 복호복잡도 및 복호시간 지연을 유발 시키는 문제점이 심각해진다. 둘째, NAND flash 메모리 소자의 집적도가 높아짐에 따라 원비트오류율이 증가하게되고 이를 수정하기 위하여 오류정정능력  $t$ 값이 더욱 큰 값을 가지는 BCH 부호를 설계하여야 한다. BCH 부

호의 복호 복잡도는 일반적으로  $t$ 값의 제곱에 비례하게 증가 [34] 하는 것으로 알려져 있어 미래의 NAND flash 메모리를 위한 BCH 부호설계의 큰 도전이 되고 있다.

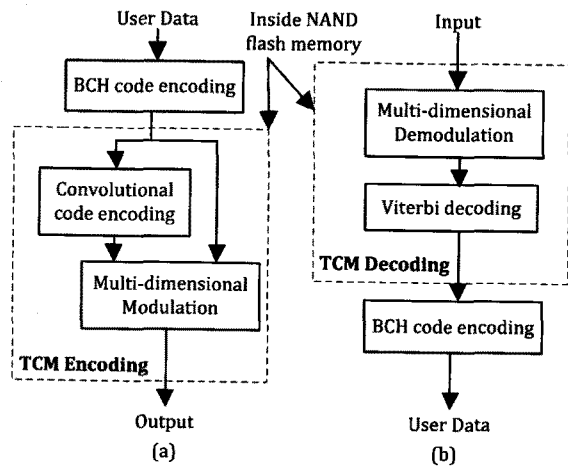
## 2.2 NAND flash 메모리를 위한 연접부호

현재의 NAND flash 메모리를 위한 오류정정부호복호과정에서는 메모리소자의 경판정(hard-decision) 결과값을 이용한다. 메모리 소자 내부의 감지회로(sensing circuit)는 셀의 문턱전압 값을 측정하지만 메모리 소자는 측정된 문턱전압 값을 양자화한 후 경판정한 비트 값을 최종적으로 오류정정 시스템에 제공한다. 현재 일반적으로 사용되는 MLC 기반의 NAND flash 메모리의 경우 (그림 10)에 도시한 것과 같이 상대적으로 원비트오류율이 낮아서 높은 부호율을 가지는 오류정정 부호를 사용하는 것만으로 충분하다. 한편, 이러한 환경에서는 경판정 값과 연판정(soft-decision) 값을 가지는 경우를 비교하면 채널용량(channel capacity)의 차이가 미미하여 연판정 값을 사용하는 오류정정 부호를 사용함으로써 얻는 이득이 거의 없어, BCH 부호와 같은 경판정 결과를 이용하여 동작하는 오류정정부호를 사용하는 것이 실용적인 측면에서 적절하다. 하지만 미래의 NAND flash 메모리는 높은 원비트오류율을 가질 것으로 예상되며 경판정 값과 연판정 값의 채널용량이 큰 차이를 보이게 됨으로 연판정 기반의 오류정정 부호를 사용할 수 밖에 없을 것으로 예상된다 [35].

연판정을 기반으로 동작하는 오류정정부호를 사용하기 위해서 NAND flash 메모리 소자내부의 감지회로에서 얻은 정보를 활용하여야 한다. 하지만, 모든 NAND flash 메모리 소자에 오류정정을 위한 복호 회로를 설계하는 것은 현실적으로 많은 문제를 야기한다. 이러한 문제를 해결하기 위한 좋은 대안으로 연접부호(concatenated codes)를 생각할 수 있다. 특히, 연접부호 중에서 대수적인 부호를 외부부호(outer code)로 사용하고 연판정결과를 이용하는 부호를 내부부호(inner code)로 사용하는 직렬연접방식(serial concatenation)이 고려되고 있다 [9]. 직렬연접방식에서 사용되는 내부부호는 간단한 복호기로 복호가 가능하며 NAND flash 메모리 내부에 설계할 수 있는 부호를 사용하고 내부부호의 복호결과를 경판정한후 메모리의 외부출력으로 제공하면 외부 대수적 부호를 위한 복호기가 내부부호 복호과정에 남아있는 잔

류 오류를 수정하는 구조로 동작한다.

NAND flash 메모리 소자를 위한 직렬연접방식을 활용한 연구들 중 (그림 11)에 보인 것과 같이 내부부호를 TCM (Trellis Coded Modulation) [36]을 이용하고 외부부호로 BCH 부호를 사용하여 연구가 진행되고 있다. TCM 부호는 MLC 또는 TLC 기반의 NAND flash 메모리에 저장되는 다중 레벨 심벌을 이진화 과정을 거치지 않고 직접 부호화 할 수 있는 장점과 복호화정을 Viterbi 알고리즘과 같이 비교적 간단한 구조로 구현할 수 있는 장점을 가지고 있다.



(그림 11) TCM-BCH 연접부호; (a) 부호화과정, (b) 복호화과정

제시된 직렬연접방식에 사용되는 BCH 부호는 내부 TCM 복호과정에서 남은 잔류오류만 정정하는 역할을 하게됨으로 오류정정능력  $t$ 를 크게 설계하지 않아도 되는 장점을 가지고 있다. 또한 내부 TCM 부호를 복호하기위한 Viterbi 알고리즘의 복잡도는 부호의 길이에 선형으로 증가하는 장점을 가지고 있기 때문에 오류정정부호의 길이가 길어지는 미래의 NAND flash 메모리에 적합한 방식이라 할 수 있다.

### 2.3 셀간 간섭 모델을 활용한 오류정정 부호

NAND flash 메모리를 제작하는 공정이 더욱 미세화 되어 셀간 간격이 좁아짐에 따라 셀간 간섭이 데이터 오류를 발생시키는 중요한 요인으로 부각되고 있다. 이러한 이유에서 오류정정 부호를 설계할 때 셀간 간섭 모델을 이용하고자 하는 시도가 진행되고 있다. 특히 셀간 간섭 모델을 수식화

하고 이를 통하여 메모리 셀에 저장된 비트값의 연관성 결과를 추정하려는 시도가 진행 되고 있다 [35].

메모리 셀의 문턱전압 값을 측정하여 메모리 셀에 저장된 비트 특정 값  $b_i$ 에 대한 LLR(log-likelihood ratio) 값은 아래와 같은 식으로 구할 수 있다.

$$L(b_i) = \log \frac{p(b_i = 1|V_{th})}{p(b_i = 0|V_{th})} = \log \frac{p(V_{th}|b_i = 1)}{p(V_{th}|b_i = 0)}$$

여기서  $\Pr(b_i=1)=\Pr(b_i=0)$ 를 가정하였다. 메모리 셀당  $N_b$ 비트를 저장하는 경우를 가정하면, 즉  $1 \leq i \leq N_b$ , 하나의 셀은  $K=2^b$  개의 서로 다른 문턱전압값을 표현할 수 있어야 한다. 만일 셀에 문턱전압 값  $k$ 을 기록하고 이를 다시 읽었을 때 얻은 값이  $V_{th}$  일 조건부 확률 값을  $p^{(k)}(V_{th})$ 이라 정의 하면 LLR값을 다시 아래의 식과 같이 표현 할 수 있다.

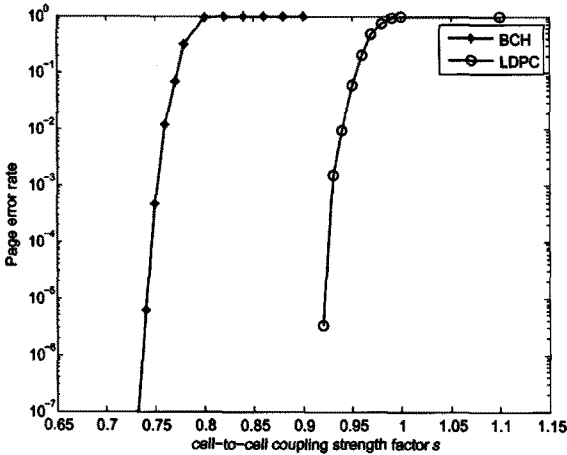
$$L(b_i) = \log \frac{\sum_{k \in S_i} p^{(k)}(V_{th})}{\sum_k p^{(k)}(V_{th}) - \sum_{k \in S_i} p^{(k)}(V_{th})}$$

여기서  $S_i$ 는  $K$ 개의 가능한 문턱전압 값들 중에서  $b_i$ 값이 1을 가지는 문턱전압들의 모임이다. 따라서 LLR 값을 얻기 위해서 조건부 확률 분포  $p^{(k)}(V_{th})$ 를 구하여야 하는 것을 알 수 있다. 만일 셀간 간섭이 없다면 조건부 확률 분포  $p^{(k)}(V_{th})$ 는 간단하게 구할 수 있으나 1.2.4절에서 설명한 것과 같은 셀간 간섭이 있을 경우  $p^{(k)}(V_{th})$ 를 셀간 간섭 모델을 고려하여 구하여야 한다.

위 식에서 얻어진 LLR 값을 이용하여 연관성 결과를 얻을 수 있는 경우 LDPC를 사용한 경우와 정관정 값만 얻을 수 있는 경우 BCH 부호를 사용한 성능을 (그림 12)에서 비교하였다. 같은 정도의 셀간 간섭이 있는 경우 LDPC 부호를 사용하는 경우 큰 성능개선을 얻을 수 있는 것을 확인할 수 있다. 하지만 제시된 방식은 NAND flash 메모리의 특성이 메모리 사용 횟수에 따른 변화하는 점을 반영하지 못하는 단점을 가지고 있다.

셀간 간섭모델을 분석하여 얻어진 조건부 확률값  $p^{(k)}(V_{th})$ 을 활용하는 또다른 방법은 사전 보상과 사후 보상방법이 있다. 사전보상 방법은 사전에 주변 셀에 미치는 간섭량을

추정하여 프로그래밍과정에 이를 보상한 전하량을 Floating Gate에 주입<sup>1)</sup>하는 방식이다. 유사한 방식으로 사후 보상 기법이 있다. 사후 보상방법에서는 문턱전압 값을 셀로부터 읽을 때 주변 셀의 문턱전압 값도 같이 읽어 프로그래밍시에 발생한 간섭량을 보상하는 방식이다.



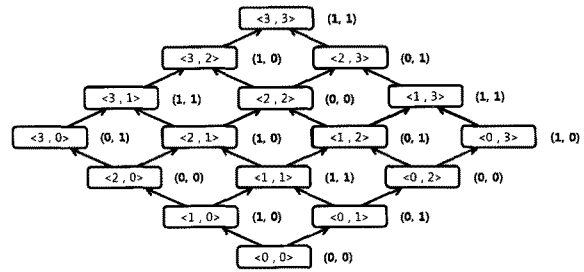
(그림 12) BCH 부호와 LDPC 부호의 페이지 오류율 비교; Fig. 4 in [35]

### 2.4 계층 변조 부호 (Rank Modulation Codes)

NAND flash 메모리는 프로그래밍과 소거과정을 반복하면 오류발생율이 증가하는 특징을 가지고 있다. 또한 문턱전압 값이 증가하는 방향으로 프로그래밍이 가능하지만 감소하는 방향으로 프로그래밍을 할 수 없다. 문턱전압이 감소하는 방향으로 프로그래밍을 하기 위해서는 메모리 셀의 담긴 전하를 소거하는 과정을 거쳐야 한다. 특히 NAND flash 메모리에서는 하나의 셀을 소거하기 위해서는 전체 블록을 소거하여야 하는 구조이기 때문에 셀의 수명을 단축시키는 문제점을 가지고 있다. 이러한 문제점을 해결하기 위하여 제시된 방식중 계층 변조 부호를 소개하고자 한다.

계층 변조 부호 [37]의 시작은 1982년 Rivest 와 Shamir에 의해 제안된 WOM(Write Once Memory) 부호 [38], [39]에서 출발한다. WOM 부호의 동작원리는 다음 (그림 13)을 이용하여 설명이 가능하다. 먼저 (그림 13)의 박스로 표시된 두개 값은 두개의 MLC 메모리 셀 묶음을 나타낸다. 즉 박스 내부

에 쌍으로 표시된 숫자  $(x, y)$ 는 두개의 MLC셀에 저장된 값들로 각각 네가지 서로 다른 값을 가진다,  $0 \leq x, y \leq 3$ . 따라서 박스로 표시된 메모리셀 묶음은 16가지의 서로다른 조합이 가능하다.



(그림 13) WOM 부호 동작원리

먼저 메모리 셀들의 값이 초기에 모두 소거된 상태를 가정하면  $(0, 0)$ 의 상태에서 기록이 시작된다. 메모리에 저장되는 정보비트의 량은 두 비트로  $(x, y)$ 형태로 표시하고  $x$ 와  $y$ 는 각각 이전 값을 가진다. 기록하고자 하는 정보가  $(1, 1)$ 인 경우 메모리 셀의 값을 다음과 같은 방식으로 증가시킨다:  $(0,0) \rightarrow (0,1) \rightarrow (1,1)$ . 이 후 메모리에 저장하려는 정보가  $(1, 1)$ 에서  $(0, 1)$ 로 변화되면 메모리 셀의 값을 다음과 같은 방식으로 증가시킨다:  $(1,1) \rightarrow (2, 1)$ . 이 때 메모리 셀의 값은 단지 증가하는 방향으로 변화하기 때문에 소거를 하지않고 새로운 정보를 저장할 수 있다. 이 후 새로운 정보  $(1, 0)$ 을 저장하고자 하면 메모리 값을 다음과 같이 변화시킨다:  $(2,1) \rightarrow (2, 2) \rightarrow (3, 2)$ . 이와 같은 방법을 통해서 소거를 수행하지 않고 다수의 정보 기록을 반복하는 것이 가능하고 프로그래밍과 소거를 반복함으로써 메모리 셀의 오류가 증가하는 것을 회피하는 방법으로 활용할 수 있다. 구체적으로 (그림 14)의 구조를 이용하면 최대 세번의 프로그래밍을 소거없이 수행할 수 있다. 제시된 방식의 단점은 메모리셀에 저장할 수 있는 정보량의 감소를 유발 한다는 점이다. (그림 15)의 예시를 보면 네 비트 정보를 저장할 수는공간에 두 비트의 정보를 저장하게 되어 저장용량이 절반으로 줄어드는 것을 알 수 있다.

01\_ NAND flash 메모리에서 프로그래밍 과정에서 실제로 제어하는 물리량은 문턱 전압이다.



최근 계층 변조 부호 연구에서는 WOM 부호에서 설명한 것과 같은 원리를 더욱 일반화 하여 소거과정을 거치지 않고 기록할 수 있는 횟수는 증가시키면서 정보기록 용량 감소를 최소화하는 것을 목표로 연구가 되고 있다. 또한 제시된 계층 변조 부호를 사용하였을 때 정보 저장 용량의 한계치에 대한 이론적인 연구도 함께 진행되고 있다.

### III. 결론

본고에서는 최근 많은 응용분야에서 활용되고 있는 NAND flash 메모리에서 발생하는 오류의 요인과 오류를 정정하는 기술들에 대하여 살펴 보았다. 본고에서 설명하지 않은 다양한 기술들에 대한 연구가 진행되고 있으나 지면의 제한이 있어 대표적인 것들만 정리하였다.

#### 감사의 글

본 연구는 지식경제부 산업원천기술개발사업 '대용량 MLC SSD 핵심기술 개발' 과제 (No. 10035202)의 일환으로 수행되었음.

#### 참 고 문 헌

- [1] K. Kim, "Technology for sub-50 nm DRAM and NAND flash manufacturing," in *IEDM Tech. Dig.*, 2005, pp. 333-336.
- [2] K. Kim and J. Choi, "Future outlook of NAND flash technology for 40 nm node and beyond," in *IEEE NVSMW Tech. Dig.*, 2006, pp. 9-11.
- [3] T. Kim, S. Lee, J. Park, H. Cho, B. You, K. Baek, J. Lee, C. Yang, M. Yun, M. Kim, J. Kim, E. Jang, H. Chung, S. Lim, B. Han and Y. Koh, "A 32Gb MLC NAND flash memory with Vth margin-expanding schemes in 26nm CMOS," in *Proc. of IEEE ISSCC*, 2011, pp.202-204, 20-24 Feb. 2011.
- [4] K. Park, O. Kwon, S. Yoon, M. Choi, I. Kim, B. Kim, M. Kim, Y. Choi, S. Shin, Y. Song, J. Park, J. Lee, C. Eun, H. Lee, H. Kim, J. Lee, J. Kim, T. Kweon, H. Yoon, T. Kim, D. Shim, J. Sel, J. Shin, P. Kwak, J. Han, K. Kim, S. Lee, Y. Lim and T. Jung, "A 7MB/s 64Gb 3-bit/cell DDR NAND flash memory in 20nm-node technology," in *Proc. of ISSCC*, 2011, pp.212-213, 20-24 Feb. 2011.
- [5] G. Marotta et al., "A 3 bit/cell 32 Gb NAND flash memory at 34 nm with 6 MB/s program throughput and with dynamic 2 b/cell blocks configuration mode for a program throughput increase up to 13 MB/s," in *Proc. of IEEE ISSCC*, 2010, pp. 444-445.
- [6] Y. Li et al., "A 16 Gb 3-bit per cell (X3) NAND flash memory on 56 nm technology with 8 MB/s write rate," *IEEE J. of Sol. St. Circuits*, vol. 44, pp. 195-207, Jan. 2009.
- [7] C. Trinh et al., "A 5.6 MB/s 64 Gb 4 b/Cell NAND flash memory in 43 nm CMOS," in *Proc. of IEEE ISSCC*, Feb. 2009, pp. 246-247.
- [8] N. Shibata et al., "A 70 nm 16 Gb 16-level-cell NAND flash memory," *IEEE J. Sol. St. Circuits*, vol. 43, pp. 929-937, Apr. 2008.
- [9] S. Li and T. Zhang, "Improving multi-level NAND flash memory storage reliability using concatenated BCH-TCM coding," *IEEE Trans. Circuits and Systems-I: Regular Papers*, vol. PP, pp. 1-1, 2009.
- [10] R. Bez, E. Camerlinghi, A. Modelli, and A. Visconti, "Introduction to flash memory," in *Proc. IEEE*, 2003, vol. 91, no. 4, pp. 489-502.
- [11] Alan R. Olson, Denis J. Langlois "Solid State Drives Data Reliability and Lifetime," *Imation White Paper*, April 2008.
- [12] N. Mielke, T. Marquart, N. Wu, J. Kessenich, H. Belgal, E. Schares, F. Trivedi, E. Goodness, and L. R. Nevill, "Bit error rate in NAND flash memories," in *Proc. IEEE IRPS*, 2008, pp. 9-19.
- [13] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe,

- Y. Sasago, S. Narumi\*, K. Tokami, S. Kamohara, O. Tsuchiya, "The Impact of Random Telegraph Signals on the Scaling of Multilevel Flash Memories," *IEEE Symp. VLSI Circuits*, 2006, pp 112-113.
- [14] C. Compagnoni, A. Spinelli, R. Gusmeroli, A. Lacaïta, S. Beltrami, A. Ghetti and A. Visconti, "First evidence for injection statistics accuracy limitations in NAND Flash constant-current Fowler-Nordheim programming," *IEDM Tech Dig.* 2007, pp 165-168.
- [15] Lee, J.-D., Hur, S.-H., and Choi, J.-D., "Effects of floating-gate interference on NAND flash memory cell operation," *IEEE Trans. Electron Devices*, 2002, 23, pp. 264-266.
- [16] K. Naruke, S. Taguchi and M. Wada, "Stress Induced Leakage Current Limiting To Scale Down EEPROM Tunnel Oxide Thickness," in *Proc. IEDM*, pp. 424-427, (1988).
- [17] A. Brand, K. Wu, S. Pan and D. Chin, "Novel Read Disturb Failure Mechanism Induced By FLASH Cycling," in *Proc. 2003 IRPS*, pp 127-132, (1993).
- [18] R. Degraeve, F. Schuler, B. Kaczer, M. Lorenzini, D. Wellekens, P. Hendrickx, M. van Duuren, G. Dormans, J. Van Houdt, L. Haspeslagh, G. Groeseneken, G. Tempel, "Analytical percolation model for predicting anomalous charge loss in flash memories," *IEEE Trans. Elect. Dev.*, 51(9), Sept. 2004, pp 1392-1400.
- [19] H. Belgal, N. Righos, I. Kalastirsky, J. Peterson, R. Shiner, and N. Mielke, "A new reliability model for post-cycling charge retention of flash memories," *Proc. 2002 IRPS*, pp 7-20.
- [20] M. Kato, N. Miyamoto, H. Kume, A. Satoh, T. Adachi, M. Ushiyama and K. Kimura, "Read-disturb degradation mechanism due to electron trapping in the tunnel oxide for low-voltage flash memories," *1994 IEDM Tech. Dig.*, pp 45-48 (1994).
- [21] R. Yamada, Y. Mori, Y. Okuyama, J. Yugami, T. Nishimoto and H. Kume, "Analysis of detrapp current due to oxide traps to improve flash memory retention," *Proc. 2000 IRPS*, pp 200-204 (2000).
- [22] R. Yamada, T. Sekiguchi, Y. Okuyama, J. Yugami and H. Kume, "A novel analysis method of threshold voltage shift due to detrapp in a multi-level flash memory," *Tech. Dig. 2001 VLSI Tech. Symp.*, pp 115-116.
- [23] J. Lee, J. Choi, D. Park, and K. Kim, "Degradation of Tunnel Oxide by FN Current Stress and Its Effects on Data Retention Characteristics of 90-nm NAND Flash Memory," *2003 IRPS*, pp. 497, 2003.
- [24] N. Mielke, H. Belgal, I. Kalastirsky, P. Kalavade, A. Kurtz, Q. Meng, N. Righos, and J. Wu, "Flash EEPROM Threshold Instabilities due to Charge Trapping During Program/Erase Cycling," *IEEE trans. Dev. and Mat. Reliability*, vol. 2, No. 3, pp 335-244, 2004.
- [25] N. Mielke, H. Belgal, A. Fazio, Q. Meng, and N. Righos, "Recovery Effects in the Distributed Cycling of Flash Memories," *Proc. 2006*, pp 29-35.
- [26] K. Takeuchi, s. Satoh, T. Tanaka, K. Imamiya, K. Sakui, "A negative Vth cell architecture for highly scalable, excellently noise-immune, and highly reliable NAND flash memories," *IEEE J. Sol. St. Circuits*, 34(5), pp 675-684, May 1999.
- [27] K. Park, M. Kang, D. Kim, S. Hwang, B. Choi, Y. Lee, C. Kim, and K. Kim, "A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories," *IEEE J. Sol. St. Circuits*, vol. 43, no. 4, pp. 919-928, Apr. 2008.
- [28] G. Dong, S. Li, and T. Zhang, "Using data post-compensation and pre-distortion to tolerate cell-to-cell interference in MLC NAND flash memory," *IEEE Trans. Circuits and Systems-I : Regular Papers*, vol. 57, no. 10, pp. 2718-2728, 2010.
- [29] E. Yaakobi, J. Ma, L. Grupp, P. H. Siegel, S. Swanson and J. K. Wolf, "Error Characterization and Coding Schemes for Flash Memories," *Workshop on the Application of Communication Theory to Emerging*

- Memory Technologies*, 2010.
- [30] H. Choi, W Liu, and W Sung, "VLSI Implementation of BCH Error Correction for Multilevel Cell NAND Flash Memory," *IEEE Trans. VLSI Syst.*, vol. 18, pp. 843-847, July, 2010
- [31] J. Gray and C. van Ingen, "Empirical Measurements of Disk Failure Rates and Error Rates," *Microsoft Research Technical Report MSR-TR-2005-166*, Dec. 2005.
- [32] R. G. Gallager, "Low-density parity-check codes," *IEEE Trans. Inf. Theory*, vol. IT-8, pp. 21-28, Jan. 1962.
- [33] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding: Turbo-codes," in *Proc. of ICC' 93*, Geneve, Switzerland, May 1993, pp. 1064-1070.
- [34] S. Lin and D. J. Costello, *Error Control Coding: Fundamentals and Applications*, 2nd ed. Englewood Cliffs, NJ: Prentice-Hall, 2004.
- [35] G. Dong, N. Xie, and T. Zhang, "On the use of soft-decision error-correction codes in NAND flash memory," *IEEE Trans. Circuits and Systems-I : Regular Papers*, vol. 58, no. 2, pp. 429-439, 2011.
- [36] G. Ungerboeck, "Trellis-coded modulation with redundant signal sets part I, II," *IEEE Commun. Mag.*, vol. 25, no. 2, pp. 5-21, Feb. 1987.
- [37] A. Jiang, R. Mateescu, M. Schwartz, and J. Bruck, "Rank modulation for flash memories," in *Proceedings IEEE ISIT 2008*, Toronto, Canada, July 2008.
- [38] G. D. Cohen, P. Godlewski, and F. Merckx, "Linear binary code for write-once memories," *IEEE Trans. Inf. Theory*, vol. IT-32, no. 5, pp. 697-700, Sep. 1986.
- [39] A. Fiat and A. Shamir, "Generalized write-once memories," *IEEE Trans. Inf. Theory*, vol. IT-30, no. 3, pp. 470-480, May 1984.

약 력



하 정 석

1992년 경북대학교 전자공학과 학사  
 1994년 포항공과대학교 전자전기 석사  
 2003년 Georgia Tech 박사  
 2004년 ~ 2010년 한국정보통신대학교 조교수  
 2010년 ~ 현재 한국과학기술원 부교수  
 관심분야: 통신, 채널부호, 물리계층보안



오 지 은

2009년 한동대학교 전산전자공학부 학사  
 2011년 한국과학기술원 전기 및 전자공학과 석사  
 2011년 ~ 현재 한국과학기술원 전기 및 전자공학과 박사과정  
 관심분야: 통신, 채널부호