

## GaAs 기반 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 이종접합 구조를 갖는 MHEMT 소자의 DC 특성에 대한 calibration 연구

손 명 식<sup>†</sup>

<sup>†</sup>순천대학교 전자공학과

### Calibration Study on the DC Characteristics of GaAs-based $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ Heterostructure Metamorphic HEMTs

Myung Sik Son<sup>†</sup>

<sup>†</sup>Department of Electronic Engineering, Suncheon National University, KOREA

#### ABSTRACT

Metamorphic HEMTs (MHEMTs) have emerged as excellent challenges for the design and fabrication of high-speed HEMTs for millimeter-wave applications. Some of improvements result from improved mobility and larger conduction band discontinuity in the channel, leading to more efficient modulation doping, better confinement, and better device performance compared with conventional pseudomorphic HEMTs (PHEMTs). For the optimized device design and development, we have performed the calibration on the DC characteristics of our fabricated  $0.1 \mu\text{m}$   $\Gamma$ -gate MHEMT device having the modulation-doped  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  heterostructure on the GaAs wafer using the hydrodynamic transport model of a commercial 2D ISE-DESSIS device simulator. The well-calibrated device simulation shows very good agreement with the DC characteristic of the  $0.1 \mu\text{m}$   $\Gamma$ -gate MHEMT device. We expect that our calibration result can help design over-100-GHz MHEMT devices for better device performance.

**Key Words :** Millimeter wave, HEMT, Metamorphic HEMT (MHEMT), Device simulation, Hydrodynamic transport simulation, Deep-level traps, Calibration

#### 1. 서 론

최근 밀리미터파 대역이 상용 목적으로 개방되면서 이에 관한 연구가 시급히 요구되고 있다. 수백 GHz에 이르는 밀리미터파 주파수 대역은 현재의 무선통신 및 미래의 광대역 무선 통신의 매체가 되는 소중한 주파수 자원이다. 따라서 차세대 밀리미터파 통신 분야 및 이동 통신 분야에서 기술 선진국과의 기술력 격차를 줄이고 도약을 이루기 위해서는 다양한 통신 시스템의 핵심 소자개발이 필수적이다.

현재 100 GHz 이상의 주파수 대역에서는 InP 기반 HEMT 소자가 우수한 특성을 나타내고 있다. InP HEMT의 주파수 특성을 나타내는 차단주파수  $f_T$ 의 경

우 300~360 GHz의 결과들이 발표되어 왔으며 최근에 일본 후지쯔사에서 400 GHz  $f_T$ 의 InP HEMT 결과가 발표되었다[1]. 디지털용 시스템으로 InP HEMT는 소자의 동작속도 면에서 다른 어떤 소자들보다 월등한 성능을 나타내고 있으며  $f_{\text{max}}$ 의 경우도 600 GHz의 동작 특성을 보이고 있어 차세대 광대역 무선 광통신망과 밀리미터파 통신망의 송수신단의 응용이 기대되고 있다.

그러나 InP 기반 소자의 가장 큰 문제로 아직은 비용이 GaAs 기반 소자에 비해 비싸며, 4인치 이상의 에피웨이퍼 생산이 어렵고, 제작시 깨지기 쉬워 취급하기 어렵다는 문제점을 안고 있다.

이에 대한 대안으로 InP 에피구조를 GaAs기판 위에 성장시킨 MHEMT(metamorphic HEMT)에 대한 연구들이 진행되었는데,  $0.1 \mu\text{m}$   $\Gamma$ -게이트 MHEMT의 소자

<sup>†</sup>E-mail : sonms@sunchon.ac.kr

특성을 보더라도 PHEMT (pseudomorphic HEMT)에 비해 우수한 주파수 특성( $f_T$  123 GHz)[1]을 보였으며, 위에서 언급한 InP 기반 MIMIC제작사의 단점을 극복할 수 있는 뛰어난 주파수 특성을 갖는 HEMT 소자로 그 연구의 필요성이 시급함을 보여 주었다.

본 논문에서는 100 GHz 이상에서 구동하는 MHEMT를 개발하기 위한 0.1  $\mu\text{m}$  이하의 게이트 구조를 갖는 MHEMT의 최적 에피구조 연구를 위해 문헌 [1]에서 제작한 0.1  $\mu\text{m}$   $\Gamma$ -게이트 MHEMT 소자 특성[1]에 대해 ISE사의 DESSIS소자 시뮬레이터의 2차원 hydrodynamic 전송 모델[2]을 이용한 시뮬레이션을 수행하여 잘 일치하는 결과를 얻었음을 보이고, 이에 대한 HEMT소자의 파라미터 보정(calibration) 시뮬레이션 수행 시 고려 사항들, 그리고 그에 따른 시뮬레이션 결과 분석 및 소자 특성에 끼친 영향 등을 상술하고자 한다. 향후 이 시뮬레이션 연구 결과를 이용하여 100 GHz 이상에서 구동하는 MHEMT 소자 개발을 위해 에피구조 및 소자 구조 설계 연구를 수행한다면 MHEMT 소자 설계에 대한 신뢰도 향상 및 타당성을 확보할 수 있을 것으로 기대한다.

## 2. Hydrodynamic HEMT 소자 시뮬레이션

계산의 효율성과 정확성을 고려하여 ISE사의 소자 시뮬레이터 DESSIS의 hydrodynamic 전송 모델을 사용하여 HEMT소자 시뮬레이션을 수행하였다. 계산에 필요한 각 에피 층들의 물질 파라미터들을 결정하기 위하여 측정된 파라미터 값 및 문헌 값들[3-5]을 토대로 파라미터 보정시뮬레이션을 수행하여 값을 설정하였다. 제작된 실제 소자의 에피구조 및 각 에피 층들의 파라미터 값, 그리고 소자 시뮬레이션 시 고려되어야 할 물리적 고려 사항들, 그리고 이들의 시뮬레이션 결과 분석들을 다음 소절들에서 상술하였다.

### 2.1. MHEMT 소자 구조

그림 1에서 보인 에피구조를 갖는 0.1  $\mu\text{m}$   $\Gamma$ -게이트 MHEMT 소자는 LNA(low noise amplifier) 및 PA(power amplifier) 용으로 동시에 사용할 수 있도록 전류 레벨을 증가시켰다. 이를 위해 이중 델타 도핑된 에피구조 및 항복 전압을 높이기 위해 소스 측으로 치우쳐진  $\Gamma$ -게이트 구조를 갖도록 설계되었다. 2  $\mu\text{m}$ 의 소스-드레인 간격을 가지며, 게이트는 소스 측에 치우쳐져 있으며, 넓게 리세스된  $\Gamma$ -게이트 구조를 갖도록 제작[1]되었다.

제작된 소자[1]는  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  이중접

Cap	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$6 \times 10^{18}/\text{cm}^3$	15nm
Barrier	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	15nm
		$\delta$ -doping	$4.5 \times 10^{12}/\text{cm}^2$
	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	3nm
Channel	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	undoped	23nm
	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	4nm
		$\delta$ -doping	$1.3 \times 10^{12}/\text{cm}^2$
Buffer	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	400nm
Metamorphic Buffer	$\text{In}_x\text{Al}_{1-x}\text{As}$ ( $x = 0 \sim 0.5$ )	undoped	1000nm
S.I. GaAs substrate			

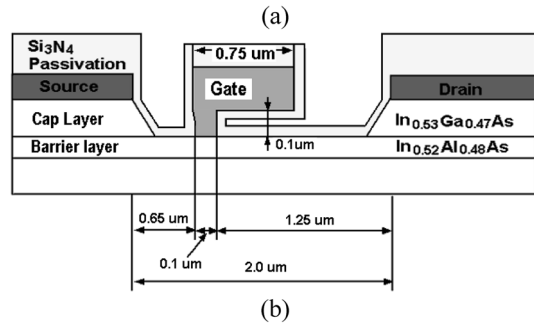


Fig. 1. The device structure of the MHEMT; (a) epitaxial layers, (b) 0.1  $\mu\text{m}$   $\Gamma$ -shaped gate.

합 구조를 가지며, 채널층으로는 23 nm의  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  층을 사용하였고 게이트(Ti/Au)와 쇼트키 접합을 이루게 되는 장벽층은 15 nm의  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  층을 사용하였다. 소스 및 드레인 오믹 접합(AuGe/Ni/Au)을 위해 캡(cap)층은  $6 \times 10^{18}/\text{cm}^3$ 의 농도로 n형 도핑되었다. 게이트 폭 70  $\mu\text{m}$  인 핑거 수 2개를 갖는 소자 레이아웃 구조를 가지고 있다.

그림 2에서는 그림 1에 나타난 바와 같이 2차원 소자 시뮬레이션을 위한 에피층 및 게이트 구조, 그에 따른 메쉬 구조를 동시에 나타내었다. 0.75  $\mu\text{m}$ 의 게이트 헤드 폭을 고려하였고 게이트 헤드 아래 부분의 전계 영향을 고려하도록 쇼트키 접합 부분을 연장하여 정의하였으며, 소스와 드레인의 오믹 접촉을 위해 AuGe 확산을 고려한 가우시안 분포의 도핑 분포를 갖도록 하여 접촉 저항을 모델링하였다. 또한, 게이트와 소스, 게이트와 드레인 사이에는  $\text{Si}_3\text{N}_4$  보호 층 및 공기 층을 고려하였다.

계산에 사용되는 메쉬 노드 수를 줄여 수행시간을 단축시키기 위하여 소자의 전류를 구성하는 채널 층 및 게이트 접촉 아래 부분, 그리고 오믹 접촉 아래 부분은 촘촘하게 메쉬를 나누었고, 크기가 큰 버퍼 층들은 넓게 비등간격으로 메쉬를 나누었으며 최종 노드 수는 9,654개였다.

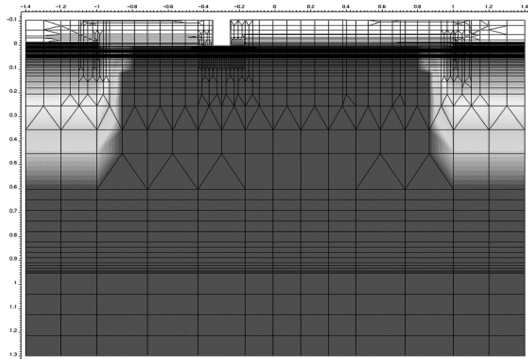


Fig. 2. The device structure and mesh for simulation.

시뮬레이션은 게이트 전압 0V에서 0.25V간격으로 -2V까지, 드레인 전압 0V에서 2.5V까지 자동 변화시키면서 총 9개의 I-V 특성 곡선을 시뮬레이션하였다. 4G 바이트의 메모리를 갖는 3.0 GHz 인텔 펜티엄4프로세서 컴퓨터인 레드햇 리눅스 버전에서 총 시뮬레이션 시간은 게이트 전압이 증가할수록 증가하였고, 대략 52분 이내에 한 개의 I-V 특성 곡선을 얻을 수 있었으며, 총 9개의 I-V 특성 곡선을 시뮬레이션하는데 걸린 CPU 시간은 6시간 1분 12초 걸렸다.

## 2.2. Hydrodynamic HEMT 소자 시뮬레이션 모델

HEMT 소자 시뮬레이션을 위해 고려된 기본적인 고 중요한 모델들을 아래에 정리하여 나타내었다.

- Hydrodynamic 전송 모델
- 고전계 이동도 감소 모델
- $\text{Si}_3\text{N}_4$  보호층/InAlAs 장벽층 계면의 표면 거칠기로 인한 이동도 감소 모델
- 오믹 접합시 AuGe 확산 도핑 모델
- 쇼트키 게이트 및 이중접합 경계면에서의 터널링 현상 및 열전자 방출 효과
- SRH(Shockley-Read Hall), Auger 및 Radiative (Direct) 재결합 모델

InGaAs와 InAlAs 각 층들의 이동도를 정확하게 결정하기 위해서는 전계 의존성 이동도 감소 모델, 또한

도핑에 의한 이동도 감소 모델 및  $\text{Si}_3\text{N}_4$  보호 층과 InAlAs 장벽층 사이 경계면의 거칠기에 의한 이동도 감소 모델을 모두 고려하여야 한다. 또한, 쇼트키 게이트와 InAlAs/InGaAs 이중접합 경계면에서의 장벽 터널링 및 SRH, Auger 및 Radiative 재결합 모델들을 기본적으로 고려하였다. 캐리어 재결합 모델들의 각 파라미터들은 시뮬레이터에서 제공하는 디폴트 값을 사용하였다.

아래 소절들에서는 파라미터 보정을 위해 주로 고려한 중요한 물리적 고려사항들 및 그에 따른 모델링, 그리고 모델링하기 위해 결정한 모델들의 파라미터들을 상술한다.

### 2.2.1. InAlAs/InGaAs 이중 접합 에너지 밴드 모델

DESSIS 시뮬레이터에서 In 몰(mole) 성분  $x$  변화에 따라서  $\text{In}_{1-x}\text{Ga}_x\text{As}$ 와  $\text{In}_{1-x}\text{Al}_x\text{As}$ 의 전자친화력 및 에너지 갭을 보간하여 결정하는 디폴트 값을 제공하나 정확하지는 않으므로 InAlAs/InGaAs 이중 접합 에너지 밴드 파라미터들을 보정해 주어야 한다. 두 이중 물질의 에너지 밴드 간격 값(이중접합을 형성하는 두 물질의 전자친화력 차이)은 문헌들[3-6]에 의하면  $0.51 \pm 0.4$  eV이었다.  $\Delta E_c$  값을 0.48, 0.50 및 0.52 eV등을 사용해 시뮬레이션을 수행해 보았으나 0.52 eV가 가장 좋은 파라미터 보정 결과를 보여주었다.

InAlAs메타몰픽 버퍼 층에서는 In 몰(mole) 성분은 1에서 0.5까지 변화시키면서 선형 구간 보간을 사용하여 에너지 갭 및 전자 친화력을 결정할 수 있는 DESSIS 선언문이 있으므로 이는 값들을 중간에 삽입 보간하여 주면 된다. 시뮬레이션에서 사용된 파라미터들을 표 1에 정리하여 나타내었다.

### 2.2.2. 델타( $\delta$ ) 도핑 모델링

캐리어를 채널에 공급하는 델타 도핑 층의 두께는  $20\text{\AA}$ 으로 가정하여 그림 1(a)에 보인 델타 도핑 층들의 면 농도를 체적 농도로 변환하여 최대 체적 농도 값을 결정 하였으며, MBE 성장 중의 성장 온도에 의한 측면 확산을 고려하여 오차 함수를 사용하고 2차원 측면 확산 계수를 사용하였다.

Table 1. Energy-band Parameters.

Material	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{In}_{0.52}\text{Ga}_{0.48}\text{As}$	$\text{In}_{1-x}\text{Al}_x\text{As}$		
			$x=0$	$x=0.56$	$x=1$
Electron Affinity (eV)	4.62	4.10	4.92751	4.1617	3.56
Energy Gap (eV)	0.75	1.47	0.355482	1.63792	2.11

델타 도핑의 효율은 대략 69% 정도로 보고[7]되고 있으나 정확한 이온화 효율에 대한 측정 데이터가 없어서 이온화 효율 계수를 결정하기가 쉽지 않았다. 일정한 델타 도핑 체적 농도를 가정한 경우 너무 높은 전류로 인해 실험 데이터와의 차이가 커져 파라미터 보정 자체가 불가능하였다. 이러한 시뮬레이션 전류 값을 측정 범위로 줄이기 위해서 쇼트키 장벽 높이 값을 크게 가져가야 했는데 이는 통상의 쇼트키 장벽 높이 값을 터무니 없이 크게 해서 파라미터 보정 신뢰성을 저하시켰다.

이를 고려하여 델타 도핑 효율을 줄이기 위하여 20Å의 채널 층에서 15Å의 채널 층만을 고려하고 불완전 이온화 모델을 사용하여 Si의 활성화 에너지 준위 0.0058eV 설정하여 활성화되는 도핑 농도를 결정하였다. 또한 델타 도핑 층에서 소자의 수직(깊이) 방향 위아래로의 측면 확산을 고려하여 델타 도핑 층은 확산 측면계수  $1.e-4$ 를 사용하였다.

### 2.2.3. 오믹 접합 및 이종 접합 전류 모델링

소오스 및 드레인의 오믹(alloyed ohmic) 접합은 3층 구조의 AuGe/Ni/Au 로 형성되므로 금속 증착 시의 온도 영향으로 인한 AuGe의 오믹 접합 하부로의 확산[7]을 고려하여야만 한다. 이는 오믹 접합 아래 부분의 가우시안 도핑 분포로 모델링하였다.

이때 확산 도핑되어 가우시안 분포를 이루는 AuGe의 최대농도 값  $1 \times 10^{19}/\text{cm}^3$ 은 접합면에 위치하며 표준 편차를 나타내기 위한 위치 농도는 접합면에서 소자 깊이 방향으로 0.115  $\mu\text{m}$  떨어진 위치에 농도 값  $1 \times 10^{16}/\text{cm}^3$ 을 갖는 것으로 모델링하였으며, 2차원 가우시안 분포의 측면 편차 분포를 나타내는 측면 계수는 0.65로 고려하였다.

2차원 가우시안 분포함수의 형태가 결정되면 도펀트의 불완전 이온화 모델을 이용하여 도펀트의 활성화된 농도를 결정해 주어야 하는데 이는 도너 에너지 준위를 결정함으로써 조절 가능하며 사용된 Ge도너 에너지 준위는 0.075 eV 이었으며, 불완전 이온화 모델의 다른 값들은 디폴트 값을 사용하였다.

AuGe가 확산 도핑된 오믹 접합부 아래의 소자 에피영역들에서의 도핑 농도에 따른 이동도 감소 효과를 고려해야만 정확한 각 에피 층의 저전계 이동도를 결정할 수 있기 때문에 이동도 감소 모델로 Masetti 모델[2]을 사용하였다. Masetti 모델 파라미터들[8]은  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 에 대해  $P_c$  값만  $3.8e+18/\text{cm}^3$ 으로 변경하였으며 나머지는 모두 동일한 값을 사용하였다.

또한 InAlAs/InGaAs 이종 접합면에서의 장벽 터널링은 소자 내부의 오믹 저항을 묘사하는데 있어서 또

다른 중요한 파라미터가 된다. 소오스 및 드레인 접합부가 에피층들 위에 있는 소자 구조에서는 캐리어들이 InAlAs/InGaAs 이종 접합면에서의 장벽 터널링 및 높은 에너지 캐리어들은 열전자 방출(thermionic emission)되어 소오스 및 드레인 접합부에 도달하게 되므로, 이들을 고려하지 않으면 전류가 거의 흐르지 않아 시뮬레이션이 불가능하다.

낮은  $V_{ds}$  전압에서의 선형 전류 영역을 제대로 시뮬레이션하기 위해서는 도핑에 의한 이동도 감소 및 이종 접합면에서의 장벽 터널링 모델을 고려해야 하고, 높은  $V_{ds}$  전압에서는 열전자 방출 효과 또한 동시에 고려해 주어야만 한다.

DESSIS시뮬레이터에서는 이종 접합면에서의 물리적 모델을 포함시킬지 여부를 결정할 수 있는 물리 모델 선언 입력 파라미터들이 있는데, InAlAs/InGaAs 이종 접합면에서의 장벽 터널링 및 열전자 방출 모델을 선언해 주어야만 이종 접합면을 가로질러 흐르는 전류 성분을 정확히 묘사할 수 있다. 이종 접합면에서의 장벽 터널링 모델 파라미터 및 열전자 방출 모델의 파라미터는 제공하는 디폴트 값을 사용하였다.

위에서 언급한 모델들 이외에 오믹 저항을 위해 깊은 준위 트랩(deep-level traps) 효과를 고려하였는데 이는 아래 트랩 효과를 다루는 소절에서 상술하였다.

### 2.2.4. 이동도 모델

ISE-DESSIS에서는 하나 이상의 이동도 모델들이 사용되면 벌크 이동도(bulk mobility,  $\mu_b$ )와 표면이동도(surface mobility,  $\mu_s$ )를 Mathiessen 법칙을 이용하여 아래와 같이 저전계 이동도( $\mu_{low}$ )를 결정한다.

$$\frac{1}{\mu_{low}} = \frac{1}{\mu_{b1}} + \frac{1}{\mu_{b2}} + \dots + \frac{1}{\mu_{s1}} + \frac{1}{\mu_{s2}} + \dots \quad (1)$$

저전계 이동도가 결정된 후에 인가된 전계력(driving force,  $F$ )을 고려하여 전계 의존성 이동도 모델을 사용하여 최종 이동도( $\mu$ )를 아래와 같이 결정한다.

$$\mu = f(\mu_{low}, F) \quad (2)$$

소자 시뮬레이션을 위한 중요한 물질 파라미터인 이동도의 결정은 저전계에서 사용되는 이동도 모델( $\mu_{low}$ ), 도핑에 의한 이동도 감소 모델 및 물질 층 경계면 거칠기에 의한 이동도 감소 모델을 고려하였고, 전계의 증가에 따른 고전계 의존성 이동도 감소 모델을 사용하였다.

InGaAs층의 저전계 이동도는 에피 제작 후 측정된 Hall 측정값[1]을 사용하였으며, 도핑에 의한 이동도 감소 모델은 전 소절에서 설명한 바대로 오믹 접합 특성

및 InGaAs 캡층을 예측하기 위해 사용하였다. InAlAs 층의 저전계 이동도는 문헌 값[3-9]을 참조하여 결정하였다.

또한, Si<sub>3</sub>N<sub>4</sub> 보호 층과 InAlAs 장벽 층간의 경계면에서의 거칠기에 의한 이동도 감소 효과를 고려하기 위해 이 경계면에서의 이동도 감소 모델을 사용하였다. 이 모델의 파라미터 값들은 DESSIS의 디폴트 값을 이용하였다.

고전계 의존성 이동도 모델은 Canali 모델[2][8]과 ME(Meinerzhagen-Engl) 모델[2]을 사용하여 파라미터 보정을 수행하였으나 Canali 모델은 고전계 영역에서 측정값에 비해 큰 전류 값을 나타내었고, 이에 비해 ME모델은 고전계에서도 측정값과 잘 일치하는 결과를 보여 주었다. 이는 InGaAs 및 InAlAs 와 같은 화합물 반도체에서 나타나는 전계 영향 이동도 감소 모델로서의 ME 모델이 전자들이 전계가 증가함에 따라서 낮은 에너지 밸리에 있다가 높은 에너지 밸리로 천이하면서 이동도가 감소하는 현상을 잘 모델링한 결과에 기인하는 것이다. 주로 Si 소자인 경우에는 Canali 모델을 사용하고, GaAs와 InP와 같은 화합물 반도체에서는 ME 모델을 사용한다. 시뮬레이션에서 사용된 이동도 ME 모델의 파라미터들을 표 2에 정리하였으며, 관련 식은 아래 (3)-(5)와 같다.

$$\mu = \frac{\mu_{low}}{\left[ 1 + \left( \mu_{low} \cdot \frac{(\omega_c - \omega_0)}{q \tau_c v_{sat}} \right)^\beta \right]^{1/\beta}} \quad (3)$$

$$v_{sat} = A_{sat} - B_{sat} \cdot \left( \frac{T_L}{T_0} \right) \quad (4)$$

$$\beta = \beta_0 \left( \frac{T_L}{T_0} \right)^{\beta_{exp}} \quad (5)$$

여기서,  $v_{sat}$ 은 포화 속도를 나타내고,  $\beta$ 는 기울기 값,  $T_L$ 는 격자 온도를 나타내고,  $T_0 = 300K$ 이다. 그리고  $\tau_c$ 는 평균 캐리어 충돌 시간이다. 첨자 c는 전자나 정공 캐리어를 나타내고, 0는 300K의 온도 상태를 나타낸다. 이고 캐리어가 갖는 평균 열에너지이고,  $\omega_0 = 3k_B T_L / 2$ 는 열평형 상태에서 격자가 갖는 평균 열에너지를 나타낸다.  $\omega_c$ 가  $\omega_0$ 보다 작게 되면 이동도는  $\mu = \mu_{low}$ 로 결정된다.

고전계 이동도 모델인 ME 모델에서 전계의 영향은  $\omega_c$ 로 표현되며, 식 (3)에서 알 수 있듯이 전계가 증가하면  $\omega_c - \omega_0 > 0$ 가 되어 더욱 증가하게 되므로 이동도는 계속 감소하게 된다. 또한, 고전계에서  $v_{sat}$  및  $\tau_c$ 이 증가하면 이동도가 증가하게 된다. 기울기  $\beta$ 값은 온

도 의존성을 갖는 이동도 증감 기울기를 결정하는 계수이다.

본 논문의 파라미터 보정에서는 시뮬레이션 수행시간을 단축시켜 빠른 파라미터 보정을 수행하기 위해 격자 온도 효과를 배제하였기 때문에  $T_L = T_0$ 이다. 만약 캐리어 온도 이외에 기판의 격자 온도를 고려하면 수행시간은 배로 늘어나게 되고 계산시 수렴도가 떨어져 발산하는 경우가 많았다. 고전계에서의 격자 온도 효과를 고려하게 되면  $\tau_c$  및  $v_{sat}$ 가 감소하게 되고,  $\beta$ 는 증가되어 이동도는 더욱 감소하게 된다. 고전계에서 이동도가 떨어지므로 전류 레벨은 감소하게 된다.

Table 2. Mobility Parameters for ME model.

Material		In <sub>0.53</sub> Ga <sub>0.47</sub> As		In <sub>0.52</sub> Al <sub>0.47</sub> As	
Carrier		electron	hole	electron	hole
low-field mobility, $\mu_{low}$		9710	331	4226	75
saturation velocity, $v_{sat}$	$A_{sat}$	$2.8 \times 10^7$	$4.8 \times 10^6$	$1.5 \times 10^7$	$3.0 \times 10^6$
	$B_{sat}$	0	0	0	0
$\beta$ for saturation velocity	$\beta_0$	1	1	1	1
	$\beta_{exp}$	0	0	0	0
$\tau_c$ for carrier relaxation time		Spline { 0 2 0.25 1 }	0.4	0.55	0.25

### 2.2.5. 쇼트키 게이트 물리 모델

DESSIS에서는 쇼트키 접합에 사용된 Ti/Au 금속에 의한 쇼트키 장벽은 InAlAs 장벽 층과 접촉면을 이루는 Ti 금속의 일함수와 Au의 일함수를 고려하여 일함수 값을 입력하거나, 바로 쇼트키 장벽 높이 값을 입력할 수도 있다. 파라미터 보정하려는 제작 소자에서의 쇼트키 장벽 높이 값에 대한 측정 값을 사용할 수 없었기 때문에 참고 문헌[3][5]의 쇼트키 장벽 높이 값 0.59 eV를 기준으로 변화시키면서 결정하였는데 최종 값은 0.55eV이었다.

쇼트키 게이트 접합 특성 중에서 중요한 두 가지 물리 매커니즘을 고려해야 한다. 하나는 게이트에 가해지는 높은 전계에 의한 장벽 높이 저하 현상과 또 하나는 장벽 터널링 현상이다. 게이트 전계에 의한 장벽 높이 저하 현상은 높은 역 게이트 전압이 걸렸을 때 발생할 수 있으며, 또한 쇼트키 게이트 장벽 터널링 현상도 발생하게 되어 게이트에서 드레인 쪽으로 누설 전류를 형성시킬 수도 있다. 특히 펀치 오프 전류 레벨 및 정

확한 항복 특성을 예측하기 위해서는 게이트에서의 장벽 터널링 및 게이트 장벽 높이 저하 모델을 동시에 고려해야 하나 ISE-DESSIS 9.5 버전에서는 동시에 두 가지 모델을 포함시키는 경우 계산시 수렴이 잘되지 않고 발산하는 경우가 많아 게이트 터널링 모델만 포함시켜 시뮬레이션하였다.

높은 역게이트 전압에 대한 낮은 핀치 오프 전류 레벨을 파라미터 보정 하기 위해 두 가지 모두 시뮬레이션 해 보았으나 전류 레벨을 크게 변화시키지는 못했으며 파라미터 보정에서는 항복특성 예측을 위해 게이트 장벽 터널링 현상만 고려하였다.

또한 그림 3에서 보는 바와 같이 Ti 이나 Au의 확산으로 인해 게이트 계면이 InAlAs 장벽 층 안으로 확산되어 이동하는 현상인 게이트 싱크(sinking) 현상을 모델링할 필요가 있다. 이러한 게이트 싱크 현상은 향상된  $g_m$  파라미터 보정을 가능하게 하였다. 25~35Å 정도 싱크된 게이트 경계면을 설정하여 시뮬레이션을 수행해 보았으며, 최종 30 Å의 싱크 길이를 결정하였다.

### 2.2.6. 깊은 준위 트랩 모델링

제작된 소자의 에피 상태를 보기 위한 XTEM 사진 [10]을 그림 4에 보았다. XTEM 사진을 보면 0.4  $\mu\text{m}$ 의 InAlAs 버퍼층에 많은 크랙이 존재하며, 고르지 않게 결합들이 뭉쳐 있는 것이 보인다. 설계한 1  $\mu\text{m}$  메타몰픽 버퍼층은 실제와 차이가 나며 0.65  $\mu\text{m}$  정도의 메타몰픽 층인 것으로 보인다. 메타몰픽층은 상당히 많은 크랙 및 결합 덩어리들이 뭉쳐서 발생한 상태를 보여 주고 있다.

이러한 결합들로 인해 존재하게 되는 에너지 갭 사이에 존재하는 깊은 준위 트랩들은 주로 MBE성장시의 각 층 및 경계 면들에서의 불완전한 성장에 기인해 발생한다. 이러한 깊은 준위 트랩은 캐리어를 포획하여 (-)음전하(억셉터형 트랩) 나 (+)양전하(도너형 트랩)를

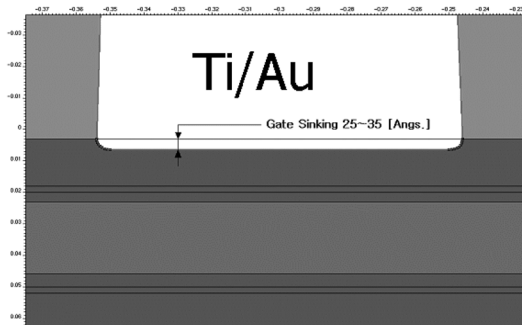


Fig. 3. Gate sinking.

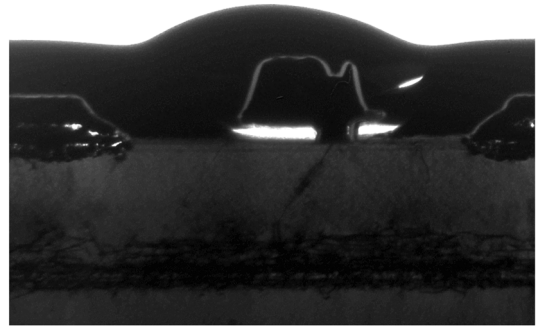


Fig. 4. XTEM picture for the MHEMT epitaxy layers grown on GaAs substrate.

띄게 되는데 이러한 현상은 시간 변화에 따라 전류를 형성하는 이동 캐리어 수의 변화 및 포획된 후 축적되어 공간 전하를 형성함으로써 에너지 밴드의 왜곡(변형)을 일으켜 전류 레벨을 감소시키거나 증가시킬 수 있다.

이러한 결합에 따른 트랩 효과는 특히 HEMT 소자에서는 드레인에 비해 큰 소오스 저항 모델링 및 계산 값보다 큰 측정 핀치-오프 전류 레벨을 파라미터 보정 하기 위하여 고려하였다. 트랩 모델에서는 포획 유지 시간은 고려하지 않았으며, 일단 포획되면 영원히 유지 되는 것으로 가정하고 트랩 에너지 레벨은 여러 개가 존재할 수 있지만 하나의 에너지 레벨에 존재하며 일정한 트랩 농도 값을 결정해 줌으로써 전류 레벨을 제어하였다.

이 중 중요한 트랩 효과는  $\text{Si}_3\text{N}_4$  보호 층과 InAlAs 장벽 층 계면에 존재하는 억셉터형 트랩과 InAlAs 버퍼 층의 도너형 트랩 효과이다.

#### 2.2.6.1. $\text{Si}_3\text{N}_4$ 보호 계면 트랩 효과

$\text{Si}_3\text{N}_4/\text{InAlAs}$  장벽층 경계면에 트랩이 존재하며 트랩은 억셉터형으로 존재한다. 이 트랩들은 경계면의 불완전성 결합에 의해 기인하며 소오스 저항을 증가시키게 된다. 계면 트랩 에너지 레벨은  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  에너지 밴드 갭의 중간 위치에 억셉터 형태로 존재하는 것으로 가정하여 DC 특성을 모델링하였다. 보호에 의한 트랩 계면 효과는 작은 게이트 바이어스 전압  $V_{gs}=0\sim 0.5\text{V}$  구간에서 계면 트랩 모델을 사용하지 않은 것에 비해 계면 트랩 농도의 증가에 따라 전류 레벨이 감소되는 현상으로 나타났다.

#### 2.2.6.2. InAlAs 버퍼 층 트랩 효과

그림 4의 XTEM 사진을 보면 MBE에피 성장 시 긴

버퍼 층들에 크랙과 결함들이 형성되어 존재하는 것을 알 수가 있다.  $\text{InAlAs}$  버퍼 층 및 메타몰픽 버퍼층에 결함은 고르게 형성되어 있지 않음을 보여 주고 있으며 이는 각 웨이퍼 마다 같은 공정을 수행하여도 소자의 특성이 달리 나타날 수 있음을 의미한다. 이러한 버퍼 층의 결함은 억셉터형과 도너형으로 형성되어 있을 것이고, 이들 트랩 농도의 비교 우위에 따라 전류를 증가(도너형)시키거나 감소(억셉터형)시키기도 할 것이다.

특히 파라미터 보정에서는 높은 역 게이트 전압 시에 핀치-오프 전류 계산치가 측정 전류 레벨 보다 작는데 이를 보완하기 위하여 버퍼 층의 도너형 트랩 농도를 증가시켰으며 전류 레벨을 줄이기 위해서는 억셉터형 트랩 농도를 증가시켜 파라미터 보정을 수행하였다. 결론적으로 긴 버퍼 층들은 대부분 도너형이 억셉터형보다 우세한 트랩 농도를 나타내었다. 이것은 버퍼 층에서 홀을 포획 축적하여 (+)로 대전됨으로써 게이트와 버퍼 사이에 포텐셜 차이(전압)를 야기하게 되고 높은 게이트 역 전압에 의해 채널이 막히는 경우 전자들은 버퍼 층으로 이동하여 드레인 쪽으로 이동하는 전류를 형성하게 됨을 의미한다. 이는 핀치-오프 전류를 증가시키게 되는 원인이 된다.

### 2.2.6.3. 오믹 접합 도핑 트랩 효과

오믹 접합에 의한 오믹 저항 모델링을 위해서 위 2.2.3절에서 언급된 모델들 이외에 트랩 모델을 도입하였는데 이는 이동도 감소 모델들만 가지고서는 측정 데이터와의 전류 레벨 차이를 줄일 수 없었기 때문이다. 또한 물리적으로는 그림 4에서 보면  $\text{AuGe}$  확산 도핑된 소오스 및 드레인 부분을 보면 복잡한 내부 결함들을 가지고 있을 수 있기 때문에 도입하였다.

소오스 및 드레인 하부의 채널층 위 아래의 스페이서층을 구분하여 이 영역에 억셉터형 트랩 밀도가 있고, 채널 층의 위 아래  $\text{InGaAs}/\text{InAlAs}$  경계면에 억셉터형 트랩이 존재한다고 가정하여 깊은 준위 트랩 모델을 사용하여  $V_{ds}$  증가에 따른 전류 레벨을 낮추어 파라미터 보정을 수행하였다.

## 3. 파라미터 보정 결과 및 분석

게이트 폭 길이  $70\ \mu\text{m} \times 2$  평거 소자 구조에 대해 측정된 전류 레벨과 ISE-DESSIS 소자 시뮬레이터의 2차원 Hydrodynamic 전송 모델을 사용하여 시뮬레이션한 전류 레벨을 맞추기 위해서는  $140\ \mu\text{m}(=70\ \mu\text{m} \times 2)$ 의 폭을 곱해 주면 된다. 이것은 2차원 시뮬레이션 시 DESSIS에서는 3차원의 다른 한 축의 폭을  $1\ \mu\text{m}$  로 가

정하고 시뮬레이션 하기 때문이다. 이것은 DESSIS 입력 파일에서 선언 지정해 줄 수 있다.

다음 소절들에서 중요한 파라미터 보정 결과들을 보이고 그에 따른 물리적 현상에 대한 분석을 상술하였다.

### 3.1. 이동도 모델 비교 결과

이동도 모델 효과를 비교하기 위하여 Canali 모델과 ME 모델을 선택하여 파라미터 보정을 수행하고 비교하였다. 그림 5에 보인 시뮬레이션 결과는 쇼트키 게이트 및  $\text{InGaAs}/\text{InAlAs}$  이중 접합계면에서의 장벽 터널링 및 전계 방출 효과를 기본으로 설정하였고, 오믹 접합을 위한  $\text{AuGe}$  가우시안 도핑 분포,  $\text{Si}_3\text{N}_4$  보호 계면의 억셉터형 트랩 효과만을 포함시킨 결과이다.

그림 5(a)의 Canali 모델은  $V_{ds}$  전압과  $V_{gs}$  전압이 커질수록 실험 데이터보다 전류가 더 큰 오차를 보여 주었으며, 그림 5(b)에 보인 ME 모델은 비교적 잘 일치하는 결과를 나타내었다. 이는 위에서 언급한 전계가 증가할수록 이동도가 감소하는 현상에 대해 비교적 ME

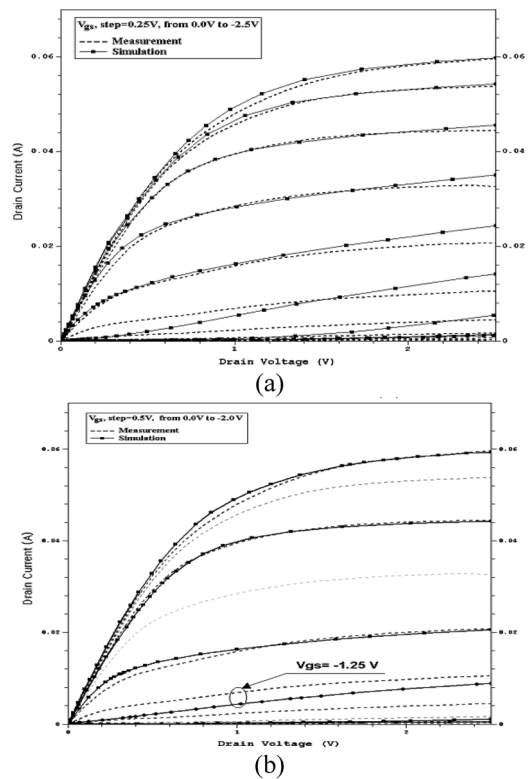


Fig. 5. Comparison of Canali model with ME model; (a) Calibration with Canali model, (b) Calibration with ME model.

모델이 잘 묘사하고 있음을 의미한다. 그러나 그림에 나타난 큰 게이트 역전압인  $V_{gs} = -1.25$  V인 경우를 보면 측정 데이터에 비해 전류 레벨이 더 작은 값을 나타냄을 알 수 있다.

### 3.2. $\text{Si}_3\text{N}_4/\text{InAlAs}$ 계면 트랩 효과

$\text{Si}_3\text{N}_4$  보호 층과 InAlAs 장벽 층 사이에 역셉터형 깊은 준위 트랩이 존재하면 InAlAs 층을 흐르는 전자를 포획하여 (-)전하를 띄게 된다. 역셉터형 트랩 밀도가 증가할수록 더 많은 전자를 포획하여 경계면에 (-)공간 전하를 증가시키고 이에 비례하여 더 많은 정공을 축적하여 트랩 밀도에 상응하는 (+)공간 전하 영역을 띄는 공핍 영역을 만들어낸다. 이러한 경계면에서의 전자 포획은 전자 캐리어를 공핍시켜 전자가 이동할 수 있는 유효 채널 폭을 감소시키는 효과로 나타나고 이에 따라 전자 캐리어 전류를 감소시키는 역할을 하게 된다.

그림 6에서는  $V_{gs} = -1.25$  V,  $V_{ds} = -2.5$  V에서의 전류 흐름 농도를 붉은색에서 노란색으로 표시하여 나타내

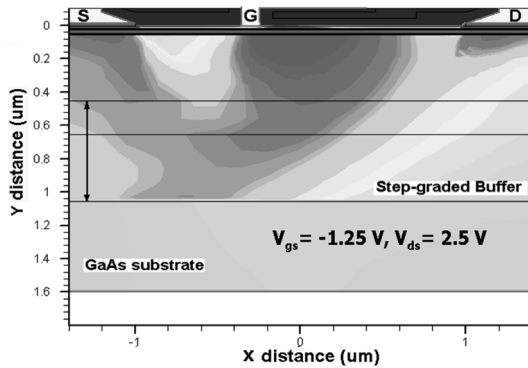


Fig. 6. The acceptor-type traps effect at  $\text{Si}_3\text{N}_4/\text{InAlAs}$  interface.

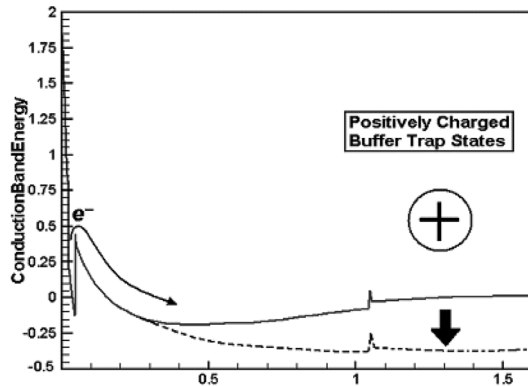


Fig. 7. The donor-type traps effect in the buffer layers.

었다. 게이트와 소오스 사이를 보면 소오스 측으로 갈수록 공핍층이 확대되어 나타나 있음을 보여 주고 있다. 이러한 소오스 측 경계면에서는 역셉터형 트랩은  $V_{ds}$  전압 증가에 따라 더욱 소오스 측 공핍 영역을 확대하게 되고 게이트 역 전압  $V_{gs}$  증가에 따른 소오스 측으로 게이트 공핍 영역이 확대 증첩되어 나타나게 된다. 또한 항복 특성 개선을 위해 소오스 측으로 치우쳐진 위치에 만든 게이트의 영향으로 드레인에 비해 소오스와 게이트 영역 사이에 공핍 효과가 집중되어 나타내게 된다. 이는 소오스에서 공급된 전자 캐리어가 게이트를 향해 갈 수 있는 InGaAs 층의 유효 채널 폭을 감소시키는 것이므로 전자 캐리어 전류 성분이 감소되어 채널 전류가 감소하는 현상으로 이해할 수 있다. 이러한 현상은 소자 내부에서의  $R_s$  저항을 증가시키는 요인이 된다.

### 3.3. InAlAs 버퍼 층의 트랩 효과

400 nm의 InAlAs 버퍼 층과 1000 nm의 메타몰픽 버퍼 층에서의 깊은 준위 역셉터형 트랩과 도너형 트랩은 캐리어들을 포획하여 공간 전하를 축적하여 버퍼층들의 포텐셜 변화를 야기하고 이는 전류가 포획하여 공간 전하를 축적하여 버퍼층들의 포텐셜 변화를 야기하고 이는 전류가 흐르는 채널층의 포텐셜을 변화시켜 전류 증감을 나타내게 된다. 버퍼층의 도너형 트랩은 전류를 증가시키고 역셉터형 트랩은 전류를 감소시킨다.

그림 7에 도시한 바와 같이 버퍼 층들에 도너형 트랩들이 있는 경우에 정공을 포획하여 넓고 긴 영역에 (+)공간 전하가 축적되면 이는 포텐셜을 증가시켜 에너지 레벨을 낮추게 된다. 이렇게 되면 게이트와 버퍼 층들 사이에 상당한 전압이 나타나게 되고 채널이 오픈된 경우에는 소오스 측으로 유입된 전자들이 채널을 넘어 버퍼 층으로 유입될 수 있으며 이로 인해  $V_{gs}$  전압이 핀치-오프 전압 이상이라도 버퍼 층을 통해 전류가 흐를 수 있다. 이는 더 이상 게이트 전압으로 전류를 제어할 수 없는 상태를 의미한다. 이는 핀치-오프 전압 이상에서 나타나는 작은 전류 성분을 파라미터 보정 하기 위해 고려하였다.

그림 5(b)의 결과에서 우선 버퍼 층에 도너형 트랩 농도를 증가시키면 전류가 전체적으로 증가하게 된다. 여기서  $\text{Si}_3\text{N}_4/\text{InAlAs}$  계면의 역셉터형 트랩 농도를 증가시켜 전류 증가분을 상쇄시키고, 적절하게 버퍼 층에 역셉터형 농도를 증가시키면서 전류를 줄여 파라미터 보정을 진행하였다.

그림 8에서  $V_{gs} = -1.0$  V 와  $V_{gs} = -1.25$  V 경우를 보면 그림 5(b)의 결과에 비해 상당히 전류가 증가해 있음을 알 수 있다.



### 3.4. 게이트 싱크 효과

그림 9의  $V_{gs} = -1.0\text{V}$ 의 시뮬레이션 결과를 보면 측정 전류에 비해  $V_{ds} = -1.3$  이하의 작은 전압 영역에서 실험 데이터보다 더 큰 전류를 나타내고 있음을 알 수 있다. 이를 파라미터 보정 하기 위해서 게이트 싱크 효과[7]를 고려하였고, 게이트 싱크 효과로 인해 게이트와 InGaAs 채널층 간 거리가 가까워지게 되므로 당연히  $g_m$ 에 영향(증가)을 주게 되고 게이트 아래의 채널 유효 폭 감소로 인해 채널 전류는 감소하게 된다. 모든 설정이 변경되어야 하므로 전류 감소분을 증가시켜 상쇄시키기 위해서는 버퍼 층의 도너형 트랩 농도를 증가시켜 전류를 증가시키고,  $\text{Si}_3\text{N}_4/\text{InAlAs}$  계면의 억셉터형 트랩 농도를 증가시켜 증가 전류를 억제시키면서 파라미터 보정을 진행하였다. 그런 후에  $V_{gs} = -1.0\text{V}$  이상의 큰 게이트 전압 상태에서  $V_{ds} = 1.3\text{V}$  이상에서 도너형 트랩 농도 증가로 증가한 전류 성분을 다시 줄이기 위해 버퍼 층들에 적은 농도의 억셉터형 트랩 농도를 설정하면서 파라미터 보정을 진행하였다.

도형 기호가 있는 실선으로 표현된 그림 9에서의 결

과는 게이트 싱크 효과  $\text{Si}_3\text{N}_4/\text{InAlAs}$  계면의 억셉터형 트랩 효과 버퍼 층들의 도너형 트랩 및 억셉터 트랩 효과, 그리고 오믹 접합 하부의 트랩 효과를 고려한 파라미터 보정 결과를 실험 측정 데이터와 비교하여 나타내었으며, 비교적 잘 일치하는 I-V 특성 곡선을 얻을 수 있었다.

### 3.5. 충돌 이온화 특성

항복 특성에 의한 소프트 킹크(kink) 현상을 보기 위해 HEMT에서의 InAlAs 장벽 층 및 InGaAs 채널층에서의 충돌 이온화 모델을 포함시켜 시뮬레이션을 수행하였다. 측정된 HEMT 소자의 항복 전압은 3 V 정도였다. 실험 데이터는  $V_{ds} = 2.5\text{V}$  까지 이므로 2.5 V와 3.0 V 사이에서 항복 특성이 나타나도록 이온 충돌화 파라미터 보정을 진행해야만 한다. 각 층에서의 충돌 이온화 모델 파라미터들은 참고문헌 [9] 및 [11]을 참조하여 설정하였다. 충돌 이온화 모델이 있는 경우와 없는 경우에 대한 결과를 그림 8에 비교하여 보였다. 전류 레벨이 증가할수록 충돌 이온화 확률이 증가하게

**Table 3.** Parameters for Traps Model.

Area and Interface	$\text{Si}_3\text{N}_4/\text{InAlAs}$	400 nm Buffer		Metamorphic Buffer				GaAs substrate
				Top		Bottom		
Traps type	a	a	d	a	d	a	d	d
Density ( $\text{cm}^2$ or $\text{cm}^3$ )	2.98 e+12	5.0 e+14	6.0 e+16	5.0 e+16	6.0 e+16	6.0 e+16	6.0 e+16	2.00 e+16
Energy level for Traps (eV)	0.47 from $E_v$	0.0 form $E_i$	0.19 form $E_c$	0.0 form $E_i$	0.20 form $E_c$	0.0 form $E_i$	0.20 form $E_c$	0.61 form $E_c$
Capture cross section, $\sigma$ ( $\text{cm}^2$ )	e	1.0 e-15	5.0 e-13	5.0 e-16	5.0 e-13	5.0 e-16	5.0 e-13	2.5 e-18
	h	1.0 e-15	5.0 e-16	5.0 e-13	5.0 e-16	5.0 e-13	5.0 e-16	2.5 e-15

a: acceptor, d: donor

Region and Interface	Ohmic Traps under S and D				Metamorphic buffer/GaAs substrate
	InAlAs Spacer		Spacer/Channel		
	Top	Bottom	Top	Bottom	
Traps type	a	a	a	a	a
Density ( $\text{cm}^2$ or $\text{cm}^3$ )	2.0e+12	2.0e+12	1.5e+18	1.5e+18	1.0e+13
Energy level for Traps (eV)	0.0 form $E_i$	0.00 form $E_c$	0.0 form $E_i$	0.00 form $E_c$	0.0 form $E_i$
Capture cross section, $\sigma$ ( $\text{cm}^2$ )	e	1.0e-15	1.0e-15	1.0e-15	1.0e-15
	h	5.0e-13	5.0e-13	5.0e-13	5.0e-13

S: Source, D: drain

되므로  $V_{ds}$  전압 1.5 V 이상에서 전류 증가 현상이 나타남을 확인할 수 있었다.

충돌 이온화 효과를 보기 위한 시뮬레이션에서는 0.5 V 전후에서 나타나는 소프트 킹크 현상[6]은 보여주지는 않았으나,  $V_{ds} = 1.0$  V 이상에서는 전류에 기여하는 것으로 보이므로 항복 특성을 고려한 파라미터 보정 연구를 좀 더 진행할 필요가 있음을 보여주었다.

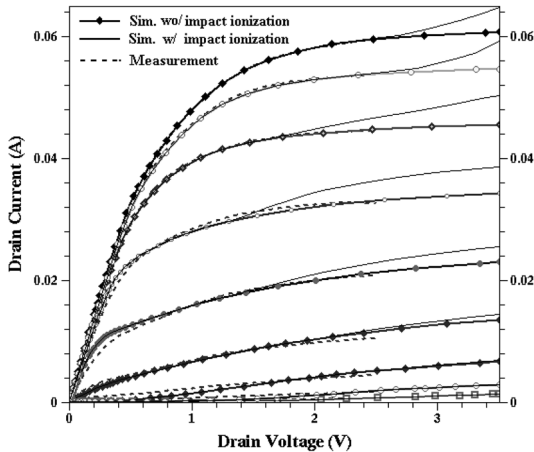


Fig. 8. The simulation results with and without the impact ionization for breakdown including the gate sinking and trap effects at the  $\text{Si}_3\text{N}_4/\text{InAlAs}$  interface, buffer layers, and traps for ohmic contacts.

#### 4. 결 론

MHEMT 소자에 대하여 ISE-DESSIS 소자 시뮬레이터의 2차원 Hydrodynamic 전송 모델을 사용하여 소자 파라미터 보정을 진행하였다. 게이트 폭  $70 \mu\text{m} \times 2$  fingers 소자 구조에서 측정된 전류 레벨과 시뮬레이션 전류 레벨을 맞추기 위해서는  $140 \mu\text{m} (=70 \mu\text{m} \times 2)$ 의 폭을 곱해 주어 전류 레벨을 일치시켰다.

파라미터 보정을 위해 반드시 고려해야 할 사항은 게이트 및 이종 접합면에서의 장벽 터널링 및 열전자 방출 메커니즘을 포함시켜 주어야 한다. 또한  $\text{Si}_3\text{N}_4/\text{InAlAs}$  계면에서의 억셉터 트랩 효과 및 버퍼 층에서 도너 트랩 효과를 포함시켜주어야 한다. 파라미터 보정을 위해 비교적 많은 측정된 물질 파라미터들이 필요하나 측정 데이터가 없어서 발표된 참고 문헌들의 값들을 참조하여 결정하였다.

$\text{Si}_3\text{N}_4/\text{InAlAs}$  계면에서의 억셉터 트랩 효과는 게이트와 함께 채널 유효 폭을 감소시켜 전류 레벨을 감소시키는 역할을 하였으며, 넓고 긴 버퍼 층에서 도너 트

랩 효과는 핀치-오프 전압 이하에서 전류가 완전히 차단되지 않고 전류가 발생할 수 있는 효과를 보여주었다.

본 논문에서는 MHEMT 소자 특성이 게이트 특성이나 각 층 간의 접합면 특성, 그리고 에피의 결함 상태 등에 영향 받는 가를 파라미터 보정 분석을 통해 보여주었다. 이러한 분석을 통해 쇼트키 게이트 특성 및 에피 성장 시 에피 층들의 계면 특성 및 결함 특성, 오픈 접합 특성을 개선할 수 있다면 신뢰도 높은 MHEMT 소자 특성을 얻을 수 있을 것이다. 향후 본 연구의 파라미터 보정 결과를 이용하여  $0.1 \mu\text{m}$  이하 게이트를 갖는 MHEMT 최적화 에피구조 연구를 수행할 수 있으리라 기대된다.

#### 감사의 글

이 논문은 2008년도 순천대학교 공과대학학술재단 연구비에 의하여 연구되었습니다.

#### 참고문헌

1. Bok-Hyung Lee, Dong-Hoon Shin, Sam-Dong Kim and Jin-Koo Rhee, "High Maximum Frequency of Oscillation of  $0.1 \mu\text{m}$  Off-set  $\Gamma$ -Shaped gate InGaAs/InAlAs/GaAs metamorphic HEMTs," *J. Korean Phys. Soc.*, vol. 43 no. 3 pp. 427-430, Sep. 2003.
2. ISE-DESSIS manual, pp. 12-288, Ver. 9.5
3. Pallab Bhattacharya, Properties of Lattice-Matched and Strained Indium Gallium Arsenide, INSPEC, pp. 84-218, 1993.
4. Sadao Adachi, Physical Properties of III-V Semiconductor Compounds: InP, InAs, GaAs, GaP, InGaAs, and InGaAsP, Wiley Interscience, pp. 75-262, 1992.
5. Frank Schwierz, Juin J. Liou, Modern Microwave Transistors: Theory, Design, and Performance, Wiley Interscience, pp. 19-291, 2003.
6. T. Suemitsu, T. Enoki, N. Sano, M. Tomizawa, Y. Ishii, "An Analysis of the Kink Phenomena in InAlAs/InGaAs HEMT's Using Two-Dimensional Device Simulation," *IEEE Trans. Electron Devices*, vol. 45, no. 12, pp. 2390-2399, Dec. 1998.
7. G. Meneghesso, and E. Zanoni, "Failure modes and mechanisms of InP-based and metamorphic high electron mobility transistors," *Microelectronics Reliability*, vol. 42, pp. 685-708, 2002.
8. Myung-Sik Son, Bok-Hyung Lee, Mi-Ra Kim, Sam-Dong Kim, and Jin-Koo Rhee, "Simulation of the DC and Millimeter-wave Characteristics of  $0.1\text{-}\mu\text{m}$  Offset T-shaped Gate  $\text{In}_x\text{Ga}_{1-x}\text{As} / \text{In}_{0.52}\text{Al}_{0.48}\text{As} / \text{GaAs}$

- MHEMTs with Various  $\text{In}_x\text{Ga}_{1-x}\text{As}$  Channels," *J. Korean Phys. Soc.*, vol. 44, no.2, pp. 408-417, Feb. 2004.
9. T. Suemitsu, T. Enoki, and Y. Ishii, "Body contacts in InP-based InAlAs/InGaAs HEMTs and their effects on breakdown voltage and kink suppression," *Electronics Letters*, vol. 31, no. 9, pp. 758-759, April 1995.
  10. XTEM data taken from MINT research center, Dongguk University, Korea
  11. B. Brar, and H. Kroemer, "Influence of impact ionization on the Drain Conductance in InAs-AlSb Quantum Well Heterostructure Field-Effect Transistors," *IEEE Trans. Electron Device Lett.*, vol. 16, no. 12, pp. 548-550, Dec. 1995.
- 

접수일: 2011년 2월 18일, 1차심사일: 2011년 3월 2일,  
2차심사일: 2011년 3월 10일, 게재확정일: 2011년 3월 15일