

# FCCSP용 기판의 warpage에 미치는 설계인자와 두께편차 영향에 대한 수치적 해석

조승현<sup>1,†</sup> · 정헌일<sup>2</sup> · 배원철<sup>3</sup>

<sup>1</sup>동양미래대학교 기계공학부, <sup>2</sup>LG이노텍, <sup>3</sup>삼성전자

## Numerical Analysis on the Design Variables and Thickness Deviation Effects on Warpage of Substrate for FCCSP

Seunghyun Cho<sup>1,†</sup>, Hunil Jung<sup>2</sup> and Onecheol Bae<sup>3</sup>

<sup>1</sup>Dept. of Mechanical engineering, Dongyang Mirae University 445 Gyeongin-ro, Guro-gu, Seoul 152-714, Korea

<sup>2</sup>LG Innotek Co., LTD, Gongdano-dong, Gumi-city, Gyeongbuk 730-030, Korea

<sup>3</sup>SAMSUNG Electronics Co., LTD, 12th floor, SR3, Gigeung Campus, Yongin-city, Gyunggi-Do 446-711, Korea

(2012년 7월 4일 접수: 2012년 9월 7일 수정: 2012년 9월 27일 게재확정)

**초 록:** 본 논문에서는 FCCSP용 기판의 휨에 미치는 설계인자와 두께편차의 영향도를 분석하고 최적설계조건을 도출하기 위해 유한요소법에 의한 수치해석을 사용하였고 다구찌법에 의한 파라메타설계와 분산분석을 수행하였다. 해석 결과에 의하면 휨에 미치는 영향은 코어재료가 가장 크고 층별 두께(솔더레지스트, 프리프레그, 회로층)의 영향도는 낮은 것으로 분석되었다. 이때 솔더 레지스트와 프리프레그의 두께는 감소할수록 기판 휨은 감소하지만 회로층의 두께는 증가할수록 기판 휨이 감소하였다. 또한, 기판 휨에 대한 두께편차의 영향도 분석결과에 의하면 두께편차의 조합에 따라 기판 휨은 최대 40%까지 증가하였다. 이것은 비록 개별 층의 두께편차가 기판품질 수준에 부합하더라도 두께편차 조합조건에 따라 기판 휨이 크게 달라질 수 있다는 것을 의미한다. 따라서, 제조공정에서 기판 휨을 줄이기 위해서 기판두께편차는 최적화되고 정밀하게 제어되어야 한다.

**Abstract:** In this paper, numerical analysis by finite element method, parameter design by the Taguchi method and ANOVA method were used to analyze about effect of design deviations and thickness variations on warpage of FCCSP substrate. Based on the computed results, it was known that core material in substrate was the most determining deviation for reducing warpage. Solder resist, prepreg and circuit layer were insignificant effect on warpage relatively. But these results meant not thickness effect was little importance but mechanical properties of core material were very effective. Warpage decreased as Solder resist and circuit layer thickness decreased but effect of prepreg thickness was conversely. Also, these results showed substrate warpage would be increased to maximum 40% as thickness deviation combination. It meant warpage was affected by thickness tolerance under manufacturing process even if it were met quality requirements. Therefore, it was strongly recommended that substrate thickness deviation should be optimized and controlled precisely to reduce warpage in manufacturing process.

**Keywords:** FCCSP, Substrate, Warpage, Deviation, Taguchi, FEM

## 1. 서 론

최근 스마트기기의 폭발적인 수요증가로 Flip Chip Chip Scale Package(FCCSP)의 수요가 급증하고 스마트기기의 성능이 높아지며 디자인이 다양화되는 추세에 따라 FCCSP 패키지용 기판도 박판화, 고밀도화, 다양한 사이즈화가 진행되고 있다.<sup>1)</sup>

이와 같은 FCCSP 패키지에는 언더필과 솔더조인트의 박리와 크랙, 솔더 조인트의 미결합 등 기판의 낮은 강도와 warpage 때문에 발생하는 많은 신뢰성 불량들이 존재하고 있으며<sup>2-7)</sup>, 패키지와 기판 레벨의 warpage를 감소시키

기 위한 연구가 학계와 산업계에서 지속적으로 진행되고 있다.<sup>8-9)</sup> 특히, 최근 FCCSP 기판의 코어두께가 감소하거나 코어가 없는 코어리스 구조가 확대되면서 기판의 warpage가 증가하고 있으며 이러한 warpage는 패키지의 신뢰성불량과 생산성 하락에 근원적 원인이 되고 있다.<sup>10-11)</sup>

FCCSP용 기판은 회로설계를 패키지업체에서 결정하는 수주산업의 특성을 가지고 있기 때문에 기판제조분야의 warpage 감소방안은 기판의 각 층 두께조정, 더미디자인 변경, 제조공정 프로세스 변경 등으로 제한되어 있고 제조공정 프로세스는 많은 시행착오를 거쳐 상당부분 안정화되어 있기 때문에 기판분야의 warpage 감소를 위한

<sup>†</sup>Corresponding author

E-mail: coolcsh@dongyang.ac.kr

연구는 각 층의 두께조정과 더미디자인 변경 등을 중심으로 수행되고 있다.<sup>12)</sup> 특히, 기판 각 층의 두께는 제조공정 능력에 의해 편차가 불가피하게 발생하기 때문에 각 층 두께조정에 의한 warpage 제어는 매우 유효한 방법이라고 할 수 있다.

따라서, 본 논문에서는 4층 FCCSP용 기판의 각 층 두께가 기판의 warpage에 미치는 영향을 다구찌법과 유한요소법으로 분석하고 warpage를 최소화할 수 있는 최적조건을 도출하였다. 또한, 제조공정상 불가피하게 발생하는 두께편차가 warpage에 미치는 영향도 함께 분석하였다. 이와 같은 본 논문의 연구결과는 관련 분야에 종사하는 연구자들과 엔지니어들에게 기판의 warpage 감소를 위한 두께조정의 방향과 두께편차의 영향도를 수치적으로 제시하였다는데 의의가 있다.

## 2. 수치해석 모델링

### 2.1. 유한요소 모델링

Fig. 1(a), (b)는 FCCSP용 기판의 유한요소 모델을 보여주고 있다. 본 논문에서는 유한요소해석을 위해 비선형 해석에 강점을 가지고 있는 범용 프로그램인 MSC/Software사의 MSC/MARC2011 소프트웨어를 사용하였다.<sup>13)</sup> 기판은 Fig. 1(a)와 같이 0.15 mm의 코어층을 중심으로 상하 2개의 회로층, 프리프레그층과 솔더레지스트층으로 구성되어 있는데, 회로층, 프리프레그층, 솔더레지스트층의 두께는 Table 5와 Table 7의 직교배열표와 같이 변화하도록 모델링하였다. 기판의 사이즈는 240 mm×160 mm×0.23 mm이며, 12 mm×11 mm 크기의 유닛이 100개가 구성되어 있다. 기판은 Fig. 1(b)와 같이 59,000개의 3차원 셀요소로 모델링되었다. 3차원 셀요소는 Fig. 1(c)

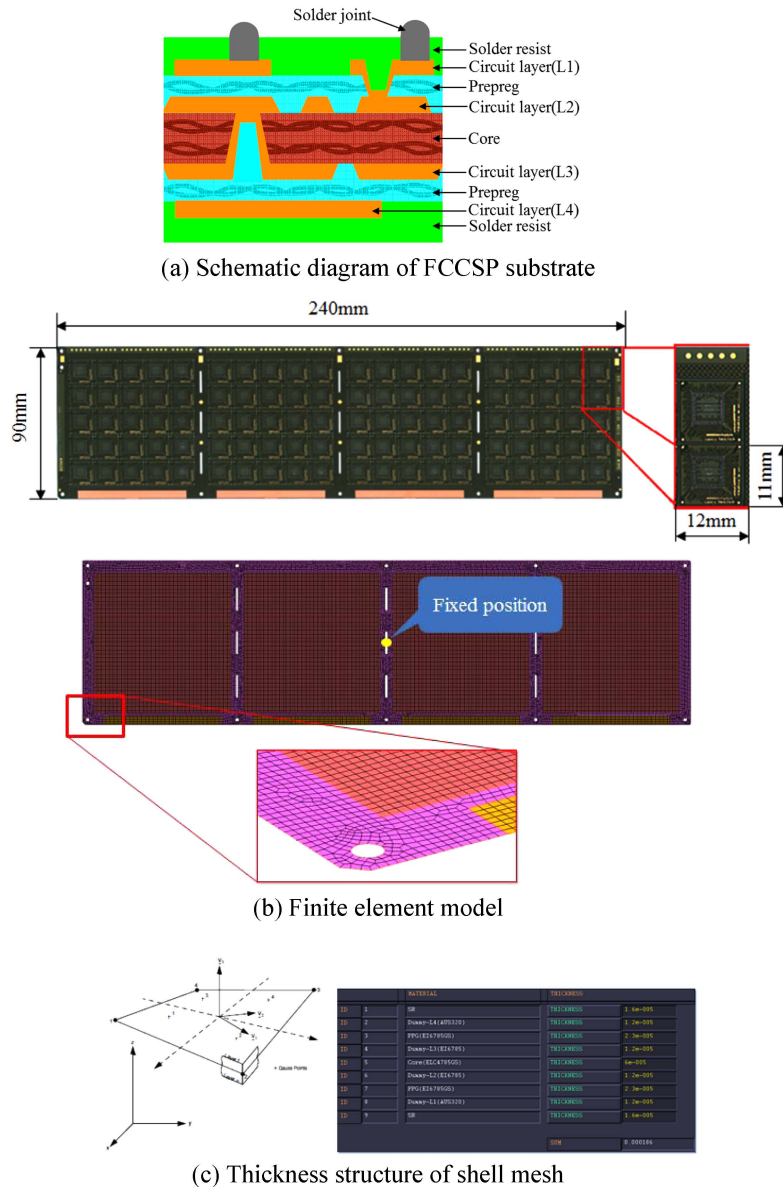


Fig. 1. Substrate geometry and finite element model for FCCSP substrate.

**Table 1.** Mechanical properties of copper and solder resist

Material	Elastic modulus, GPa	Poission's ratio	CTE, $\mu\text{m}/\text{m}^\circ\text{C}$
Copper <sup>11)</sup>	110	0.34	16.7
Solder resist <sup>11)</sup>	4	0.3	60

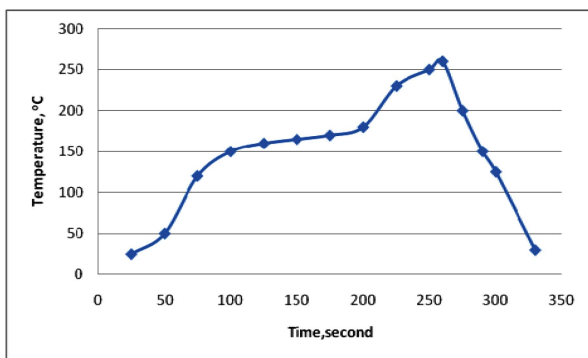
**Table 2.** Mechanical properties of core and prepreg

	Material A		Material B	
	Core	Prepreg	Core	Prepreg
Tg(by DMA), $^\circ\text{C}$	220	220	265	250
CTE 1(xy direction), $\mu\text{m}/\text{m}^\circ\text{C}$	14	14	11	12
CTE 1(z direction) Under Tg, $\mu\text{m}/\text{m}^\circ\text{C}$	45	45	16	16
CTE 2(Z direction) Over Tg, $\mu\text{m}/\text{m}^\circ\text{C}$	150		100	
Tensile modulus( $25^\circ\text{C}$ ), GPa	28	16	29	19
Tensile modulus( $250^\circ\text{C}$ ), GPa	18	8	20	10

과 같이 메쉬의 노드가 평면상의 4개로 구성되어있지만 실제 기판의 층구조 정보가 입력되어 있다. 한편 층별기판을 구성하고 있는 재료의 특성값은 Table 1과 Table 2와 같다. 본 논문에서는 기판의 초기온도를  $20^\circ\text{C}$ 로 설정하였고 강체모션(Rigid motion)을 방지하기 위해 Fig. 1(b)에서 표시한 것과 같이 기판의 중심의 노드를 고정하였다. 해석은 Fig. 2와 같은 리플로우 온도조건에서 기판의 warpage에 대한 수치해석을 수행하였다.

**2.2. 기판의 설계인자 영향도 분석**

FCCSP용 기판의 코어와 프리프레그의 기계적 특성값은 Table 2에 표시하였다. 표에서 알 수 있는 바와 같이 재료 B가 재료 A에 비해 상대적으로 높은 탄성계수와 낮은 열팽창계수 값을 가지고 있다. 회로층의 물성은 단순복합칙(Simple rule of mixture)를 적용하고 회로층의 잔동율을 고려하여 유닛과 더미영역을 구분하여 계산하였다. Table 3은 이와 같이 계산된 회로층의 탄성계수와 열팽창계수를 나타내었다. 회로층의 포아송비는 0.3으로 일정하다고 가정하였다. Table 4는 Table 2의 재료를 기준으로



**Fig. 2.** Reflow condition.

**Table 3.** Mechanical properties of circuit layer

	Unit		Dummy	
	Elastic modulus, GPa	CTE, $\mu\text{m}/\text{m}^\circ\text{C}$	Elastic modulus, GPa	CTE, $\mu\text{m}/\text{m}^\circ\text{C}$
Layer 1	21.9	29.8	10.6	48.2
Layer 2	29.4	15.8	29.2	15.5
Layer 3	29.4	15.8	29.2	15.5
Layer 4	18.8	35.0	64	55.0

**Table 4.** Factor and conditions of the Taguchi method for FCCSP substrate

	Condition A	Condition B
Solder resist thickness, $\mu\text{m}$	12	18
Prepreg thickness, $\mu\text{m}$	35	40
Circuit layer thickness, $\mu\text{m}$	16	20
Core & Prepreg material	A	B

**Table 5.** Orthogonal array of  $L_8(4^2)$  of Taguchi method for FCCSP substrate

	Solder resist thickness, $\mu\text{m}$	Prepreg thickness, $\mu\text{m}$	Circuit layer thickness, $\mu\text{m}$	Core & Prepreg material
1	12	35	16	A
2	12	35	20	B
3	12	40	16	B
4	12	40	20	A
5	18	35	16	B
6	18	35	20	A
7	18	40	16	A
8	18	40	20	B

다구찌법을 사용하여 warpage에 미치는 설계인자들의 영향도를 분석하기 위해 4인자 2조건을 나타낸 표이다. 설계인자는 솔더 레지스트, 프리프레그, 회로층 두께와 기판의 코어와 프리프레그 재료의 4가지를 선정하였다. 이와 같이 4인자 2조건의 다구찌설계를 위해 본 논문에서는 Table 5와 같이 직교배열표  $L_8(4^2)$ 를 사용하였다. 본 논문에서 사용된 다구찌법은 warpage가 작으면 작을수록 강건설계인 망소조건을 사용하였다. 망소조건은 SN값이 높으면 높을수록 강건설계에 부합한 설계임을 의미한다.

**2.3. 두께편차 영향도 분석**

기판의 두께는 제조공정능력에 따라 두께편차가 발생한다. 본 논문에서 사용된 기판의 회로층, 프리프레그, 솔더 레지스트의 두께편차는 각각  $\pm 2 \mu\text{m}$ ,  $\pm 20\%$ ,  $\pm 6 \mu\text{m}$  수준으로 관리되는데 이러한 기판의 두께편차는 warpage불량에 매우 큰 영향을 주고 있다. 본 논문에서는 이러한 두께편차의 warpage에 대한 영향을 분석하기 위하여 Table 6과 같이 최소, 평균, 최대조건으로 해석을 수행하였다. Table 6의 평균값은 최적설계분석에 의해 결정된 수치들이며

**Table 6.** Substrate thickness deviations of FCCSP substrate

	Minimum	Average	Maximum
Circuit layer thickness, $\mu\text{m}$	10	12	14
Prepreg thickness, $\mu\text{m}$	32	40	48
Solder resist thickness, $\mu\text{m}$	10	16	22

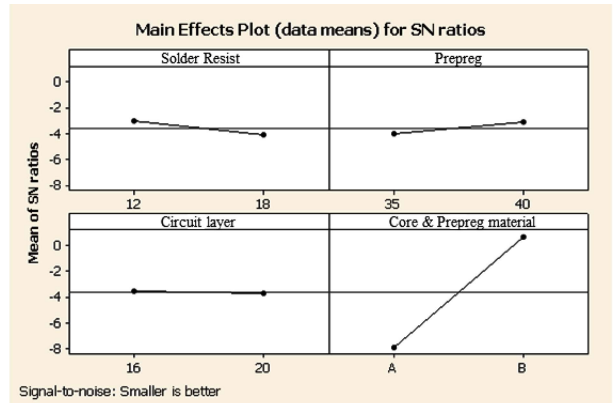
**Table 7.** Experimental array of  $L_9(3^3)$  for thickness deviation of FCCSP substrate

	Circuit layer	Prepreg	Solder resist
1	10	32	10
2	10	40	16
3	10	48	22
4	12	32	16
5	12	40	22
6	12	48	10
7	14	32	22
8	14	40	10
9	14	48	16

Table 7과 같은 실험계획법에 의해 해석이 수행되었다.

**2.4. 다구찌 망소특성의 파라미터 설계**

본 논문에서는 기관의 설계인자들의 warpage에 대한 영향도를 분석하고 최적조건을 도출하기 위해 망소특성에 의한 파라미터 설계를 적용하였다.<sup>14)</sup> 기관의 warpage가 작으면 작을수록 바람직한 설계라는 관점에서 망소특성을 선정하였고 성능특성치인 warpage값대신 SN비(Signal to Noise ratio)분석을 수행하였다. 해석에 의해 계산된 SN비에 대한 분산분석은 ANOVA(Analysis of variance)를 이용하여 SN비에 영향을 미치는 설계변수를 관찰하고 SN



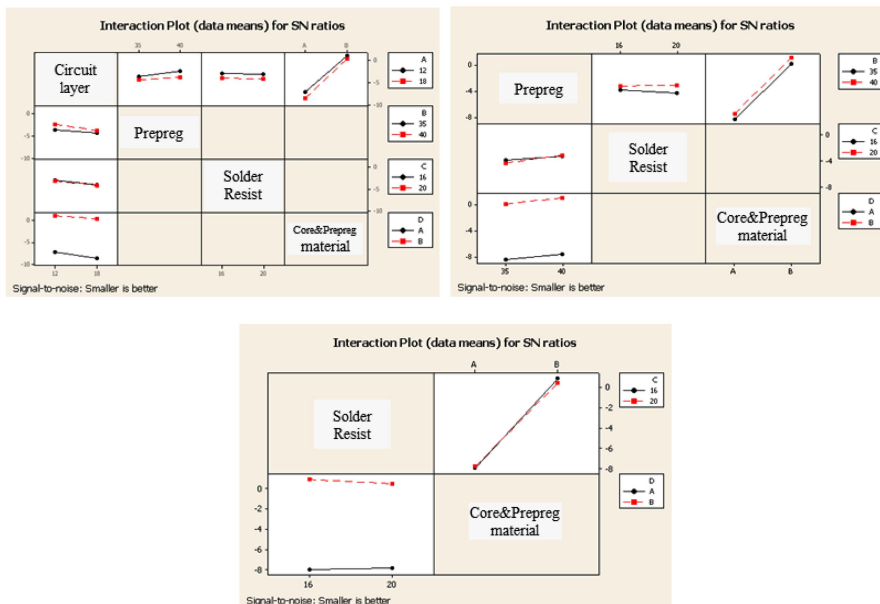
**Fig. 4.** Main effect analysis of design factors in FCCSP substrate.

비를 최대로 하는 수준을 최적조건으로 선정하였다.

**3. 해석결과 및 토의**

Fig. 4는 다구찌법의 망소조건을 사용하여 Table 2~Table 4와 같은 기관의 설계인자 조건으로 디자인 인자의 영향도분석을 수행한 결과이다. 해석결과에 의하면 솔더레지스트의 두께는 얇을수록, 프리프레그의 두께는 두꺼울수록, 회로층의 두께는 얇을수록, 코어와 프리프레그의 재료는 B일 때 기관의 warpage는 감소하였다. 또한, 그래프의 기울기가 클수록 warpage에 미치는 영향도는 높다는 것을 의미하기 때문에 warpage에 미치는 영향은 재료의 종류가 가장 높고 회로층의 두께가 가장 작은 것을 알 수 있다. Fig. 5는 설계인자간 교호작용을 분석한 결과로서 그래프의 기울기가 교차하지 않았기 때문에 인자간 상호교호작용은 없다고 분석되었다.

Fig. 6은 Table 2~Table 4와 같은 기관의 설계인자 조건



**Fig. 5.** Interaction effect analysis of design factors in FCCSP substrate.

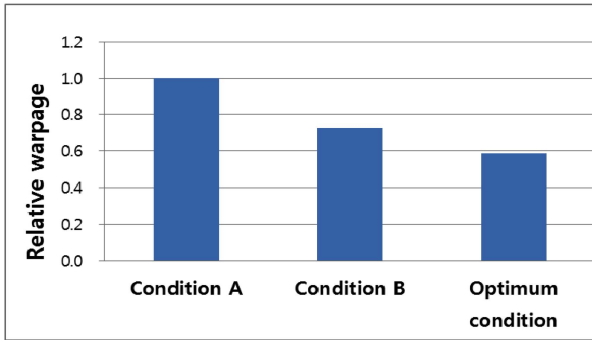


Fig. 6. Relative warpage and optimum design condition of substrate.

중에서 최적설계 조건(솔더레지스트 두께 12  $\mu\text{m}$ , 프리프레그 두께 40  $\mu\text{m}$ , 회로층 두께 16  $\mu\text{m}$ )에 의해 Fig. 1(a)~(c)와 같은 동일한 해석조건과 해석프로그램으로 기판의 warpage를 재해석한 결과로서 Table 2의 설계조건 A의 warpage를 기준으로 설계조건에 따른 warpage의 상대값을 나타낸 것이다. 기판의 warpage는 위의 설계인자 외에도 해석조건으로 반영하기 어려운 상당히 많은 공정조건에 영향을 받기 때문에 절대값보다는 상대값으로 표현하는 것이 합리적이라고 할 수 있다. Fig. 4의 결과에 의해 솔더레지스트, 프리프레그, 회로층의 두께를 최적설계 조건으로 변경하고 코어와 프리프레그의 재료 B를 적용한 최적설계에 의해 기판의 warpage는 Table 4의 설계조건 A와 B에 비해 각각 약 40%와 20%가 감소하였다.

Fig. 7은 Table 6~Table 7과 같이 기판의 두께편차에 따

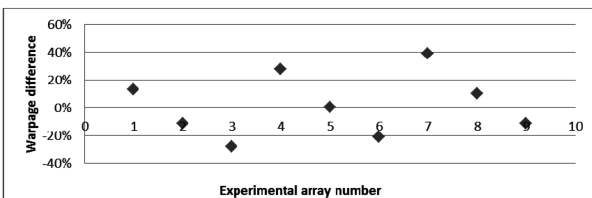


Fig. 7. Warpage difference of FCCSP substrate as thickness variation.

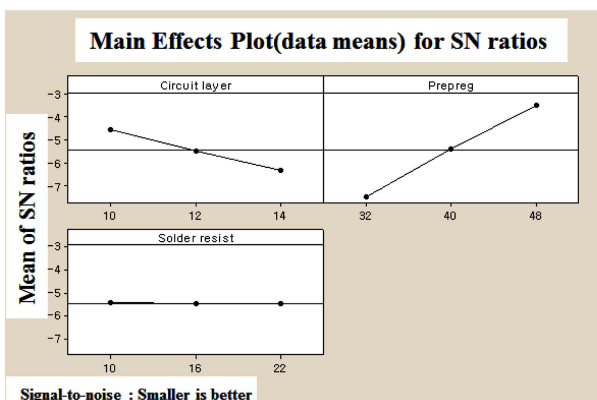


Fig. 8. Main effect analysis of thickness variation of FCCSP substrate.

른 warpage 값을 최적설계에 의해 발생한 warpage와의 차이값을 나타낸 결과이다. 해석결과에 의하면 두께편차에 의해 회로층의 두께가 14  $\mu\text{m}$ 으로 증가하고 프리프레그는 32  $\mu\text{m}$ 으로 감소하며 솔더레지스트의 두께가 22  $\mu\text{m}$ 으로 증가하는 해석조건 7번의 경우 warpage가 최대 40% 증가하였다. 반면 두께편차에 의해 회로층의 두께가 10  $\mu\text{m}$ 으로 감소하고 프리프레그는 48  $\mu\text{m}$ 으로 증가하며 솔더레지스트의 두께가 22  $\mu\text{m}$ 으로 증가하는 해석조건 3번의 경우 warpage가 약 30% 감소하였다. Fig. 8은 warpage에 대한 두께편차의 영향도를 분석한 결과이다. 결과에 의하면 프리프레그 두께편차의 영향도가 가장 크며 솔더 레지스트 두께편차의 영향도는 매우 낮게 분석되었다. 또한 솔더 레지스트 두께편차도 두께가 낮은 방향으로 제어하는 것이 warpage감소에 유리한 것을 알 수 있다

Fig. 7과 Fig. 8의 해석결과는 기판의 두께가 최적설계에 의해 결정되더라도 기판제조공정에서 발생하는 불가피한 두께편차에 의해 기판의 warpage는 크게 변동될 수 있다는 것을 의미하며, warpage에 대한 기판의 강건설계를 위해서는 제조공정능력 향상이 필요함을 보여주고 있다.

#### 4. 결 론

본 연구에서는 4층 FCCSP용 기판의 warpage에 미치는 설계인자들의 영향도 분석을 위해 유한요소해석을 수행하였다. 해석결과에 의하면 기판의 코어와 프리프레그 재료의 영향도가 가장 높게 나타났으며 탄성계수가 높고 열팽창계수가 낮은 재료가 warpage 감소에 유리하였다. 다음으로 솔더레지스트 두께, 프리프레그 두께, 회로층의 두께순으로 영향도가 높게 분석되었다. 또한, 솔더레지스트와 회로층의 두께는 얇을수록, 프리프레그의 두께는 두꺼울수록 warpage 감소에 유리하였다. 다구찌 최적설계에 의해 솔더레지스트, 회로층, 프리프레그의 두께는 각각 12  $\mu\text{m}$ , 16  $\mu\text{m}$ , 40  $\mu\text{m}$ 으로 결정되었으며 이와 같은 조건에서 warpage는 약 20%이상 감소함을 확인하였다.

또한, 본 논문에서는 제조공정에서 불가피하게 발생하는 두께편차의 영향도 분석을 위해 실제 제조현장의 두께편차를 고려한 warpage해석을 수행하였다. 해석결과에 의하면 최적설계에 의해 발생한 warpage를 기준으로 두께편차에 따라 -30%~40%의 변동폭이 발생하였다. 이와 같은 해석결과로부터 warpage를 감소시키기 위해서는 기판두께의 최적설계 뿐만 아니라 두께편차의 관리가 매우 중요하며, warpage에 미치는 영향도가 높은 설계인자부터 정밀한 관리가 필요하다.

#### 감사의 글

본 연구는 동양미래대학교의 2012년도 교내연구지원 사업에 의해 수행되었습니다. 또한, LG이노텍(주)의 지원

을 받아 수행되었으며, 이에 관계자 여러분께 감사드립니다.

### 참고문헌

1. Mario A. Bolanos, "Semiconductor IC Packaging Technology Challenges: The Next Five Years", SPAY025, Texas Instruments.
2. X. J. Fan, et al., "Design and optimization of thermo-mechanical reliability in wafer level packaging" *Microelectronics Reliab.*, 50(4), 536 (2010).
3. Ming-Yi Tsi, et al., "Investigation of thermomechanical behaviors of flip chip BGA packages during manufacturing process and thermal cycling", *IEEE Trans. Compon. Pack. Technol.* 27(3), 568 (2004).
4. Darveaux et al., "Reliability of Plastic Ball Grid Array Assembly", *Ball Grid Array Technology*, McGraw-Hill, New York (1995).
5. Lau et al., "Electronic Packaging: Design, Materials, Process, and Reliability" McGraw-Hill, New York (1997).
6. Zhang Wenge, et al., "The effects of underfill epoxy on warpage in flip-chip assemblies", *IEEE Trans. Compon. Pack. Manufact. Technol - Part A*, 21(2), 323 (1998).
7. R. Darveaux, C. Reichman, N. Islam, "Interface Failure in Lead Free Solder Joints", *Proc. 56th Electronic Components and Technology Conference(ECTC)* (2006).
8. Seunghyun Cho, et al., "Estimation of warpage and thermal stress of IVHs in flip-chip ball grid arrays package by FEM", *Microelectron Reliab.*, 48, 300 (2008).
9. Lau John H, et al., "Effects of Build-Up Printed Circuit Board Thickness in the Solder Joint Reliability of a Wafer Level Chip Scale Package(WLCSP)", *Trans. Comp. Packag. Technol.*, 25(1), 3 (2002).
10. Elva Lin, et al., "Advantage and challenge of coreless Flip-chip BGA Microsystems", *IMPACT*, pp.346 (2007).
11. Chiu Christine, et al., "Challenges of thin core PCB Flip Chip package on advanced Si Nodes", *Proc. 57th Electronic Components and Technology Conference(ECTC)* (2007).
12. Cho et al., "New dummy design and stiffener on warpage reduction in Ball Grid Array Printed Circuit Board", *Microelectronics Reliab.*, 50, 242 (2010).
13. MARC 2011 user manual, Volume A : Theory and user information, (2011).
14. 박성현, 현대실험계획법, 민영사, (2003).