Journal of the Korea Academia-Industrial cooperation Society
Vol. 13, No. 12 pp. 6046-6051, 2012

http://dx.doi.org/10.5762/KAIS.2012.13.12.6046

암호통신응용을 위한 MOS 가변저항을 가진 트랜스콘덕터 기반 추아회로의 주파수 해석

남상국[1], 송한정[1*]
[1]인제대학교 나노공학부

Frequency Analysis of a Transconductor based Chua's Circuit with the MOS Variable Resistor for Secure Communication Applications

Sang-Guk Nam[1] and Han-Jung Song[1*]
[1]**Department of Nano Engineering, Inje University**

요 약 본 논문에서는 암호화 통신응용을 위한, 트랜스콘덕터에 기반한 비선형 저항으로 이루어진 카오스 추아회로를 구현하였다. 제안하는 회로는 인덕터와 커패시터의 수동소자와, MOS 트랜지스터 기반 가변저항 및 트랜스콘덕터 기반 추아 다이오드로 이루어진다. 제안하는 회로는 SPICE 모의실험결과, 시간파형, 위상특성 및 주파수 해석 등을 통하여 다양한 카오스 다이나믹스를 보여주었다.

Abstract In this paper, we designed a Chua's chaotic circuit using transcondcutor based nonlinear resistor for secure communication applications. Proposed chaotic circuit consist of passive devices such as L and C, a MOS based variable resistor and a transcondcutor based Chua's diode. From SPICE simulation results, the proposed circuit showed variable chaotic dynamics through time waveforms, frequency analysis and phase plots.

Key Words : Chua's circuit, chaos, Transoconductor, MOS resistor, frequency analysis, SPICE

1. 서론

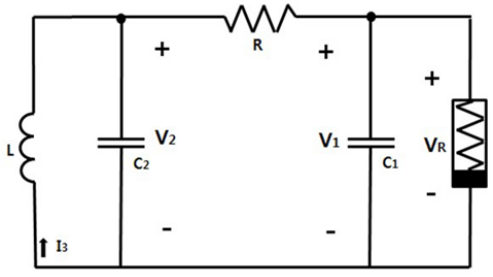
프랑스의 수학자이며, 천체 물리학자인 앙리 푸앵카레가 외부의 영향으로부터 단절된 상태에서만 풀리는 고전물리학에 이의를 제기한 이래 카오스 현상에 대한 연구는 각 분야에서 꾸준히 연구되어 왔다[1]. "결정론적 비선형 동적시스템으로부터 생성되는 복잡하고 잡음과 같은 현상"으로 정의되는[1-2] 카오스 현상은 1975년 수리생물학자 R. May가 생물의 개체 수 변동에 대한 수학적 모델에 대한 연구를 계기로 각 분야에서 지속적인 연구가 진행되어 왔다[3-5]. 카오스 현상을 이해하는 시스템으로서 추아회로를 들 수 있다. 최근, 추아회로에 대한 많은 연구가 수학적 모델링 및 하드웨어 구현 형태로 이루어져 왔다[6]. 추아회로 구현의 관건은 어떻게 부성저항 특성을 갖는 비선형 저항을 구현하느냐에 있다[7-8]. 최근 여러 가지 형태의 비선형 저항 구현이 이루어져 왔으나 일반적으로 연산 증폭기를 이용하는 형태라 할 수 있다. 비선형 동력계의 복잡한 카오스 현상을 전자회로로 구현해 보려는 시도는 그동안 계속되어 왔다. 그 결과 비선형 저항, 다이오드, 인덕터 등의 이산소자로 카오스 회로를 구성하여 구현된 카오스 회로에 대한 여러 가지 연구결과가 발표된 바 있다. 본 논문에서는 부성저항을 갖

This work was sponsored by ETRI SW-SoC R&BD Center, Human Resource Development Project
*Corresponding Author : Han-Jung Song (Inje University)
Tel: +82-55-320-3873 email: hjsong@inje.ac.kr
Received Jul. 26, 2012 Revised (1st Aug. 28, 2012, 2nd Sep. 21, 2012, 3rd Oct. 23, 2012, 4th Nov. 14, 2012)
Accepted Dec. 6, 2012

는 비선형 추아 다이오드를 트랜스콘덕터를 이용하여 새로운 추아회로를 구현하고, SPICE회로 해석을 통하여 제안하는 회로의 카오스 다이나믹를 확인한다.

2. 기본적인 추아 카오스 회로

추아회로는 R, C, L, 추아다이오드라고 하는 비선형 저항 등으로 이루어지며 적절한 조건하에서 회로의 상태변수, 즉 전류, 전압에 대한 미분방정식의 해를 통하여 카오스 신호를 얻을 수가 있게 된다. 저항, 콘덴서 및 인덕터 등으로 이루어진 전자회로가 카오스 현상을 나타내기 위해서는 비선형 소자가 하나 이상 포함된 3차 이상의 시스템이어야 한다[7]. 그림 1에 기본적인 추아회로를 나타내었다.



[Fig. 1] Basic chua's chaotic circuit

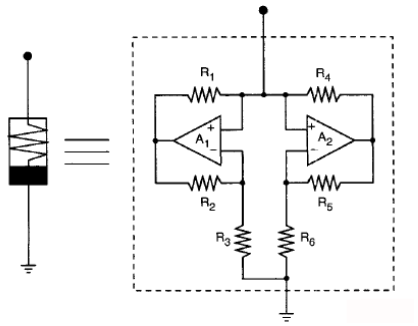
상태변수를 V1, V2, I3 로 정의하면 이 회로는 아래와 같이 3개의 상미분 방정식으로 표현되며 이로부터 카오스 신호를 얻을 수 있게 된다[7-8].

$$C_1\frac{dV_1}{dt} = G(V_2 - V_1) - g(V_R)$$

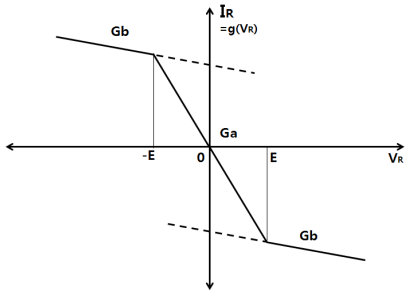
$$C_2\frac{dV_2}{dt} = G(V_1 - V_2) + I_3 \quad \cdots\cdots\cdots (1)$$

$$L\frac{di_L}{dt} = -V_2$$

부성저항을 갖는 비선형 저항은 일반적으로 op-amp와 선형저항의 적절한 조합을 통하여 구현할 수가 있으며 그림 2에 전형적인 비선형 저항의 블록도와 I-V 특성곡선을 나타내었다.



(a) block diagram of the op-amp based Chua's diode

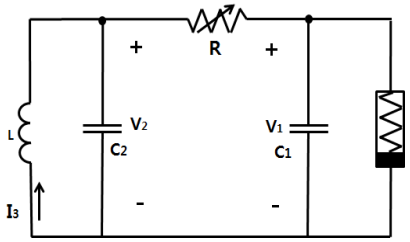


(b) I-V curve of the op-amp based Chua's diode

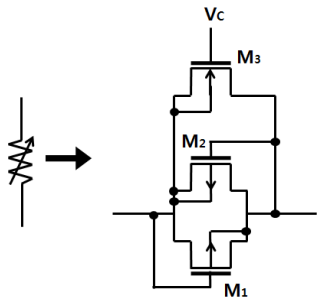
[Fig. 2] Typical Chua's diode.

3. 제안하는 트랜스콘덕터 기반 추아 카오스 회로

본 논문에서는 종래의 op-amp 기반 비선형 저항 대신에 트랜스콘덕터 (transconductor)라고 불리는 연산 트랜스콘덕턴스 증폭기 (operational transconductance amplifier)를 기반으로 하는 새로운 추아다이오드와 MOS 트랜지스터 기반 가변저항으로 이루어지는 추아 카오스 회로를 제안한다. 그림 3에 추아회로의 블록도를 나타내었다. 그림에 나와 있듯이, 2개의 커패시터와 1개의 인덕터를 포함하며, 1개의 저항, 트랜스콘덕터 기반 비선형 저항으로 구성된다. 주요 회로 요소의 값들은, L=7 mH, C_1=47 n, C_2=4.7 n으로 설정하였다.



(a) Schematic of the proposed circuit



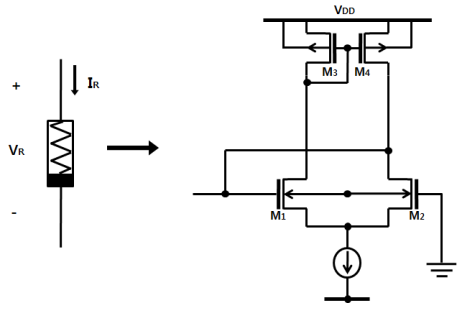
(b) Schematic of the MOS variable resistor

[Fig. 3] Transconductor based Chua's chaotic circuit

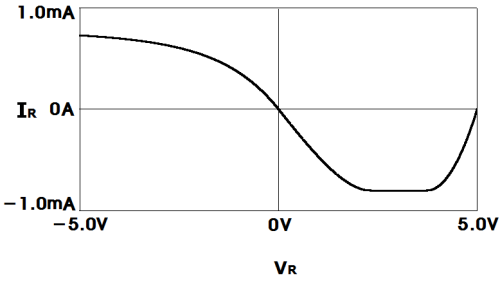
그림 3에서 보듯이, 수동소자인 저항 대신에 2개의 NMOS와 1개의 PMOS가 병렬연결 된 형태의 MOS 가변저항을 사용한다. PMOS의 게이트 전압을 입력 전압으로 하여 추아회로의 특성을 제어할 수 있도록 하였다. 또한 부성저항을 갖는 비선형 저항은 일반적으로 op-amp와 선형저항의 적절한 조합을 통하여 구현할 수가 있다. 본 논문에서는 집적회로에 유리하도록 전압-전류 증폭회로인 트랜스콘덕터 기반 비선형 저항으로 추아 다이오드를 구현하였다. 추아다이오드의 전류전압특성은 아래와 같이 주어진다.

$$I_R = g(V_R) \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (2)$$

트랜스콘덕터 기반 추아 다이오드는 부성저항을 갖도록 정귀환 트랜스콘덕터 형태로 이루어진다. 트랜스콘덕터의 NMOS 트랜지스터 크기를 조정함으로 인하여 서로 다른 비선형 저항 곡선을 갖도록 하였다. 이때 M_1, M_2, M_3, M_4의 트랜지스터 W / L(폭 / 길이)는 각각 60 um / 2 um, 60 um / 2 um, 100 um / 2 um, 100 um / 2 um이고 전류원의 크기는 800 uA이다. 관련 회로도와 전류-전압 특성 곡선이 그림 4(a),(b) 에 나타내었다. 그림4(b)에서 보듯이 추아다이오드의 I-V 특성은 비선형 저항을 갖는 형태로 나타난다.



(a) Schematic of the transconductor based Chua's diode

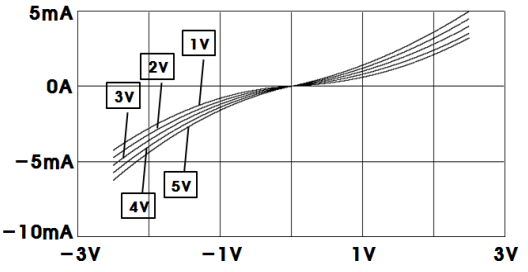


(b) I-V of the transconductor based Chua's diode

[Fig. 4] Transconductor based Chua's diode

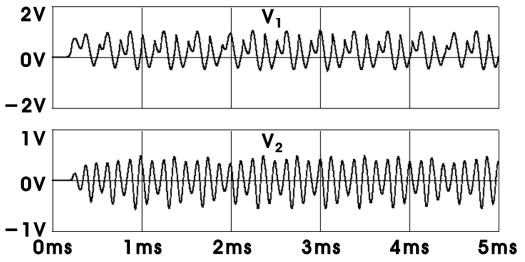
4. 트랜스콘덕터 기반 추아 카오스 회로의 시간 파형 및 주파수 해석

제안하는 추아회로의 SPICE 회로해석을 실시하여 카오스 특성을 분석하였다. MOS 가변저항의 제어전압에 따라 카오스 다이나믹스가 어떻게 변하는지를 시간파형 분석, 위상특성 분석을 통하여 확인하였다. 특히, 제어전압에 따라 나타나는 회로의 출력에 대한 주파수 해석을 실시하여 카오스 신호 생성여부를 확인하였다.

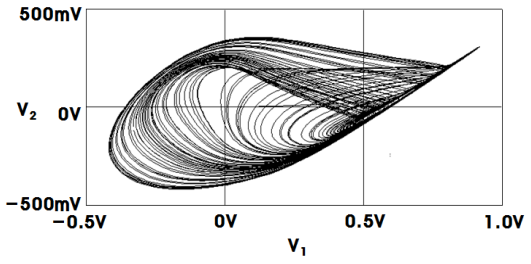


[Fig. 5] I-V curves of the MOS variable resistor according to the control input Vc

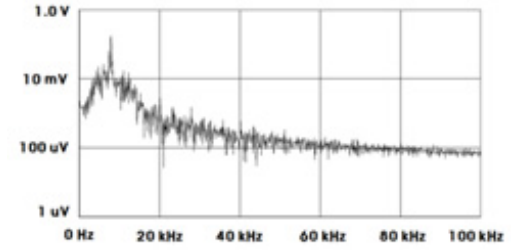
그림 5에서 보듯이, 3개의 MOS 트랜지스터로 이루어진 전압제어 가변저항의 제어전압 V_C에 따른 SPICE 회로해석을 실시하였다. MOS저항의 제어전압을 1 V에서 5 V로 가변시키면서, 시간파형, 위상특성, 주파수 해석 등을 통하여 추아회로의 카오스 다이나믹스 변화를 확인하였다.



(a) time waveform (V1, V2)



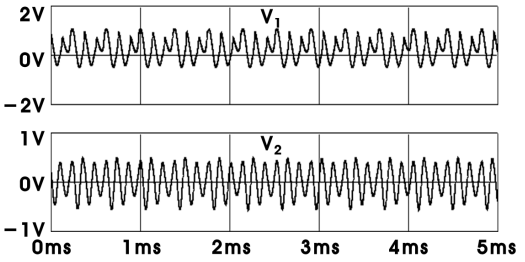
(b) phase plot (V1, V2)



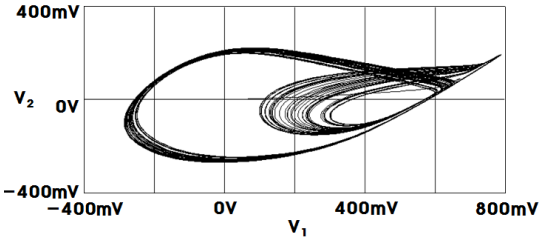
(c) frequency analysis

[Fig. 6] Chaotic dynamics according to the variation of the MOS variable resistor (V_C = 1 V)

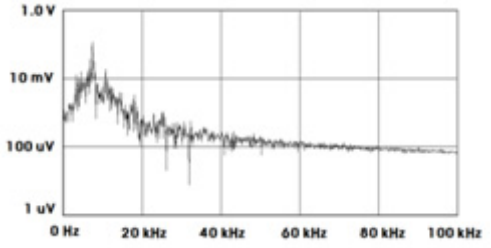
그림 6은 가변저항의 제어전압 Vc = 1 V일 때의 시간 파형과 위상특성, 주파수 해석 결과이다. 그림 6(a)는 시간에 따른 V_1과 V_2 특성, 그림 6(b)는 V_1에 대한 V_2의 위상특성이다. V_1과 V_2 전압이 각각 -0.4 V에서 0.8 V, -0.4 V에서 0.4 V 정도의 전압진폭으로 카오스 신호가 생성되는 것을 알 수 있다. 그림 6(c)는 출력전압 V_1에 대한 주파수 특성으로, 100 ㎑ 범위에서 전반적으로 모든 주파수 성분을 갖는 전형적인 카오스 특성이 나타나는 것을 알 수 있다.



(a) time waveforms (V1, V2)



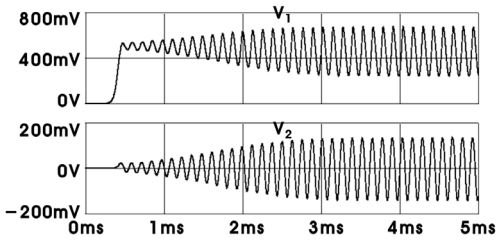
(b) phase plot (V1, V2)



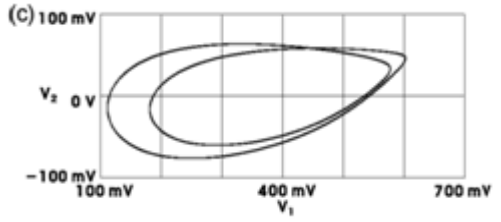
(c) frequency analysis

[Fig. 7] Chaotic dynamics according to the variation of the MOS based resistor (V_C = 2 V)

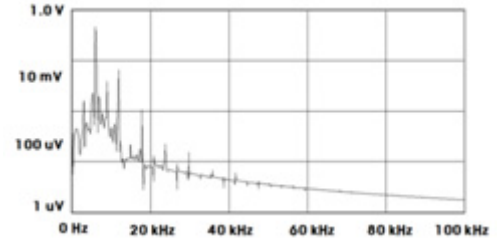
그림 7은 Vc의 값을 2 V로 제어하였을 때의 SPICE 시뮬레이션 결과이다. 그림 7(a)에서는 시간에 따른 V_1과 V_2의 특성, 그림 7(b)에서는 V_1에 대한 V_2의 위상특성을 나타내 있다. 이 경우, V_1과 V_2 전압이 각각 -0.3 V에서 0.8 V, -0.3 V에서 0.3 V 정도의 전압진폭으로 더블 스크롤 형태의 카오스 신호가 생성되는 것을 알 수 있다. 그림 7(c)는 출력전압 V_1에 대한 주파수 특성으로, 그림 6(c)와 마찬가지로 100 ㎑ 범위에서 전반적으로 모든 주파수 성분을 갖는 전형적인 카오스 특성이 나타나는 것을 알 수 있다.



(a) time waveforms (V1, V2)

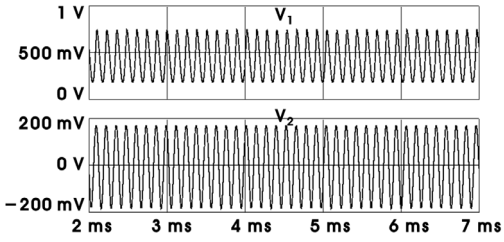


(b) phase plot (V1, V2)

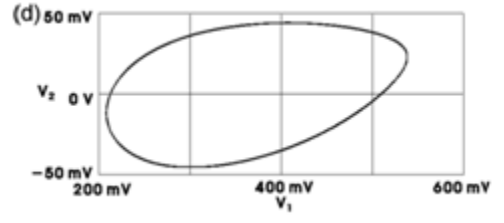


(c) frequency analysis

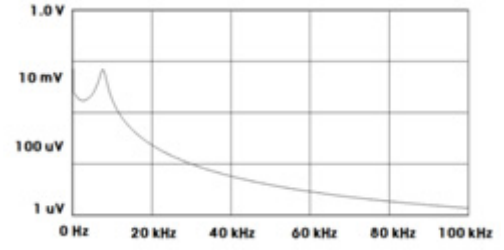
[Fig. 8] Chaotic dynamics according to the variation of the MOS based resistor (V_C = 3V)



(a) time waveform (V1, V2)



(b) phase plot (V1, V2)



(c) frequency analysis

[Fig. 9] Chaotic dynamics according to the variation of the MOS based resistor (V_C = 4 V)

그림 8은 Vc의 값을 3 V로 제어하였을 때의 SPICE 시뮬레이션 결과이다. 그림 8(a)에서는 시간에 따른 V_1과 V_2의 특성, 그림 8(b)에서는 V_1에 대한 V_2의 위상특성을 나타내었다. 이 경우, V_1과 V_2 전압이 각각 -0.1 V에서 0.6 V, 80 mV에서 80 mV 정도의 전압진폭으로 더블 스크롤 형태의 주기적 신호가 생성되는 것을 알 수 있다. 그림 8(c)는 출력전압 V_1에 대한 주파수 특성으로, 100 ㎑ 범위에서 7 ㎑의 피크주파수와 몇 개의 고조파 성분을 나타내는 전형적인 주파수 특성이 나타나는 것을 알 수 있다.

그림 9는 Vc의 값을 4 V로 제어하였을 때의 SPICE 시뮬레이션 결과이다. 그림 9(a)에서는 시간에 따른 V_1과 V_2의 특성, 그림 9(b)에서는 V_1에 대한 V_2의 위상특성을 나타내었다. 이 경우, V_1과 V_2 전압이 각각 -200 mV에서 550 mV, 50 mV에서 50 mV 정도의 전압진폭으로 더블 스크롤 형태의 주기적 신호가 생성되는 것을 알 수 있다. 그림 9(c)는 출력전압 V_1에 대한 주파수 특성으로, 100 ㎑ 범위에서 7 ㎑의 피크주파수 1개의 성분으로 이루어지는 전형적인 주파수 특성이 나타나는 것을 알 수 있다.

5. 결론

기존의 R, L, C 수동소자와 연산증폭기로 이루어지는 추아회로를 바탕으로 집적 화에 용이한 새로운 추아 카

오스 회로를 제안하였다. SPICE 해석 프로그램을 이용하여 기존의 가변저항 대신 MOS 기반 가변저항, 기존의 op-amp를 기반 추아다이오드 대신 트랜스콘덕터 기반 추아다이오드를 제시하였다. SPICE 모의실험을 통하여 가변저항의 제어 전압에 따른 시간파형 분석, 위상특성, 주파수 특성 등의 카오스 다이나믹스를 분석하였다. 제안하는 회로는 카오스 신호 제어가 가능하여 암호통신, 카오스 뉴런 등의 응용에 유용하게 사용 될 것으로 사료된다.

References

[1] G. L. Baker, et al., Chaotic Dynamics an Introduction, Cambridge University Press, 1990.

[2] R. May, Simple mathematical models with very complicated dynamics, *Nature.*, vol. 261 pp. 459-476, 1976, Article(CrossRefLink)

[3] H.J. Song and K.D. Kwack,"CMOS circuit design and implementation of the discrete time chaotic chip", *ISCAS 2002.*, vol.III, pp.73-74, 2002, Article(CrossRefLink)

[4] E. N. Lorenz, "Deterministic nonperiodic flow" J.Atmos, Sci. vol. 20, pp.130-141, 1963, Article(CrossRefLink)

[5] T. S. Parker and L. O. Chua, "Chaos : a tutorial for engineers," Proc. IEEE, vol. 75, no. 8, pp. 982-1008, 1987, Article(CrossRefLink)

[6] L. O. Chua, et al., "A universal circuit for study and generating chaos - part I : routes to chaos," IEEE Trans. Circuits and Syst., vol. 40, no. 10, pp 732-744, Oct. 1993, Article(CrossRefLink)

[7] L. O. Chua "Chua's circuit 10 years later," Int. J. Circuit Theory and Application, vol. 22, no. pp. 279-305, 1994, Article(CrossRefLink)

[8] E. Tlelo-Cuautle, M.A. Duarte-Villasenor, "Designing Chua's circuit from the behavioral to the transistor level of abstraction," Applied Mathematics and Computation., vol. 184, pp. 715-720, 2007, Article(CrossRefLink)

남 상 국(Sang-Guk Nam) **[준회원]**

- 2007년 3월 ~ 현재 : 인제대학교 나노공학부 재학중

<관심분야>
반도체, 회로설계, 소자

송 한 정(Han-Jung Song) **[정회원]**

- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 2000년 2월 : 한양대학교 전자공학과 (공학박사)
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 부교수

<관심분야>
반도체 소자 신뢰성 및 회로설계