2-step DPC를 이용한 이중루프 DLL기반의 광대역 클록 데이터 복원회로 설계

논 문
61-2-21

Design of Wide - range Clock and Data Recovery Circuit based Dual-loop DLL using 2-step DPC

정 기 상** · 김 강 직** · 고 귀 한* · 조 성 익†
(Ki-Sang Jung · Kang-Jik Kim · Gui-han Ko · Seong-Ik Cho)

Abstract - A recovered jitter of CDR(Clock and Data Recovery) Circuit based on Dual-loop DLL(Delay Locked Loop) for data recovery in high speed serial data communication is changed by depending on the input data and reference clock frequency. In this paper, 2-step DPC which has constant jitter performance for wide-range input frequency is proposed. The designed prototype 2-step CDR using proposed 2-step DPC has operation frequency between 200Mbps and 4Gbps. Average delay step of 2-step DPC is 10ps. Designed CDR circuit was tested with 0.18um CMOS process.

Key Words : 2-step DPC, CDR, Dual-loop, High-speed interface

1. 서 론

오늘날 데이터 전송시스템에서 고속 직렬 데이터 전송방법은 컴퓨터, 광통신, 백플레인, 그리고 오프-칩 간 인터페이스에 널리 사용되고 있다.[1][2][3][4] 많은 데이터 전송시스템에서 칩의 전력소모와 크기에 의한 가격 부담을 줄이는 것이 최대 관심사이다. 칩의 전력을 줄이기 위해서 적은 데이터 전송이 요구 되어질 경우 동작 주파수를 낮추어서 전력 소모를 낮출 수 있는데, 전송되어진 데이터로부터 클럭과 데이터를 복원하기 위한 수신측의 클록 데이터 복원회로는 빠른 데이터를 복원할 수 있는 높은 주파수의 동작과 적은 데이터를 복원할 수 있는 낮은 주파수의 동작을 모두 만족 시킬 수 있는 광대역 특성이 요구되어진다.

이러한 광대역 클록 데이터 복원회로는 PLL(Phase Locked Loop)또는 DLL 기반으로 구성되는데 PLL기반의 클록 데이터 복원회로는 전통적으로 많이 쓰이지만, 멀티 전압 제어 발진기 커플링, 지터 축적, 낮은 루프 대역폭, 높은 전력 소모와 넓은 면적이 단점을 가진다. 반면에 이중 루프 DLL 기반 클록 데이터 복원 회로는 다중 클록을 발생시키는 루프인 클럭발생기와 다중 위상 클록을 받아 위상 보간기를 이용하여 지연시간을 조절하여 데이터와 스큐를 루프로 구성되므로 하나의 극점을 갖게 되어 시스템이 안정하고, 지터 축적이 없다. 그러나 위상 보간기의 위상 스텝이 cycle-to-cycle 지터로 발생하므로 입력 다중 위상 클록이 광대역일수록 cycle-to-cycle 지터가 커지는 단점을 가진다.[5,6,8]

* 준 회 원 : 전북대학교 전자정보공학부 석사과정
** 준 회 원 : 전북대학교 전자정보공학부 박사과정
† 교신저자 : 전북대학교 전자정보 공학부 교수
E-mail: sicho@jbnu.ac.kr
접수일자 : 2011년 11월 24일
최종완료 : 2012년 1월 17일

본 논문에서는 기존 위상 보간기를 적용한 광대역 클록 데이터 복원회로에서 광대역으로 입력 클록과 데이터 주파수가 변화할 때 증가하는 cycle-to-cycle 지터를 광대역으로 입력 클록 주파수가 변화하여도 위상 보간기의 위상 스텝의 변화가 증가하지 않는 클록 데이터 복원회로를 제안하고자 한다.

본 논문의 구성은 다음과 같다. II장 에서는 제안된 광대역 클록 데이터 복원 회로의 구조와 광대역 동작 원리에 대해서 기술하고, III장에서는 세부 회로를 설계하였다. IV장 에서는 모의실험을 토대로 한 고찰 후, V장에서 논문의 결론을 맺는다.

2. 클록 데이터 복원회로 구조

그림 1은 제안한 광대역 클록 데이터 복원 회로의 구조이다. 제안한 광대역 클록 데이터 복원회로는 광대역 클록 발생기에서 다중 위상 클록을 받아 데이터를 샘플러에서 샘플링한다. 샘플링된 데이터는 PEL(Phase Error Logic)에서 데이터와 다중위상 클록의 위상차이를 검출해낸다. 검출된 위상차이는 상태 비교기와 디지털 필터에서 적분된다. 적분된 신호를 제어로직에서 다중위상 클록을 지연시킬 신호로 변환시켜 다중위상 클록과 데이터의 위상을 일치시켜 데이터를 복원한다.

클록 데이터 복원회로에서 DPC(digital to Phase Converter)는 다중위상 클록을 지연시키는 역할을 한다. 기존 위상 보간기를 사용한 클록 데이터 복원회로의 DPC는 주파수가 낮아지면 위상 스텝이 커지고 선형성이 떨어진다.[7] 본 논문에서는 주파수가 낮아져도 위상 스텝이 변화가 없어 선형성이 떨어지지 않는 2-step DPC를 제안한다. 제안된 2-step DPC는 입력 주파수가 낮아져 위상 스텝이 작아지지 않도록 coarse DPC을 이용하여 위상 지연시간을 나눈다. 나눈 지연시간을 위상 선택기를 거쳐 선택된 클록

을 fine DPC을 이용하여 세밀하게 위상을 이동 시킨다.

3. 세부회로 설계

본 논문에서는 세부 회로 중에서 제안된 2-step DPC와 클록과 데이터의 위상차를 검출해내는 PEL에 대해서 기술한다.

3.1 제안된 2-step DPC

그림 2는 제안된 2-step DPC의 블록도이다. 그림과 같이 coarse DPC는 여러개의 지연셀로 구성되어 있다. 지연셀에서 일정하게 지연시킨 클록을 위상 선택기를 이용하여 클록을 선택한다. 선택한 클록은 fine DPC로 전송된다. fine DPC는 위상 보간회로를 이용하여 설계되었다. fine DPC은 corse DPC에서 선택된 클록을 전류 가중치에 따라 인접한 입력 클록 사이의 어느 지점에 출력을 위치시키게 된다.

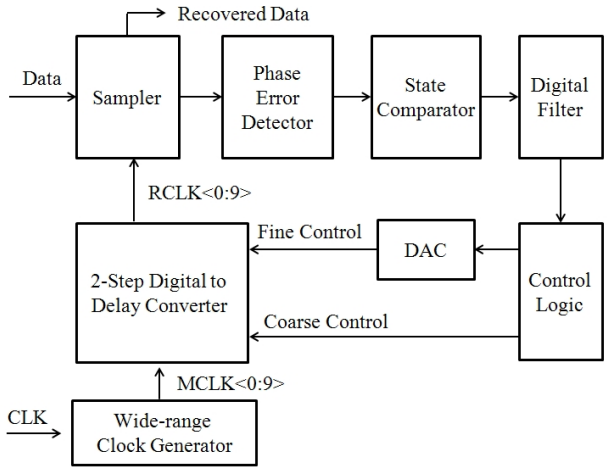


그림 1 제안한 광대역 클록 데이터 복원회로 구조
Fig. 1 Architecture of proposed CDR

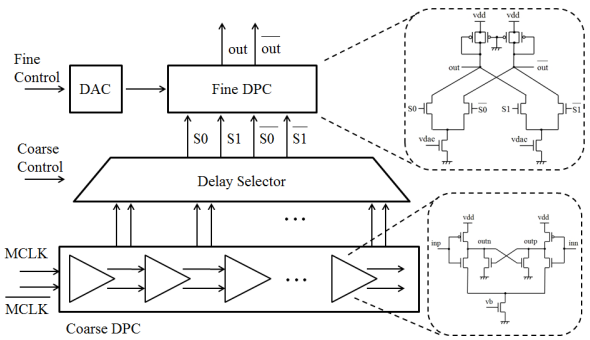


그림 2 제안된 2-step DPC의 블록도
Fig. 2 Block diagram of proposed 2-step DPC

coarse DPC의 지연셀 개수에 동작 가능한 주파수가 결정된다. 지연셀의 개수가 많아지면 동작 가능한 주파수의 범위는 넓어지지만, 가용 면적이 넓어진다. 반면에 지연셀의 개수가 적으면 동작 가능 주파수의 범위가 좁아지게 된다. 또한 지연셀의 지연시간이 넓으면 지연셀의 개수가 적어도 넓은 동작 주파수를 갖게 된다. 설계된 coarse DPC의 지연셀의 단위지연은 320ps, 개수는 16개로 설계되어 동작 가능한 최소 주파수는 200Mbps이다.

그림 3은 2-step DPC의 타이밍도 이다. coarse DPC에서 선택된 클록은 S0, S1이다. fine DPC는 컨트롤을 받아 DAC를 통하여 전류값으로 변화시켜 S0와 S1사이의 위치하는 클록을 생성해 낸다. 클록이 S0와 S1의 범위를 벗어나게 되면, 다음 신호로 클록을 바꾸어 다음 범위 안으로 들어가도록 한다. 이때 그림 3과 같이 fine DPC의 전류를 제어해 seamless 스위칭을 하여 출력에 지터의 유발을 방지할 수 있도록 설계되었다.

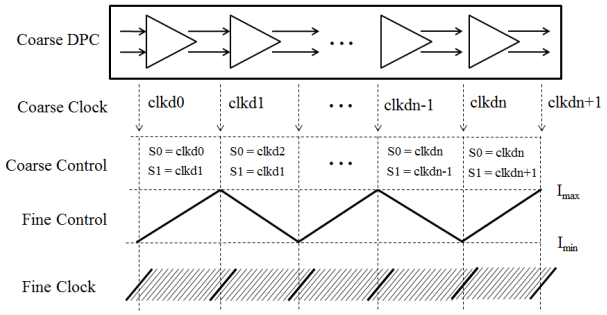


그림 3 제안된 2-step DPC의 타이밍도
Fig. 3 Timing diagram of proposed 2-step DPC

3.2 Phase Error Detector

광대역 클록 데이터 복원회로는 광대역 클록 발생기에서 받은 다중 위상 클록은 데이터 샘플의 최적 상태가 될 수 있도록 클록의 위상을 조절한다. PED는 클록과 데이터의 위상 차이를 검출하여 상태 비교기에서 UP과 DN을 구분하게 된다. 그림 4는 sampler에서 신호 샘플링조건이다. 2-step DPC에서 조절된 클록은 그림 4와 같이 샘플링된다. 각 위상 별로 샘플링된 데이터는 위상 에러 검출기로 보내진다.

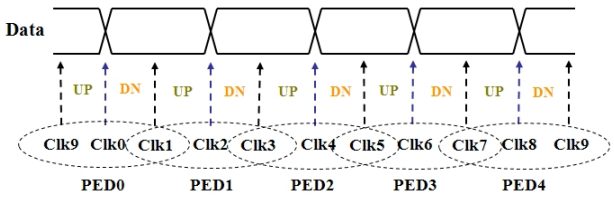


그림 4 Sampler의 신호 샘플링 조건
Fig. 4 Sampling condition of sampler

그림 4와 같이 샘플링된 데이터는 5그룹으로 묶여 위상 에러 검출기에서 UP와 DN신호를 검출하게 된다. 예를 들어 데이터의 변화가 CLK0와 CLK1구간에 있으면 위상 에러 검출기는 DN신호를 출력하고, 데이터의 변화가 CLK1, CLK2구간에 있으면 위상 에러 검출기는 UP신호를 출력하게 된다.

표 1은 PED0의 진리표이다. 데이터의 변화가 CLK0와 CLK1 구간에서 발생하면 CLK0로 샘플링된 값이 0일 경우, CLK1으로 샘플링된 값은 1이 되고, CLK0로 샘플링된 값은 1일 경우, CLK1으로 샘플링된 값은 0이 된다. 이 조건에서 PED0는 DN이 출력된다. 또한 데이터의 변화가 CLK9과 CLK0의 구간에서 발생하면 CLK9으로 샘플링된 값이 0일 경우, CLK0로 샘플링된 값은 1, CLK9로 샘플링된 값은 1일 경우, CLK0로 샘플링 된값은 0이다. 이 조건에서 PED0는 DN이 출력된다. 데이터의 변화가 CLK9과 CLK0구간과 CLK0와 CLK1구간에서 발생하지 않을 때는 데이터 변화가 없으므로 UP, DN을 출력하지 않도록 설계하였다. 또한 데이터 변화가 CLK9과 CLK0 구간 CLK0와 CLK1 구간에서 모두 발생할 경우 데이터의 주파수가 클록 주파수와 다르다는 것을 나타내므로 UP, DN을 출력하지 않도록 설계하였다.

표 1 PED0의 진리표
Table 1 Truth table of PED0

Phase Error Detector Operation	Sampler output		
	Clk9	Clk0	Clk1
Skip	0	0	0
DN	0	0	1
Skip	0	1	0
UP	0	1	1
UP	1	0	0
Skip	1	0	1
DN	1	1	0
Skip	1	1	1

4. 모의실험

본 논문에서 제안된 2-step DPC를 적용한 클록 데이터 복원 회로는 0.18um 1P6M CMOS 공정으로 설계되었으며 모의실험 검증을 위해 spectre를 이용하였다.

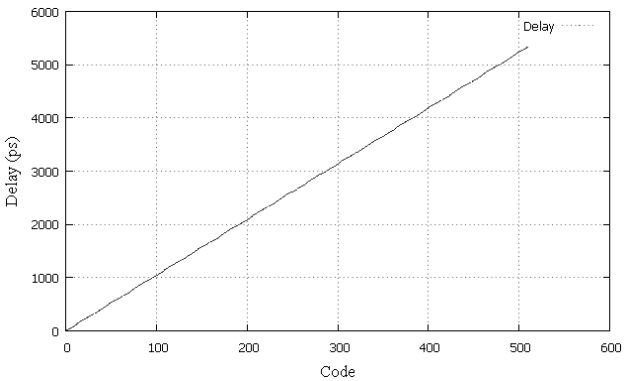
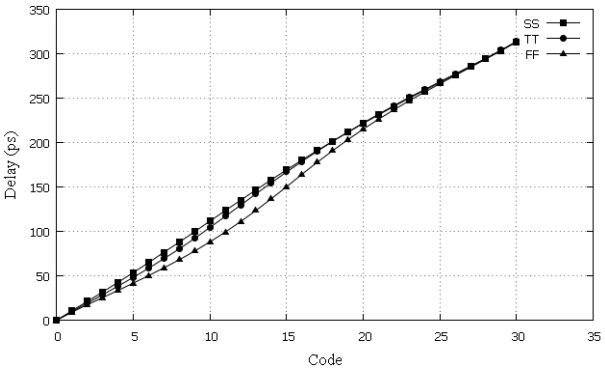


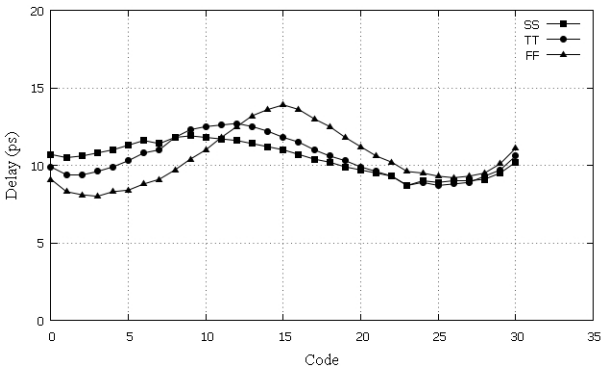
그림 5 제안된 2-step DPC의 코드별 출력 특성
Fig. 5 Input code versus output characteristic of proposed 2-step DPC

그림 5는 제안된 2-step DPC의 코드별 출력 특성 그래프이다. 제안된 2-step DPC은 512개의 코드로 제어되며, 16개의 coase DPC의 제어 코드와 16개의 fine DPC의 제어 코드로 구성되어져 있다. 지연 범위는 0 ~ 5.3ns이고, 평균 지연 스텝은 10ps이다. 제안된 2-step DPC을 적용한 클록 데이터 복원회로의 복원 가능한 입력 데이터의 최소 주파수는 200Mbps이다.

그림 6은 fine DPC의 코드별 출력 해상도의 모의실험 결과이다. 평균 해상도는 10ps이고 최소 해상도는 8ps 최대 해상도는 13ps이다. fine DPC의 코드별 출력 해상도는 클록 데이터 복원회로의 복원된 클록의 데이터와 상관관계를 갖는다. DPC의 해상도는 다른 요소들의 잡음이 섞이지 않을 경우 복원된 데이터의 출력 지터는 DPC의 해상도 크기와 같다. 그러므로 낮은 해상도를 갖는 DPC를 사용하면 낮은 지터의 복원된 데이터를 얻을 수 있다. 모든 코드에서 일정한 해상도를 갖는 DPC를 이용하여 클록 데이터 복원 회로를 설계할 경우 복원된 데이터의 지터는 일정하여 일정하지 않은 해상도를 갖는 DPC를 사용한 클록 데이터 복원 회로보다 cycle-to-cycle지터가 개선된다.



(a)



(b)

그림 6 Fine DPC의 코드별 (a) 출력 특성 (b) 해상도
Fig. 6 Input code versus output characteristic of fine DPC

표 2는 제안된 클록 데이터 복원회로의 특성을 요약 하였다.

표 2 제안된 클록 데이터 복원회로의 특성 요약
Table 2 Characteristic summary of proposed CDR

Process	0.18-μm 1P6M CMOS
Supply Voltage	1.8
Operating Range	200Mbps ~ 4Gbps
Coarse Delay Step	320ps
Maximum Delay Step	13ps@FF 13ps@TT 11ps@SS
Minimum Delay step	8ps@FF 9ps@TT 9ps@SS

4. 결 론

본 논문은 2-step DPC를 이용하여 직렬 데이터 전송시스템에 적합한 광대역 이중 루프 클록 데이터 복원회로를 제안하였다. 제안된 2-step DPC는 동작 가능한 주파수 내에서 지연 스텝이 일정하여 주파수가 낮아져도 복원된 데이터의 출력 지터가 증가하지 않는다.

제안된 클록 데이터 복원회로는 0.18um CMOS 공정으로 모의 실험한 결과 동작 가능 입력 주파수는 200bps ~ 4bps이고 평균 지연스텝은 10ps, 최고 지연 스텝이 13ps, 최저 지연스텝이 8ps이다.

본 연구에서 제안한 2-step DPC를 이용한 클록 데이터 복원회로를 이용할 경우, 모든 주파수 대역에서 지연 스텝이 일정하여 광대역 주파수의 데이터 입력의 클록과 데이터를 복원할 때 cycle-to-cycle지터가 증가하는 한계를 극복할 수 있을 것으로 사료된다.

참 고 문 헌

[1] H-T. Ng, R.Farjad, M.-J. E. Lee, W.J. Dally, T. Greer, J. Poulton, J. H. Edmondson, R. Rathi, and R. Senthinathan, "*A second-order semidigital clock recovery circuit based on injection locking*," IEEE J. Solid-State Circuits, vol. 38, no. 12, pp. 2101.2111, Dec. 2003.

[2] R. Farjad-Rad, A. Nguyen, J. M. Tran, T. Greer, J. oulton, W. J. Dally, J. H. Edmondson, R. Senthinathan, R. Rathi, M.-J. E. Lee, and H.-T. Ng, "A 33-mW 8-Gb/s CMOS clock multiplier and CDR for highly integrated I/Os," IEEE J. Solid-State Circuits, vol. 39, no. 9, pp. 1553 - 1561, Sep. 2004.

[3] J. Kim and M. A. Horowitz, "Adaptive supply serial links with sub-1-V operation and per-pin clock recovery," IEEE J. Solid-State Circuits, vol. 37, no. 11, pp. 1403.1413, Nov. 2002.

[4] G. Y. Wei, J. Kim, D. Liu, S. Sidiropoulos, and M. A. Horowitz, "A variable-frequency parallel I/O interface with adaptive power-supply regulation," IEEE J. Solid-State Circuits, vol. 35, no. 11, pp. 1600.1610, Nov. 2000.

[5] P. Larsson, "A 2.1600-MHz CMOS clock recovery PLL with low-Vdd capability," IEEE J. Solid-State Circuits, vol. 34, no. 12, pp. 1951.1960, Dec. 1999.

[6] P. K. Hanumolu, G. Y. Wei, and U. K. Moon, "A wide-tracking range clock and data recovery circuit," J. Solid-State Circuits, vol. 43, no. 2, pp. 425.439, Feb. 2008.

[7] S. Sidiropoulos and M. A. Horowitz, "A semidigital dual delay-locked loop," IEEE J. Solid-State Circuits, vol. 32, no. 11, pp. 1683.1692, Nov. 1997.

[8] S. Y. Lee, H. R. Lee, Y. H. Kwak, B. J. Yoo, D. Shim, C. Kim, and D. K. Jeong, "250 Mbps.5 Gbps wide-range CDR with digital vernier phase shifting and dual mode control in 0.13 m CMOS," in Proc. IEEE Asian Solid-State Circuits Conf., 2010, pp. 185.188.

[9] H. Song, D. S. Kim, D. H. Oh, S. Kim, and D. K. Jeong, "A 1.0.4.0-Gb/s all-digital CDR with 1.0-ps period resolution DCO and adaptive proportional gain control," IEEE J. Solid-State Circuits, vol. 46, no. 2, pp. 424.434, Feb. 2011.

저 자 소 개

정 기 상 (鄭 基 相)

2007년 전북대학교 전자정보공학부 학사 졸업
2009년 전북대학교 전자정보공학부 석사 졸업
2009년~현재 전북대학교 전자정보공학부 박사과정
주관심분야 : 저전력/고성능 Clock and Data Recovery설계, 저전력/고성능 디지털 회로 설계

김 강 직

2005년 전북대학교 전자정보공학부 학사 졸업.
2007년 전북대학교 전자공학과 석사 졸업
2007년~현재 전북대학교 전자정보공학부 박사 과정
주관심분야 : 아날로그 회로 설계 및 CMOS 고속 인터페이스 회로 연구

고 귀 한 (高 貴 漢)

2011년 전북대학교 전기공학과 학사 졸업.
2011년~현재 전북대학교 전자정보공학부 석사 과정
주관심분야 : 저전력/고성능 Clock and Data Recovery설계

조 성 익 (趙 成 翊)

1987년 전북대학교 전기공학과 학사 졸업.
1989년 전북대학교 전기공학과 석사 졸업.
1994년 전북대학교 전기공학과 박사 졸업.
1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원
2004년~현재 전북대학교 전자공학부 부교수.
주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL
E-mail : sicho@jbnu.ac.kr