

# Differential Burn-in and Reliability Screening Policy Using Yield Information Based on Spatial Stochastic Processes

Jung Yoon Hwang · Younghak Shim<sup>†</sup>

Device Solution Division, Samsung Electronics Co., Ltd.

## 공간적 확률 과정 기반의 수율 정보를 이용한 번인과 신뢰성 검사 정책

황정윤 · 심영학<sup>†</sup>

삼성전자 DS총괄

Decisions on reliability screening rules and burn-in policies are determined based on the estimated reliability. The variability in a semiconductor manufacturing process does not only causes quality problems but it also makes reliability estimation more complicated. This study investigates the nonuniformity characteristics of integrated circuit reliability according to defect density distribution within a wafer and between wafers then develops optimal burn-in policy based on the estimated reliability. New reliability estimation model based on yield information is developed using a spatial stochastic process. Spatial defect density variation is reflected in the reliability estimation, and the defect densities of each die location are considered as input variables of the burn-in optimization. Reliability screening and optimal burn-in policy subject to the burn-in cost minimization is examined, and numerical experiments are conducted.

**Keywords** : Spatial Stochastic Process, Differential Burn-in, Yield

### Notation

$f(\cdot)$  : probability density function(PDF)  
 $F(\cdot)$  : cumulative density function(CDF)  
 $R(\cdot)$  : reliability function

$h(\cdot)$  : failure rate function  
 $E, I$  : indices of extrinsic and intrinsic failure modes, respectively  
 $c_{sw}, c_{sp}$  : burn-in setup cost of wafer level burn-in(WLBI) and package level burn-in(PLBI), respectively  
 $c_{vw}, c_{vp}$  : burn-in variable cost of WLBI and PLBI, respectively  
 $c_{ow}, c_{op}$  : cost of failure during burn-in of WLBI and PLBI, respectively  
 $c_1$  : cost of a failure during operation  
 $t_m$  : mission time  
 $t_{bw}, t_{bp}$  : burn-in time of WLBI and PLBI, respectively

Received 8 May 2012; Finally Revised 16 August 2012;  
Accepted 23 September 2012

<sup>†</sup> Corresponding Author : ohshim@hanmail.net

© 2012 Society of Korea Industrial and Systems Engineering

This is Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited(<http://creativecommons.org/licenses/by-nc/3.0>).

## 1. 서론

번인은 제품에 부하를 가하여 취약한 제품이 소비자에게 전달되기 전에 제거되도록 함으로써 반도체의 사용 중 고장을 방지하고 이를 통해 고장 비용을 절감하는 유용한 기법으로 그 수준과 시간 등의 결정은 추정된 신뢰성에 의해 결정된다[15]. 번인 이외에도 반도체 사업의 수익과 직결되어 있는 두 지표인 품질 보증 및 신뢰성 평가 역시 신뢰성 추정의 기반 위에 결정된다. 반도체 제품은 일반적으로 수명이 매우 길기 때문에 그 신뢰성 추정은 가속 수명 시험을 이용하여 이루어지는데 이 때 모든 반도체 칩의 고장 시간은 동일한 분포를 따른다는 가정이 적용된다.

하지만 반도체 제조 공정상의 변동은 웨이퍼 간 그리고 웨이퍼 표면의 결함 밀도 변동을 유발한다. 이 결함 밀도의 변동은 수율 뿐 아니라 신뢰성의 공간적 불균질성에 영향을 미치는데 그 이유는 수율과 신뢰성이 상관관계를 가지고 있기 때문이다[16, 20]. 따라서 반도체 칩은 웨이퍼 내 위치에 따른 결함 밀도에 따라 각기 다른 신뢰성을 갖게 되므로 신뢰성 추정에는 공간적인 결함 밀도 변동이 고려되어야 한다.

결함 밀도 변동이 신뢰성에 미치는 영향은 외부 요인 신뢰성(extrinsic reliability)에서 검토될 수 있다. 외부 요인 신뢰성은 제품에 존재하는 결함과 같이 외부 인자에 의한 초기 고장을 유발하는 외부 고장 유형(extrinsic failure mode)에 의해 좌우된다. 반도체 칩을 포함하는 전자 제품은 육조 모양의 고장률 곡선을 가지고 있는 것으로 알려져 있는데 이 곡선은 두 개의 독립적인 단조 고장률 곡선으로 분해될 수 있다. 증가 고장률 곡선은 필연적인 노화 작용인 내부 고장 요인(intrinsic failure mode)에 기인하는 것이고 감소 고장률 곡선은 외부 고장 요인에 기인한다. 수율과 마찬가지로 외부 요인 신뢰성은 결함의 영향을 받기 때문에 결함 밀도 변동은 외부 요인 신뢰성을 통해 신뢰성에 영향을 미친다.

수율과 외부 요인 신뢰성 간의 관계와 결함으로부터 외부 요인 신뢰성을 추정하는 방법은 여러 학자에 의해 연구되어 왔다. Kuper et al.[16]과 Van der Pol et al.[20]은 수율과 신뢰성이 양의 상관관계를 가지고 있다는 것을 밝혀냈다. 여러 연구에서 수율로부터 신뢰성에 대한 정보를 도출하는 시도가 진행되었다[1, 2, 3, 6, 9, 13, 14]. 이러한 관련 논문들은 두 개의 범주로 분류될 수 있다. 하나는 사용 중 신뢰성 이상을 초래하는 결함 밀도의 비율을 찾아내는 것이다. 잠재적 결함(또는 신뢰성 결함)의 결함 밀도는 수율 손실을 유발하는 결함 밀도에 비례하는 것으로 가정한다[1, 2, 9]. 또 다른 모델은 제품의 사용 조건 하에서 결함의 크기가 증가하는 것을 가정한

다[13, 14]. 이와 관련된 연구로 게이트 옥사이드(gate oxide)의 결함 크기가 증가하는 분석적 연구가 실행되었다. 신뢰성에 관련된 민감 영역의 크기가 제품에 작용하는 부하에 의해 변한다는 가정을 하는 연구도 이 부류로 분류될 수 있다. 그러나 이러한 연구에서 결함 밀도의 공간 상에서의 변동은 다루어 지지 않았다.

본 논문에서는 공간적 확률 과정(spatial stochastic process)에 근거한 수율 정보를 이용하여 외부 신뢰성 추정 모델을 제시하고 이 추정 모델을 기반으로 차등적 번인과 신뢰성 검사 정책을 연구한다. 공간적 확률 과정이 기존 확률 과정과 다른 점은 기존 확률 과정이 통상적으로 시간이라는 일차원 공간에서 정의되는 것과는 달리 이차원 이상의 공간에서 정의된다는 점이다. 이 공간적 확률 과정을 웨이퍼 표면에 적용하여 웨이퍼 표면상의 결함 밀도 변화를 설명할 수 있는 신뢰성 모형을 구성하는 것은 기존 신뢰성 모형과 다른 점이다.

새로운 신뢰성 모형은 다음과 같이 설명된다. 우선 웨이퍼 표면상의 결함 패턴은 공간적 불균질성 포아송 프로세스에 의해 모형화 된다. 그 다음, 통계적 결함 성장 모형을 이용하여 조건부 확률에 의해 외부적 신뢰성 모형이 도출되고 시간의 흐름에 따라 증가되는 결함의 영향력은 결함 크기 분포에 의해 모형화 된다. 결함 밀도에 기반한 웨이퍼의 각 칩 위치 별 신뢰성 함수는 웨이퍼 표면에서의 공간적 결함 패턴을 설명하는 강도 함수(intensity function)에 의해서 계산될 수 있다.

공간상의 결함 밀도 분포에 따라 변화하는 반도체 칩의 신뢰성 추정 값은 낮은 신뢰성을 갖는 칩을 제거하고 최적 번인 정책을 결정하는데 사용된다. 이 연구에서 결함 밀도가 최적 번인 정책을 결정하기 위한 입력 변수로 고려되기 때문에 각각의 반도체 칩은 결함 밀도와 같은 신뢰성 관련 정보에 따라 각기 다른 번인 시간 또는 신뢰성 검사 정책을 적용할 수 있다. 이러한 효과는 이 논문에서 새롭게 제시되는 공간 정보를 반영한 신뢰성 모형에 의해서 달성되는 것으로 기존 연구에서는 다루어지지 않은 것이다.

최적 번인 정책을 결정하기 위해 추정된 신뢰성으로부터 유도된 번인 비용 함수가 최소화 문제의 목적 함수로 사용된다. 다단계 번인(multilevel burn-in) 정책은 Kim and Kuo[12]에 의해 연구되었는데 웨이퍼 단계에서의 번인(WLBI)과 패키지 단계에서의 번인(PLBI)이 고려되었다. 논문 [12]에서 다루어진 문제와 다른 부분은 신뢰성이 각 칩의 위치에 따라 다르다는 점이다. 따라서 웨이퍼 상의 모든 칩에 동시에 영향을 미치는 최적 WLBI 시간을 도출하기 위해 각 칩의 위치 별 비용 함수가 동시에 고려된다. 만약 어느 칩의 추정된 신뢰성이 수익을 낼 수 없을 정도로 낮다면 그 칩은 제거된다. 이 논문의 나머지

부분은 다음과 같이 구성되어 있다. 공간적 비균질적 포아송 과정(nonhomogeneous Poisson process, NHPP)에 의한 수율 모형이 제 2장에서 소개된다. 제 3장에서는 외부 요인 신뢰성 모형이 다루어진다. 이 장에서는 통계적 결함 성장 모형이 소개되고 외부 요인 신뢰성의 고장률 함수가 연구된다. 제 4장에서는 신뢰성 검사 및 번인 정책이 연구된다. 제 5장은 이 논문의 결론과 추후 연구가 제시된다.

## 2. Spatial NHPP에 의한 수율 모형

결함 밀도의 변동은 반도체 제조 과정에서 잘 알려진 현상이다. 복합 포아송(compound Poisson) 수율 모형에서 결함 밀도의 변동은 결함 밀도 분포에 의해 설명되는데 이 분포는 결함 밀도의 공간적 정보를 가지고 있지 않는다. 결함 밀도의 변동은 공간적 점 과정(point process)에 의해 잘 설명될 수 있다. 공간적 NHPP에 근거한 새로운 수율 모형[8]에서는 결함이 군집을 형성하는 높은 결함 밀도로 설명될 수 있다.

NHPP 수율 모형은 근본적으로 포아송 수율 모델을 이용한다. 크기  $x$ 인 결함의 평균 결함 밀도를

$$D_0(x) = D_0 g(x)$$

로 정의하자. 여기서  $g(x)$ 는 결함 크기  $x$ 의 PDF이고  $D_0$ 는 평균 결함 밀도이다. 그러면 이후의 유도식에서 볼 수 있듯이 결함 밀도를 상수인  $D_0$ 만을 이용하여 표현할 수 있게 된다. 평균 민감 영역(average critical area)을 다음과 같이 정의할 수 있다[7].

$$A_c \equiv \int_0^{\infty} A_c(x) g(x) dx$$

여기서  $A_c(x)$ 는 결함 크기  $x$ 의 민감 영역이다. 한 칩의 평균 고장(fault) 개수는 다음과 같이 얻을 수 있다.

$$\begin{aligned} \mu &= \int_0^{\infty} A_c(x) D_0(x) dx = D_0 \int_0^{\infty} A_c(x) g(x) dx \\ &= A_c D_0. \end{aligned} \quad (1)$$

$\mu = A_c D_0$ 가 주어졌을 때 임의의 칩이  $n$ 개의 고장을 갖게 될 확률을 포아송 분포를 이용하여 다음과 같이 구할 수 있다.

$$P_n = \frac{e^{-\mu} \mu^n}{n!}, \quad n=0, 1, \dots$$

포아송 수율 모형은

$$Y \equiv P_0 = e^{-\mu}$$

으로 정의된다.

서로 다른 크기를 갖는 결함의 위치는 표시된 점 과정(marked point process)에 의해 설명될 수 있다. 결함의 크기  $x$ 는 표시된 점 과정의 확률 수치(random quantity)로 간주된다. 곱 공간(product space)인  $(R^d, R)$ 에서 정의된 공간적으로 표시된 점 과정의 강도함수는 다음과 같이 나타낼 수 있다[4, 5].

$$v(s, x) \equiv \lim_{|ds \times dx| \rightarrow 0} \frac{E[N(ds \times dx)]}{|ds \times dx|},$$

여기서  $N(ds \times dx)$ 는  $ds$ 영역에  $dx$ 의 크기를 갖는 결함의 발생 횟수이다. 그리고  $|ds \times dx|$ 는 해당 구간의 크기인  $|ds|$ 와  $|dx|$ 의 곱에 의해 구해진다. 그러면  $\int_B v(s, x) ds$ 는 영역  $B$ 에서 크기가  $x$ 인 결함의 평균 개수가 된다. 따라서 영역  $B$ 에서 크기가  $x$ 인 결함의 밀도는 다음과 같이 구해진다.

$$D_0(x) = \frac{\int_B v(s, x) ds}{|B|} \text{ for } x \in (0, \infty).$$

표시된 점 과정의 강도 함수는  $v(s, x) = \lambda(s)g(x)$ 로 나타낼 수 있는데  $\lambda(s)$ 는 다음과 같이 정의된다.

$$\lambda(s) \equiv \lim_{|ds| \rightarrow 0} \frac{E[N(ds)]}{|ds|} \text{ for } s \in A$$

여기서  $A$ 는 웨이퍼의 한 영역이다.

웨이퍼 상 영역  $B$ 의 평균 고장 개수,  $\mu(B)$ 는 수식 (1)을 이용하여 다음과 같이 구할 수 있다.

$$\begin{aligned} \mu(B) &= \int_0^{\infty} A_c(x) \frac{\int_B v(s, x) ds}{|B|} dx \\ &= \int_0^{\infty} A_c(x) g(x) dx \frac{\int_B \lambda(s) ds}{|B|} \\ &= A_c \frac{\int_B \lambda(s) ds}{|B|} \end{aligned} \quad (2)$$

## 3. 신뢰성 모형

이전 장에서 도출된 수율 모형은 외부 요인 신뢰성 모

형으로 확장될 수 있는데 이렇게 도출된 신뢰성 모형은 웨이퍼 상의 결함 정보를 반영한 것으로 이 논문에서 제시되는 새로운 시도이다. 그 방법을 요약하면 다음과 같다. 포아송 분포를 이용하면 반도체 칩이 특정 기간 동안 동작하는 확률을 계산할 수 있는데 여기서 중요한 기술은 임의의 반도체 칩에 존재할 평균 고장 개수라고 하는 물리적 의미를 갖는 포아송 분포의 모수를 추정하는 것이다. 시간에 의해 결정되는 결함 크기 분포를 이용하여 결함의 치명도를 모형화 함으로써 시간 요소를 모수 추정 과정에 도입할 수 있다.

### 3.1 통계적 결함 성장 모형

외부 요인 신뢰성 모형은 결함 성장 모형에 의해 설명되는 결함 치명도의 증가에 근거한다. 결함이 성장하는 형태는 시간  $t$ 에서의 결함 크기 분포인  $g_t(x)$ 에 의해 설명된다.  $g_t(x)$ 는 시간  $t$ 에서의 결함의 크기에 대한 확률 변수  $X_t$ 의 확률 밀도 함수이다.

$g_t(x)$ 는  $X_t = r(X_0)$  관계를 이용한  $g_0(x)$ 의 변환에 의해 얻어진다. 함수  $r(\cdot)$ 는  $X_0$ 뿐 아니라 부하 수준  $e$ 의 함수이다. 시간의 흐름에 있어서 부하 수준이 결함 크기에 미치는 영향을 모형화하기 위해 본 논문은 결함 증가 요소인  $\eta(e, t)$ 를 도입하였고 다음과 같은 두 개의 결함 성장 모형을 제시한다.

Model I :

$$X_t = X_0 \eta(e, t),$$

여기서  $\eta(e, 0) = 1 \forall e$ .

Model II :

$$X_t = X_0 + \eta(e, t),$$

여기서  $\eta(e, 0) = 0 \forall e$ . 두 모형에서  $\eta(e, t)$ 는  $t$ 와  $e$ 에 대한 증가함수이다. 다음 예제는 시간의 경과에 따른 게이트 옥사이드 내 결함의 크기 분포를 구하는 방법을 소개하기 위한 것으로 모델 II를 적용할 수 있는 예제이다.

예제 1 : 게이트 옥사이드의 두께에 따른 고장 시간을 가정하자[17].

$$t_{BD} = \tau \exp\left\{\frac{G}{V}(\omega - x)\right\} \quad (3)$$

여기서  $t_{BD}$ 는 고장 시간,  $G$ 는 전압/길이의 단위로서 상수,  $V$ 는 oxide에 가해지는 전압,  $\omega$ 는 oxide의 두께,  $x$

는 결함의 크기 그리고  $\tau$ 는 시간의 상수이다. 그러면 고장 시간인  $t_{BD}$ 는 결함이  $\omega - x$  만큼 성장하는데 소요되는 시간으로 해석될 수 있고 결함 성장 모형 II를 적용할 수 있는데, 여기서

$$\eta(V, t) = \frac{G}{V} \ln \frac{t}{\tau}.$$

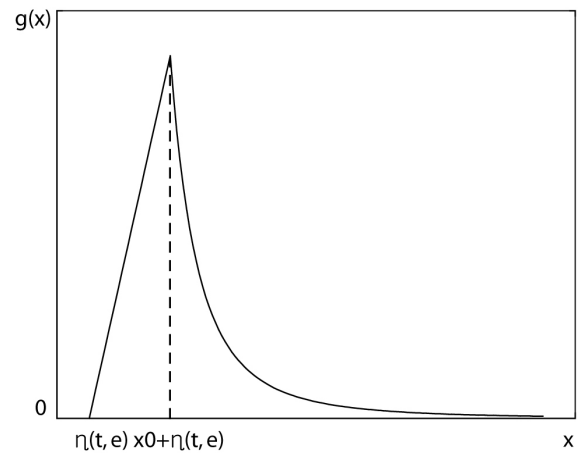
만약 결함 크기 분포를 다음과 같이 가정하자[19].

$$g(x) = \begin{cases} \frac{2(p-1)x}{(p+1)x_0^2}, & \text{if } x \leq x_0, \\ \frac{2(p-1)x_0^{p-1}}{(p+1)x^p}, & \text{if } x > x_0, \end{cases}$$

$p = 3$ . 그러면 시간  $t$ 일 때 결함 크기 분포는

$$g_t(x) = \begin{cases} \frac{x - \eta(e, t)}{x_0^2}, & \text{if } \eta(e, t) \leq x \leq x_0 + \eta(e, t), \\ \frac{x_0^2}{(x - \eta(e, t))^p}, & \text{if } x > x_0 + \eta(e, t), \end{cases}$$

과 같이 되는데 그 모양은 <Figure 1>과 같다.



<Figure 1> Defect Size Distribution

### 3.2 외부 요인 신뢰성 모형

신뢰성은 운영 시간의 함수이다. 만약 수율과 신뢰성이 동일한 시간의 흐름상에 놓여진다면, 수율은  $t = 0$ 일 때의 신뢰성으로 간주될 수 있다. 그러나 시스템이 사용되기 시작하는 시간인  $t = 0$ 는 상대적인 개념임을 상기할 필요가 있다.

공간적 NHPP의 강도 함수인  $\lambda(s)$ 는 시간에 따라 변화하지 않는다. 다시 말해서 외부 고장 요인이 새로운 결

함을 생성시켜서 현재 존재하는 결함 보다 먼저 칩을 고장 낼 확률은 무시된다.  $t = 0$ 를 제품이 생산된 시간으로 간주하자. 그러면 웨이퍼 내 B 영역 칩의 시간 t에서의 외부 요인 신뢰성은 조건부 신뢰성을 이용하여 다음과 같이 정의된다.

$$R_E(t) \equiv \Pr\{T_E > t | T_E > 0\} = \frac{\Pr\{T_E > t\}}{\Pr\{T_E > 0\}}, \quad \text{if } \Pr\{T_E > 0\} > 0 \quad (4)$$

$\{T_E > 0\}$ 는 제품이 생산된 이후 제대로 작동하는 사건을 나타낸다. 고장 시간이  $T \equiv \min\{T_E, T_I\}$ 인 경쟁 위험 모형을 따른다고 가정하자. 그러면 신뢰성은  $R(t) = R_E(t)R_I(t)$ 가 된다.

$\Pr\{T_E > t\}$ 는  $\mu(B, t)$ 로 표기되는 시간 t일 때 B칩의 평균 고장 개수를 가지고 포아송 분포를 이용하여 계산할 수 있다.

$$\begin{aligned} \Pr\{T_E > t\} &= \Pr\{\text{칩이 } t\text{까지 고장없이 작동}\} \\ &= \Pr\{t\text{까지 칩에 고장 미발생}\} \\ &= e^{-\mu(B,t)}. \end{aligned}$$

$\mu(B, t)$ 를 계산하기 위해 시간 t에서 영역 B의 평균 민감 영역을 다음과 같이 정의하자.

$$A_c(t) \equiv \int_0^\infty C_A(x)g_t(x)dx,$$

그리고 B 영역의 결함 밀도를 다음과 같이 정의하자.

$$D \equiv \frac{\int_B \lambda(s)ds}{|B|}.$$

그러면  $\mu(B, t)$ 는 수식 (2)로부터 다음과 같이 계산된다.

$$\mu(B, t) = DA_c(t).$$

따라서,

$$\Pr\{T_E > t\} = \exp\{-DA_c(t)\}. \quad (5)$$

그러므로 수식 (4)과 수식 (5)로부터 유도된 외부 요인 신뢰성 함수는 다음과 같다.

$$\begin{aligned} R_E(t) &= \frac{\exp\{-D \int_0^\infty C_A(x)g_t(x)dx\}}{\exp\{-D \int_0^\infty C_A(x)g_0(x)dx\}} \\ &= \exp\left\{-D \int_0^\infty C_A(x)[g_t(x) - g_0(x)]dx\right\}. \end{aligned} \quad (6)$$

외부 요인 신뢰성은 칩의 결함 밀도와 반비례한다. 또한 수식 (6)에 명시적으로 나타나 있지는 않지만 결함 성장률인  $\eta(e, t)$ 과도 반비례한다.

시간의 증가에 따라 감소함수인 외부 요인 신뢰성의 하한값을 구하기 위해 시간을 무한대로 이동시켜 보자.  $t \rightarrow \infty$ 함에 따라  $A_{c(t)} \rightarrow |B|$ 이 된다는 가정 하에서 B 상의 칩에 대한 외부 요인 신뢰성은 하한값을 가지고 있다. 그러므로  $t \rightarrow \infty$ 일 때

$$R_E(t) \rightarrow \frac{\int_B \lambda(s)ds}{\exp\{-DA_c(0)\}}.$$

시간이 경과함에 따라 외부 요인 신뢰성이 하한값에 수렴하기 때문에 내부 고장 요인은 반도체 칩 생애의 마지막 부분에서 결정적 요인이 된다. 다음 예제는 결함 밀도와 운영 조건 별로 외부 요인 신뢰도가 어떻게 변화하는지를 보여주기 위한 것이다.

**예제 2 :** 수식 (3)의 파라미터가  $\tau = 1 \times 10^{-11} \text{sec}$ ,  $G = 20 \text{MV/cm}$ 이고 민감 영역 모형이 다음과 같다고 가정하자.

$$C_A(x) = \begin{cases} 0, & \text{if } x < \omega_0 \\ \frac{x - \omega_0}{\omega_1 - \omega_0} |B|, & \text{if } \omega_0 \leq x \leq \omega_1 \\ |B|, & \text{if } x \geq \omega_1 \end{cases}$$

여기서  $|B| = 1 \times 1 \text{cm}^2$ ,  $\omega_0 = 50 \text{nm}$ ,  $\omega_1 = 90 \text{nm}$ ,  $x_0 = 60 \text{nm}$ 이다. <Table 1>은 다양한 운영 조건과 결함 밀도에서의 반도체 칩 외부 요인 신뢰성을 보여준다.

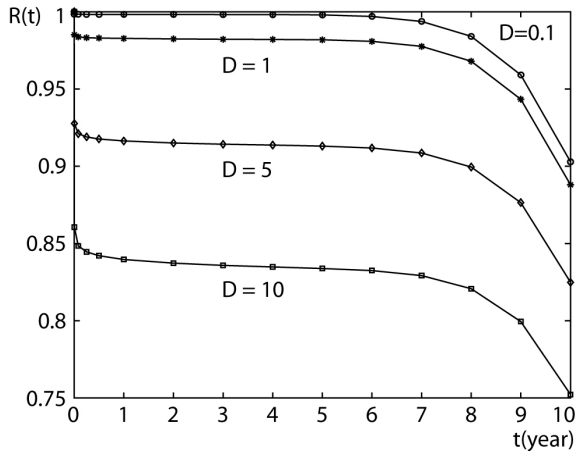
<Table 1> Reliability According to Defect Density and Operating Condition

V	D	1 year	2 year	5 year	10 year	15 year
1	0.1	0.99855	0.99852	0.99849	0.99847	0.99846
1	1	0.98558	0.98535	0.98504	0.9848	0.98466
1	5	0.92997	0.92885	0.92738	0.92627	0.92562
1.2	0.1	0.99825	0.99823	0.99819	0.99816	0.99814
1.2	1	0.98268	0.98240	0.98202	0.98174	0.98157
1.2	5	0.91635	0.91503	0.91328	0.91196	0.91119

<Figure 2>는 다음과 같은 와이블(Weibull) 분포를 따르는 내부 요인 고장 시간  $T_I$ 의 다양한 결함 밀도에서의 신뢰성  $R(t) = R_E(t)R_I(t)$  곡선을 보여준다.

$$R_I(t) = e^{-\lambda t^\beta}$$

여기서  $\lambda = 1/13$ 이고  $\beta = 8.76$ 이다.



<Figure 2> Reliability Curves with Various Defect Density

### 3.3 고장률 함수

외부 요인 신뢰성은 감소함수로 간주된다.

미분이 가능하다면  $f(t) = -\frac{dR(t)}{dt}$  이기 때문에

$$\begin{aligned} f_E(t) &= -\frac{d \exp\{-D \int_0^\infty C_A(x)[g_t(x) - g_0(x)]dx\}}{dt} \\ &= R_E(t)D \frac{d \int_0^\infty C_A(x)g_t(x)dx}{dt} \\ &= R_E(t)D \frac{dA_c(t)}{dt}. \end{aligned}$$

따라서 고장률 함수는 다음과 같이 구해진다.

$$h_E(t) = \frac{f_E(t)}{R_E(t)} = D \frac{dA_c(t)}{dt}. \quad (7)$$

만약 시간  $t$ 에서의 평균 민간 영역인  $A_c(t)$ 가 볼록 (convex)하다면  $h(t)$ 는 시간에 대한 감소함수가 된다. 고장률 함수의 closed form을 구할 수 없기 때문에 외부 요인 고장률 곡선의 특성은 수치적으로 고찰된다.

## 4. 차등적 번인 정책

전장에서 결함 밀도의 조건에 따르는 신뢰성 함수를 유도하였다. 번인 최적화에서는 목적 함수인 비용 함수가 신뢰성으로부터 도출되기 때문에 최적 번인 정책은 결함 밀도에 의해 좌우되고 결과적으로 서로 다른 위치의 각 칩들은 각기 다른 번인 단계와 번인 시간을 갖게 될 수 있다. 신뢰성 검사 결정은 번인 최적해에 의해 결

정된다. 만약 어느 칩의 최적해가 칩의 판매에 의한 이익보다 낮은 효과를 가져다준다면 그 칩은 'no go' 판정을 받게 된다. 신뢰성이 낮은 칩을 폐기함으로써 패키징, 테스트, 번인 비용과 사용 도중 발생하는 고장에 의해 유발되는 비용을 절감할 수 있다.

본 논문은 WLBI와 PLBI의 다단계 번인 계획을 고려하였다. WLBI는 웨이퍼 상 모든 칩에 대해 공통적으로 진행되는 번인 방법이다. 이 방법은 품질관리의 피드백을 단축시키고 제조 및 물류비용을 줄임으로써 기존 번인을 대체할 수 있는 방법으로 간주된다[11]. 또한 이 방법은 알려진 양품 칩의 신뢰성을 보장할 수 있는 방법으로 고려된다.

최적 번인 단계와 번인 시간은 번인과 칩 고장에 의해 발생하는 평균 번인 비용의 최소화 문제를 풀어서 구할 수 있다. 웨이퍼 상의 모든 칩은 웨이퍼 전 영역에 동시에 영향을 미치는 WLBI에 종속적이기 때문에 번인 최적화에서 공간적 결함 밀도 정보를 바탕으로 모든 칩의 비용이 고려된다.

최적화 문제에서 도출되는 최적해는 실제 번인 시간이 아닐 수 있음을 상기할 필요가 있다. 일반적으로 번인 비용을 절감하기 위해 높은 수준의 부하가 가해지는데 이것은  $\eta(e, t)$ 를 통해서 신뢰성에 영향을 미친다.

### 4.1 비용 함수

비용 함수는 WLBI, PLBI, 사용 중 고장과 관련된 비용으로 구성된다. WLBI와 PLBI는 번인 준비(burn-in setup) 비용, 번인 변동(burn-in variable) 비용 그리고 번인 과정 또는 사용 중 발생하는 고장에 의한 비용으로 구성된다. 사용 중 발생하는 고장은 번인 단계에서 발생하는 고장보다 비용이 큰데 그 이유는 품질 보증, 회수 및 배송 비용, 수리비용 그리고 미래 판매에 대한 영향 때문이다. 다시 말하면  $c_{0w} < c_1$ 이고  $c_{0p} < c_1$ 이다. 임의의 칩에 대한 운영 시간  $t_m$ 에서의 평균 비용은 다음과 같다.

$$\begin{aligned} c(t_{1w}, t_{1p}) &= c_{sw}I_{\{t_{1w} > 0\}} + c_{vw}t_{1w} + c_{0w}E[N_{[0, t_{1w}]}] \\ &\quad + c_{sp}I_{\{t_{1p} > 0\}} + c_{vp}t_{1p} \\ &\quad + c_{op}E[N_{[t_{1w}, t_{1w}+t_{1p}]}] \\ &\quad + c_1E[N_{[t_{1w}+t_{1p}, t_{1w}+t_{1p}+t_m]}] \end{aligned}$$

여기서  $I_{\{\cdot\}}$ 는 인덱스 함수이고  $N_{[a, b]}$ 는 시간 구간  $[a, b]$ 에서의 고장 횟수이다.

고장은 수리 가능하고 고장 바로 직전의 상태로 돌려놓는 최소 수리(minimal repair)가 적용되는 것으로 가정

하자. 그러면  $N_{[a, b]}$ 의 기대치는 다음과 같이 구해진다.

$$E[N_{[a, b]}] = \int_a^b h(t)dt.$$

경쟁 위험 모형(competing risk model)에 의해서  $h(t) = h_E(t) + h_I(t)$ 를 구할 수 있다[18]. 결과적으로  $D$ 가 주어졌을 때 비용 함수는 수식 (7)을 이용하여 다음과 같이 다시 구성될 수 있다.

$$\begin{aligned} c(t_{lw}, t_{lp}|D) &= c_{sw}I_{\{t_{lw} > 0\}} + c_{vw}t_{lw} \\ &+ c_{0w}\left\{D[A_c(t_{lw}) - A_c(0)] + \int_0^{t_{lw}} h_I(t)dt\right\} \\ &+ c_{sp}I_{\{t_{lp} > 0\}} + c_{vp}t_{lp} \\ &+ c_{op}\left\{D[A_c(t_{lw} + t_{lp}) - A_c(t_{lw})] + \int_{t_{lw}}^{t_{lw} + t_{lp}} h_I(t)dt\right\} \\ &+ c_1\left\{D[A_c(t_{lw} + t_{lp} + t_m) - A_c(t_{lw} + t_{lp})] \right. \\ &\left. + \int_{t_{lw} + t_{lp}}^{t_{lw} + t_{lp} + t_m} h_I(t)dt\right\}. \end{aligned}$$

### 4.2 번인 최적화

칩 위치의 관점에서, WLBI과 PLBI의 각 단계 별 번인 시간으로 구성되는 최적 조건은 다음의 최소화 문제의 해를 구함으로써 얻어진다.

$$\begin{aligned} \min \quad & c(t_{lw}, t_{lp}|D) \\ \text{s.t.} \quad & t_{lw} \geq 0, \\ & t_{lp} \geq 0. \end{aligned}$$

문제를 단순화하기 위해 번인 시간이 음수이어서는 안 된다는 조건 이외의 제약 조건이 고려되지 않았지만 필요하다면 번인 수용 능력(burn-in capacity), 임무 신뢰성(mission reliability) 같은 조건들이 고려될 수 있다.

위 문제에 대한 closed form 해는 존재하지 않는다. 이 해를 돕기 위해 이산형 최적화 문제를 다루고자 한다. 다음의 예제에서 하나의 칩 위치에 대한 차등적 번인 시간이 다루어질 것이다.

**예제 3 :** 반도체 제조 회사에서 번인 시간 중 0, 0.5, 1, 3개월의 WLBI, PLBI을 고려하고 있다고 가정 하자. 결함 밀도가 주어진다면 최적 번인 시간은 위에 주어진 시간에 따른 비용을 비교함으로써 구할 수 있다. 그리고 거기서 얻어진 비용이 판매 이익인  $p_s$ 보다 크다면 그 칩은 제거된다. 비용 함수의 계수는 다음과 같이 지정된다.  $c_{sw} = 0.05$ ,  $c_{sp} = 0.07$ ,  $c_{vw} = 1.5$ ,  $c_{pv} = 0.7$ ,  $c_{0w} = 1$ ,  $c_{op} = 1$ , 2 그리고  $p_s = 1.5$ ,  $t_m = 10$ 년 이라고 가정한다. <Table 2>는 여러 결함 밀도와 비용 계수 조건에서의 신뢰성 검사와 번인 정책을 보여준다.

웨이퍼의 관점에 따르면 위 방법은 모든 칩 위치에서의 최적 WLBI 시간을 도출하도록 수정되어야 한다. 이 논문이 고려하고 있는 차등적 번인 정책을 다루기 위해 다음과 같은 벡터를 정의하자.  $t_{lp} \equiv (t_{lp1}, \dots, t_{lp1})$ ,  $D \equiv (D_1, \dots, D_l)$ , 여기서  $l$ 은 웨이퍼의 작동되는 칩 개수이고  $t_{lp_i}$ 와  $D_i$ 는 각각 칩 위치  $i=1, \dots, l$ 의 PLBI 시간과 결함 밀도다.  $t_{lp_i}$ 는  $D_i$ 에 따라 각기 다른 값을 가질 수 있다.  $t_{lp_i}$ 은 모든 칩에 동일하게 적용되는데  $D$ 에 의해 결정된다. 다음과 같이 모든 칩의 평균 비용 함수를 정의하자.

<Table 2> Reliability Screening and Optimal Burn-in Policy for Various Defect Densities and Cost Coefficients. The Vectors Represent  $(t_{bw}, t_{bp})$  in Time Unit of Month

$c_1$	D						
	0.1	0.5	1	2	5	8	10
1.5	(0, 0)	(0, 0)	(0, 0)	(0, 0)	(0, 0)	(0, 0)	(0, 0)
2	(0, 0)	(0, 0)	(0, 0)	(0, 0)	(0, 0)	( $\frac{1}{2}$ , 0)	( $\frac{1}{2}$ , 0)
3	(0, 0)	(0, 0)	(0, 0)	(0, 0)	( $\frac{1}{2}$ , 0)	( $\frac{1}{2}$ , 0)	( $\frac{1}{2}$ , 0)
5	(0, 0)	(0, 0)	(0, 0)	(0, 1)	( $\frac{1}{2}$ , 0)	( $\frac{1}{2}$ , 0)	( $\frac{1}{2}$ , 0)
10	(0, 0)	(0, 0)	(0, 1)	(0, 1)	( $\frac{1}{2}$ , 0)	( $\frac{1}{2}$ , 0)	x

x : no go.

$$C(t_{lw}, t_{lp}|D) \equiv \frac{1}{I} \sum_{i=1}^I c(t_{lw}, t_{lp}|D_i)$$

그러면 최적 번인 시간 ( $t_{bw}$ ,  $t_{bp}$ )은 다음 번인 최적화 문제의 해를 구함으로써 얻을 수 있다.

$$\begin{aligned} \min \quad & C(t_{lw}, t_{lp}|D) \\ \text{s.t.} \quad & t_{lw} \geq 0, \\ & t_{lp} \geq 0. \end{aligned}$$

목적 함수는 분리 가능한 함수가 아닌데 그 이유는 모든 항이  $t_{bw}$ 를 공통으로 가지고 있기 때문이다. 그러나 만약  $t_{bw}$ 이 고정되어 있다면 분리 가능하고 이 문제는 두 단계의 동적 계획법 문제가 된다. 그 해는 다음의 등식에 대한 해를 구함으로써 얻을 수 있다.

$$\begin{aligned} \min_{t_{bw}} C(t_{lw}, t_{lp}|D) &= \min_{t_{bw}} C(t_{lp}|t_{bw}, D) \\ &= \min_{t_{bw}} \frac{1}{I} \sum_{i=1}^I \min_{t_{bwi}} c(t_{lp}|t_{bw}, D_i). \end{aligned}$$

다음 예제를 통해서 특정 번인 단계가 다른 단계에 비해 비용 효과 측면에서 언제나 우월한 결과를 제공하는 상황[6]과는 다른 예를 살펴보자. 이 예제에서 최적 번인 단계와 번인 시간은 결함 밀도에 따라 달라지게 된다.

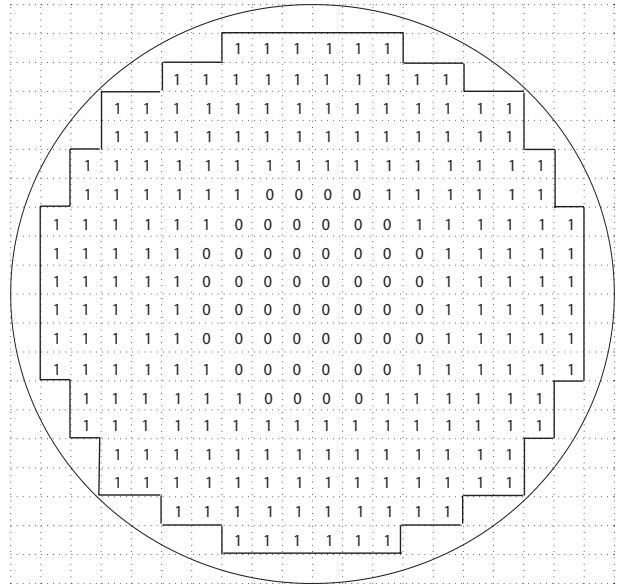
**예제 4 :** 수식 (1)에서 정의된 것과 같은 다음의 등방형성 (isotropic)의 강도 함수를 가정하자.

$$\lambda(r) = \beta_0 + \beta_1 r + \beta_2 r^2,$$

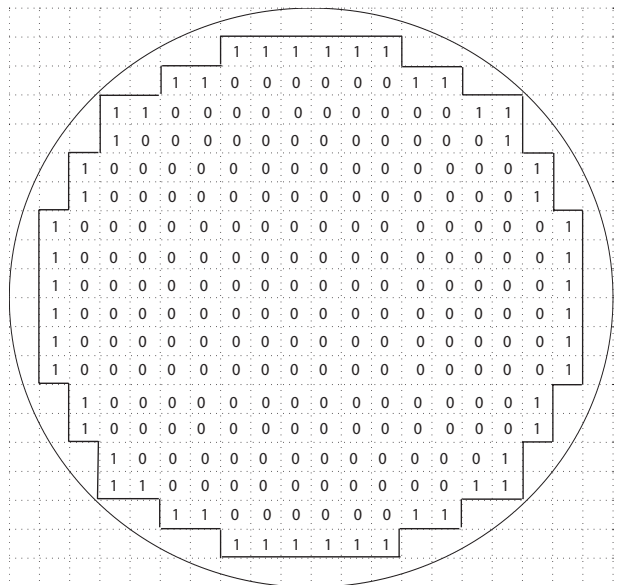
여기서  $r$ 은 웨이퍼 중심으로부터의  $cm$  단위거리이다. 이 계수를  $\beta_0 = 0.01$ ,  $\beta_1 = 0.05$ ,  $\beta_2 = 0.15$ 로 가정하면  $t_{bw} = 0.5$ ,  $t_{bp} = 0$ , 즉 2주의 WLBI이 필요하고 PLBI은 필요하지 않다는 해를 얻게 된다. 만약  $\beta_0 = 0.01$ ,  $\beta_1 = 0.05$ ,  $\beta_2 = 0.1$ ,  $c_1 = 5$ 로 가정하면  $t_{bw} = 0.5$ 와 <Figure 3>(a)가 보여주는 바와 같이 200mm 웨이퍼의 각 칩 위치에 따른 신뢰성 검사와 최적 번인 시간의 같은 해를 얻는다. 결함 밀도는  $r$ 이 증가함에 따라 0.1에서 4.4까지 증가한다. 중앙에 '0'으로 표시된 칩은 번인이 전혀 필요 없는 것이고 다른 칩은 1개월의 번인이 필요하며 폐기될 칩은 없다.

위 두 예제에서 보여 졌듯이 결함 밀도에 의해 한 방법이 다른 방법에 의해 우월한 결과를 도출할 수 있다. 다음의 예제에서는 WLBI이 PLBI보다 경제적인 경우, 즉  $c_{sw} < c_{sp}$ ,  $c_{vw} < c_{vp}$ ,  $c_{0w} < c_{0p}$ 인 사례를 살펴보자.

**예제 5 :** 만약  $c_{vw} = 0.6$ 으로 바꾸면 비용 효과 측면에서 WLBI이 PLBI에 비해 더 좋아 진다. PLBI이 WLBI에 의해 대체될 수 있게 되는 것이다. 그러나 결함 밀도가 평균적으로 낮은 상황, 즉  $\beta_0 = 0$ ,  $\beta_1 = 0$ ,  $\beta_2 = 0.03$ 을 가정하면 WLBI 대신 PLBI이 선택되는데 최적해는  $t_{bw} = 0.5$ 이고  $t_{bp}$ 는 <Figure 3>(b)에 의해 보여지는 것과 같다.



(a)  $\lambda(r) = 0.03 + 0.05r + 0.1r^2$



(b)  $\lambda(r) = 0.03r^2$ ,  $c_{vw} = 0.6$

<Figure 3> Optimal Package Level Burn-in Times.



## 5. 결론 및 추후 연구

이 논문은 수율과 신뢰성의 상호 관계에 바탕을 둔 수율 정보를 이용한 신뢰성 검사와 번인 정책에 대한 방법을 제시하였다. 수율에 의해 결정되는 신뢰성 함수가 유도되었고 그 함수를 이용하여 번인 비용 함수를 계산하였다. 수율 정보는 최적 검사와 번인에 관련된 결정을 내리는데 입력 변수로 사용되었고 각 칩 위치의 결함 밀도 분포에 따라 차등적 번인 정책이 도출되었다. 웨이퍼와 패키지의 두 단계에 대한 번인이 연구되었다. 수치를 이용한 사례는 비록 WLBI이 장점도 있고 비용 효과도 우수하지만 칩의 신뢰성이 모두 같지 않은 이유 때문에 PLBI이 적용될 수도 있다는 사실을 보여준다. 각 칩의 결함 밀도 추정치를 고려한 차등적 번인 정책을 채택함으로써 번인과 품질 보증 비용을 절감할 수 있다.

추후 연구에 관해서는 다음의 방향이 제시된다. 이 연구에서는 강도 함수가 제품 사용 중 변경되지 않는 것을 가정하였다. 이것은 현재의 계측 장비가 제품 운용 중 고장을 일으킬 수 있는 작은 결함을 검출할 수 있다는 가정에 바탕을 두고 있다. 그러나 반도체 칩의 집적도가 점차 증대되고 있기 때문에 가까운 미래에 검출되지 않는 크기의 결함이 칩을 고장 낼 수 있을 것이다[10]. 이 경우, 실제로는 존재하나 수율 모델에는 반영되지 않은 결함을 설명할 수 있도록 강도 함수가 시간에 따라 변화되어야 할 것이다.

## References

- [1] Barnett, T. and Singh, A., Relating yield models to burn-in fall-out in time. *IEEE International Test Conference*, 2003, p 77-84.
- [2] Barnett, T., Singh, A.D., and Nelson, V., Extending integrated-circuit yield-models to estimate early-life reliability. *IEEE Trans. Reliability*, 2003, Vol. 52, No. 3, p 296-300.
- [3] Bruls, E., Quality and reliability impact of defect data analysis. *IEEE Trans. Semiconductor Manufacturing*, 1995, Vol. 8, No. 2, p 121-129.
- [4] Cressie, N.A.C., *Statistics for Spatial Data*. John Wiley and Sons, New York; 1993.
- [5] Diggle, P.J., *Statistical Analysis of Spatial Point Patterns*. New York, Academic Press; 1983.
- [6] Gerard, A.A. and Walton, A.J., Critical area extraction for soft fault estimation. *IEEE Trans. Semiconductor Manufacturing*, 1998, Vol. 11, No. 1, p 146-154.
- [7] Gralian, D., Next generation burn-in development. *IEEE Trans. Components, Packaging, and Manufacturing Technology Part B: Advanced Packaging*, 1994, Vol. 17, No. 2, p 190-196.
- [8] Hwang, J.Y., Kuo, W., and Ha, C., Modeling of integrated circuit yield using a spatial nonhomogeneous Poisson process. *IEEE Trans. on Semiconductor Manufacturing*, 2011, Vol. 24, No. 3, p 377-384.
- [9] Huston, H.H. and Clarke, C.P., *Reliability defect detection and screening during processing-Theory and implementation*. In: Annual Proceedings of Reliability Physics, 1992, p 268-275.
- [10] ITRS., International technology roadmap for semiconductors: 2011 edition. Technical report, International Technology Roadmap for Semiconductors, 2011. <http://public.itrs.net>.
- [11] Kiely, P., Reducing cost with wafer-level test and burn-in. *Solid State Technology*, 2002, p 97-102.
- [12] Kim, T. and Kuo, W., Optimal burn-in decision making. *Quality and Reliability Engineering International*, 1998, Vol. 14, p 417-423.
- [13] Kim, T., Kuo, W., and Chien, W.K., A relation model of yield and reliability for the gate oxide failures. *Proceedings of Annual Reliability and Maintainability Symposium*, 1998, p 428-433.
- [14] Kim, K.O., Kuo, W., and Luo, W., A relation model of gate oxide yield and reliability. *Microelectronics Reliability*, 2004, Vol. 44, p 425-434.
- [15] Kuo, W., Chien, W.K., and Kim, T., Reliability, Yield, and Stress Burn-in. Boston. Kluwer Academic Publishers, 1998.
- [16] Kuper, F., Van der Pol J., Ooms, E., Johnson, T., Wijburg, R., Koster, W., and Johnston, D., Relation between yield and reliability of integrated circuits : experimental results and application to continuous early failure rate reduction programs. *Proc. Int. Reliability Physics Symp*, 1996, p 17-21.
- [17] Lee, J.C. and Chen, I.C., Modeling and characterization of gate oxide reliability. *IEEE Trans. Electronic Devices*, 1988, Vol. 35, No. 12, p 2268-2278.
- [18] Moeschberger, M.L. and David, H.A., Life tests under competing causes of failure and the theory of competing risks. *Biometrics*, 1971, Vol. 27, No. 4, p 909-933.
- [19] Stapper, C.H., Modeling of defects in integrated circuit photolithographic patterns. *IBM Journal of Research and Development*, 1984, Vol. 28, No. 4, p 461-475.
- [20] Van der Pol JA, Kuper, F.G., and Ooms, E.R., Relation between yield and reliability of integrated circuits and application to failure rate assessment and reduction in the one digit FIT and PPM reliability era. *Microelectronics Reliability*, 1996, Vol. 36, No. 11, p. 1603-1610.