



Two dimensional electron gas at the oxide interface



백승협 선임연구원 (한국과학기술연구원 전자재료연구센터)

1. 서 론

웅집 물리 (Condensed matter physics) 분야에서 계면 (Interface)은 과학 및 기술적인 측면에서 오랫동안 큰 관심을 받아왔다. 현대 문명을 이루는데 중요한 공헌을 한 반도체 기술도 결국 p-n 접합과 같은 기본적인 계면 현상을 이용한 것이다. 계면은 두 가지 상이한 상 (Phase)이 공통적으로 공유하고 있는 이차원의 면 (Boundary)을 말한다. 계면은 기하학적으로 두께가 없으므로 실제 시스템에서 원자 크기 수준에서 계면의 위치를 공간적으로 정의하고 그것의 물리적 특성만을 측정하기가 쉽지 않다. 따라서 실제로 계면 현상을 다룰 때는 두 가지 상이 각각 갖고 있는 벌크 특성을 제외했을 때 여전히 남아있는 물리적 특성을 계면 현상으로 이해하고 있다. 예를 들어, p형, n형 반도체는 각각 전기 전도 현상만을 나타내지만 두 반도체를 접합시켰을 때는 다이오드 특성을 띠게 되므로 이 현상을 계면 현상이라고 이해하는 것이다. 기본적으로 계면에서는 원자간 결합 구조의 대칭성이 자연스럽게 파괴되기 때문에 새로운 물리 현상이나 특성을 탐구하는데 커다란 창고 역할을 하고 있다.

이러한 맥락에서 최근에 발견된 산화물 이종 접합 계면에서 발생하는 이차원 전도성 계면 (Two dimensional electron gas, 2DEG) 현상

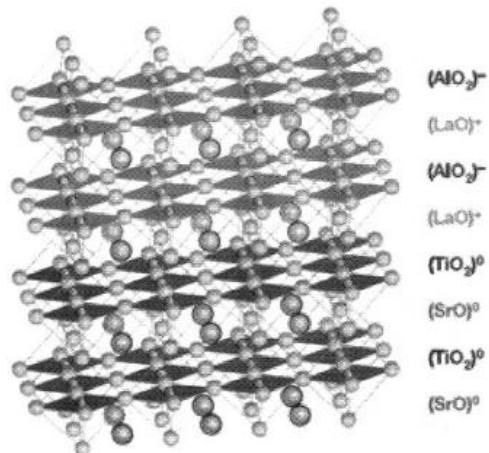


그림 1. LAO/STO 계면 모식도. TiO_2 층과 LaO 층이 접합되어 있을 때 계면에서 2DEG가 형성된다 [1].

은 많은 연구자들의 관심을 끌고 있다. 2004년 H. Y. Hwang [1] 등이 Nature에 발표한 논문을 시작으로 수많은 논문이 유수의 저널에 발표되었으며, 현재 이 분야는 다기능 산화물 분야에서 커다란 자리를 차지하고 있다. 이는 $LaAlO_3$ 과 $SrTiO_3$ 를 각각 밴드 부도체 (Band insulator)이지만 박막 증착 방법을 이용하여 LaO/TiO_2 계면으로 두 물질을 에피 접합시키면, 계면에서 고이동도 이차원 전기 전도층이 생성되는 현상이다 (그림 1). 전기적 전도 현상이 부도체의 접합을 통하여 발생할 수 있다는 흥미로운 현상 이외에도, 강자성, 초전도



현상, 광 및 분자 상호작용 등과 같은 물리적 현상들이 함께 관찰되었다. 하지만, 많은 노력에도 불구하고 이 현상이 일어나는 정확한 메커니즘에 대해서는 아직도 논란이 많다.

따라서 본고에서는 산화물 이종 접합에서 발생하는 이차원 계면 전도 현상에 대해 그동안 발표된 주요 결과들을 정리하고, 앞으로의 연구 방향에 대해서 고찰하고자 한다.

2. $\text{LaAlO}_3/\text{SrTiO}_3$ 계면에서의 2DEG 생성 원리

2DEG가 특정 산화물 부도체 계면에서 생성되는 원리에 대해서는 몇 가지 시나리오가 발표되었으며 아직 한 가지로 통일되지는 못하고 있다. 첫째로 그림 2에서 설명된 Electron reconstruction (혹은 Polar catastrophe) model이 있다 [2]. SrTiO_3 경우, [001] 방향으로 $\text{Sr}^{2+}\text{O}^{2-}$ 와 $\text{Ti}^{4+}\text{O}_2^{4-}$ 면이 반복되는데 이들은 모두 전기적으로 중성된다. 반면에 LaAlO_3 경우, $\text{La}^{3+}\text{O}^{2-}$ 와 $\text{Al}^{3+}\text{O}_2^{4-}$ 면이 각각 전기적으로 +1과 -1으로 반복되고 있다. 따라서 LaAlO_3 층이 증가할 수록 전기적 포텐셜은 계속 증가하여 발산한다. 이는 에너지가 매우 불안정한 상태이므로, 임계 두께 이상 (4 unitcells)에서 전자들의 분포가 그림과 같

이 재배열되어 안정한 구조를 만들게 된다. 이 경우 unitcell당 1/2개의 전자가 STO/LAO 계면에 모이게 되고, 2DEG를 형성하는 것이다.

이 모델은 $\text{LaAlO}_3/\text{SrTiO}_3$ 계면에서 발생하는 2DEG 현상을 잘 설명한다. 특히, LAO의 두께가 3 unitcell

이하일 때는 2DEG가 형성되지 않다가 4 unitcell 이상일 때 2DEG가 형성되는 임계 현상 (Criticality)을 잘 설명하고 있다. 또한 LaO/TiO_2 계면은 전도성을 띠는 반면 AlO_2/SrO 계면은 전도성을 띠지 않는 현상도 설명해 준다. 즉, 이 모델에 따르면 AlO_2/SrO 계면의 경우, Hole이 계면에 모여 훌에 의한 전도 현상이 나타나야 하는데 Hole을 담을 수 있는 상태($\text{Ti}^{4,5+}$)가 존재하지 않으므로 Hole에 의한 전도성 계면은 발생하지 않는다는 것이다.

이 모델은 이상적인 상황에서 2DEG 관련 현상들을 대체로 만족스럽게 설명할 수 있다. 하지만, 실제적으로 샘플 안에 존재하는 결함에 의한 외부적 효과 (Extrinsic effects)들이 STO의 전기 전도도에 큰 영향을 줄 수 있기 때문에 위 모델의 타당성에 대해 많은 공격을 받아왔다. 그 결함 중에 가장 큰 영향을 미치는 것이 바로 산소 공동 (Oxygen vacancy)이다 [3]. STO는 산소가 부족한 환원 분위기에서 산소 공동이 발생하면 산소공동도핑현상이 일어나 본래 부도체에서 전도체로 물성의 변화가 일어난다고 알려져 있다. 즉, LAO/STO 계면에서 관찰되는 2DEG 현상은 단순히 STO가 LAO 박막 증착 중에 환원되어 산소공동 도핑이 일어나는 현상에 불과하다는 주장이다. 이는 LAO 증착 시 산소 분압이 낮을수록 전기 전도도가 높아지는

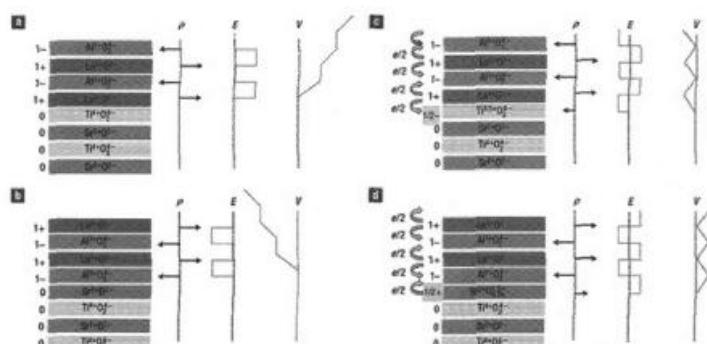


그림 2. Electron reconstruction (Polar catastrophe) model. (a), (b) 재구조화 (Reconstruction)되기 전의 n-type, p-type LAO/STO 계면. (c), (d) 재구조화 된 후의 n-type, p-type LAO/STO 계면 [2].



실험 결과를 뒷받침한다. 또한, LAO 박막을 상온에서 증착하여 비정질 형태로 샘플을 만들었을 때도 거의 동일한 2DEG 현상 (임계 현상을 포함하여)을 관찰하기도 하였다.

또 다른 시나리오는 계면에서의 상호확산 (Interdiffusion) 현상이다 [4]. 많은 TEM 분석에서 LAO/STO 계면이 원자 수준에서 완벽하지 않고 미량의 상호확산이 일어나는 것을 보고 하였다. STO는 La 원자가 도핑이 되면 역시 전도체 현상을 나타낼 수 있다. 따라서 LAO/STO 계면에서 관찰되는 2DEG 현상은 상호 확산에 의한 도핑 효과일 수 있다는 주장이다. 확실한 것은 이러한 외부적인 효과들이 LAO/STO 계면에 발생하는 이차원 전도 현상에 영향을 준다는 사실이다. 하지만, 이러한 외부적인 효과가 그 동안 관찰된 2DEG의 여러 가지 특성을 모두 설명할 수 있는 것은 아니다. Electron reconstruction model은 2DEG에 관련되어 관찰된 모든 물리적 현상을 설명할 수 있지만, Oxygen vacancy나 Interdiffusion model은 몇 가지 특성들을 설명할 수 없다. 따라서 많은 연구자들은 이러한 이유로 Electron reconstruction model을 가장 중요한 2DEG 형성 원리로 받아들이고 있으며 다른 모델이 계면 전도성에 미치는 영향을 분리해 내려는 시도도 많이 이루어지고 있다.

3. 초전도 현상과 강자성 현상의 공존

산화물 계면에서 발생하는 2DEG는 단순히 전기 전도 현상 이외에도 다기능 (Multifunctional) 성질을 갖는다. 그 중에서 산화물 계면 2DEG에서 초전도 현상이 먼저 관찰되었다 [5]. 그림 3에서 보듯이 8 unitcell 두께의 LAO 박막을 STO 기판위에 증착했을 때 전도성 계면은 임계온도 약 200 mK에서 초전도 현상을 보인다. 180 mT의

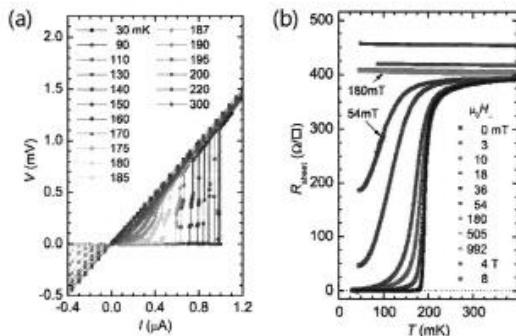


그림 3. LAO/STO 계면의 초전도 현상 (a) 온도에 따른 V-I 측정, (b) 샘플에 수직으로 가한 자기장의 세기에 따른 면저항-온도 측정 [5].

자기장을 계면에 수직한 방향으로 가했을 때 초전도 현상이 사라진다. 부도체 계면에서 초전도 현상이 발생한다는 것은 매우 흥미롭다. 임계온도가 워낙 낮아 초전도 현상이 소자 응용에 직접 적용되기는 어렵지만, 초전도 현상에 대한 근본적인 연구에 많은 관심을 불러일으켰다.

일반적으로 초전도 현상과 강자성 현상은 상호 배타적인 특성으로 인해 극히 제한적인 경우를 제외하고는 한 물질 내에서 공존이 어렵다고 알려져 있다. 하지만, 산화물 계면 2DEG는 초전도 현상과 강자성 성질이 동시에 존재할 수 있음이 관찰되었다 [6]. 그림 4는 마이크로미터 스케일의 SQUID probe를 이용하여 초전도 영역과 강자성 영역의 공간적인 분포를 실제 공간으로 측정한 결과이다. 그림 4(a)에서 붉은색, 파란색은 각각 N, S극을 나타낸다. 강자성 영역은 샘플에 전체에 균일하게 분포한 것이 아니라 N-S dipole들이 국부적으로 불균일하게 분포함을 알 수 있다. 또한, 이차원이라는 공간적 제약 때문에 Magnetic dipole들이 주로 계면에 수평하게 배열되어 있다. 그림 4(b)는 초전도 상태에 대한 공간적인 Mapping을 보여준다. 초전도 상 역시 공간적으로 불균일하며, 강자성의 분포와 초전도 영역의 분포에 사이에

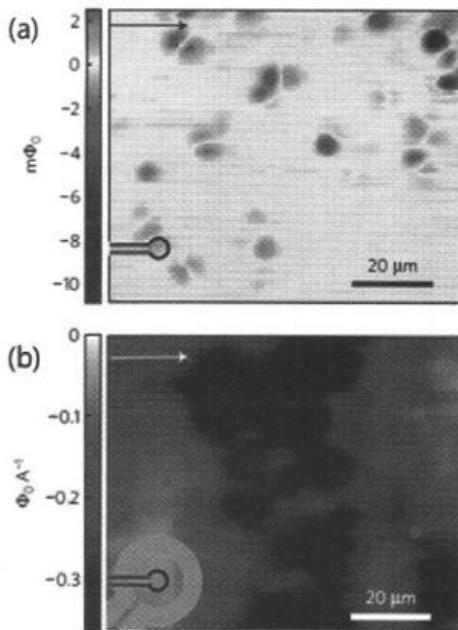


그림 4. 초전도 현상과 강자성 성질의 공존 현상을 직접적으로 SQUID를 이용하여 40 mK에서 이미징 (a) LAO/STO 샘플의 강자성 성질을 보기 위한 Magnetometry image mapping, (b) 초전도 현상을 보기 위한 Susceptometry image mapping [6].

특별한 상관관계를 보이지 않고 있다.

4. 2DEG 전도성 제어

LAO/STO 계면에서 발생하는 2DEG는 LAO 박막 표면에서 가해지는 전기장에 따라 전도도가 바뀌는 성질이 있다. 그림 5(a)는 2DEG에 존재하는 캐리어의 농도를 제어하기 위해 STO 기판 뒷면에 Metal back gate를 만들어, Gate voltage에 따라 2DEG의 전도도 변화를 측정한 결과이다 [7]. STO 기판의 두께 (1 mm) 때문에 10~100 V에 이르는 매우 높은 Gate voltage가 필요하지만, Voltage에 따른 전도도의 변화가 명확히 관찰된다 (그림 5(b)). 또한, 단순히 전기 전도

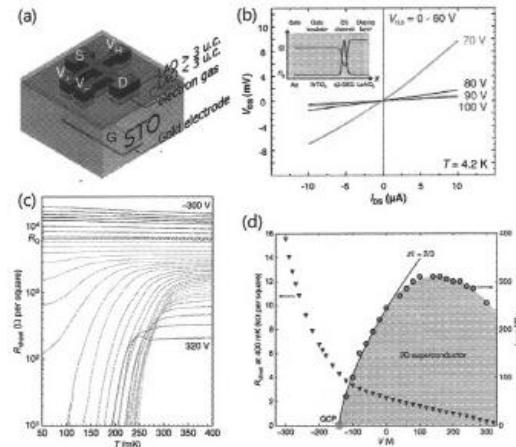


그림 5. Back gate를 이용하여 전기적으로 제어된 2DEG 특성 (a) Back gate 2DEG 소자의 구조, (b) Gate voltage에 따른 2DEG의 전기 전도도의 변화, (c) 초전도 특성 변화, (d) electronic phase diagram. [7,8].

도 뿐만 아니라 2DEG의 Ground state도 제어할 수 있음이 발표되었다 [8]. 그림 5(c)에서 Gate voltage에 따라 초전도 T_c 를 제어할 수 있고, 초전도체와 부도체를 걸치는 특성 제어가 가능하다. 이런 방법을 통해 LAO/STO 계면의 Electronic phase diagram을 그림 5(d)에서와 같이 제시했다. 이 결과는 정전기 (Electrostatic) 방식을 이용하여 초전도 특성을 제어할 수 있다는 점에서 중요한 의미를 갖는다고 할 수 있다.

위와 같은 Macroscopic 제어뿐만 아니라 Probe tip를 이용하여 Microscopic 제어도 가능하다. 그림 6에서 보듯이 임계 두께 이하로 LAO 박막을 증착한 후 전도성 AFM tip을 이용하여 LAO 표면에 약 +2~+3 V의 전기장을 가하면 3 nm 이하의 선폭을 갖는 전도성 통로 (Conducting path)를 형성시킬 수 있음이 보고되었다 [9]. 이는 Single-walled 탄소 나노튜브와 비슷한 크기이다. 반대로 마이너스 전압을 가하면 형성된 전도성 통로를 소멸시킬 수도 있다. 따라서 이런 방법을 이용하면 LAO/STO 샘플 위에 마음대로

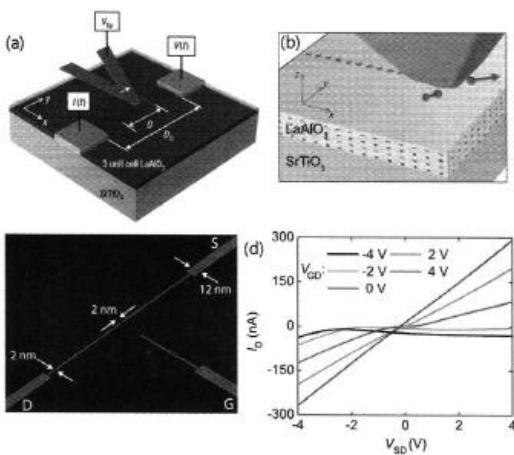


그림 6. Conductive AFM tip을 이용하여 LAO 표면에 전기장을 가해 2DEG 전도성 제어 (a) 스위칭 구조 개략도, (b) 스위칭 원리 개략도, (c) Sketch 방법을 이용하여 만든 나노 크기의 field effect transistor (FET) 구조, (d) FET의 전기 특성 [9].

전기 회로를 쉽게 쓰고 지울 수 있게 된다. 한 예로, 이런 스케치 (Sketch) 방법을 통해 구현된 수 나노미터 크기 ($< 5 \text{ nm}^2$)의 FET (Field Effect Transistor) 결과가 그림 6(d)에 나타나 있다.

이렇게 외부 전기장을 이용하여 2DEG의 전도도를 제어가 가능한 이유는 LAO 표면에 AFM probe에 가한 전기장에 따라 대기 존재하는 Adsorbates에 의한 잔류 전하들이 남아 있어 2DEG 계면에 전기장을 계속 미치기 때문이다 [10]. LAO 표면에 이러한 잔류 전하들이 모여 있다는 것을 Electrostatic force microscopy를 통해 직접 관찰되었다. 같은 맥락으로, 대기 중에 수분 (H_2O)이 전도현상을 제어하는데 중요한 역할을 한다는 실험 결과도 발표되었다. 즉, 양의 전기장을 가했을 때 OH^- 는 제거되고 H^+ 분자들만 남게 되고 이 분자들이 LAO 박막에 계속적으로 양의 전기장을 가하게 되어 계면에 전도성 2DEG가 형성 (Writing)되는 것이다. 반면 음의 전기장을 가했을 때 다시 원래 OH^-

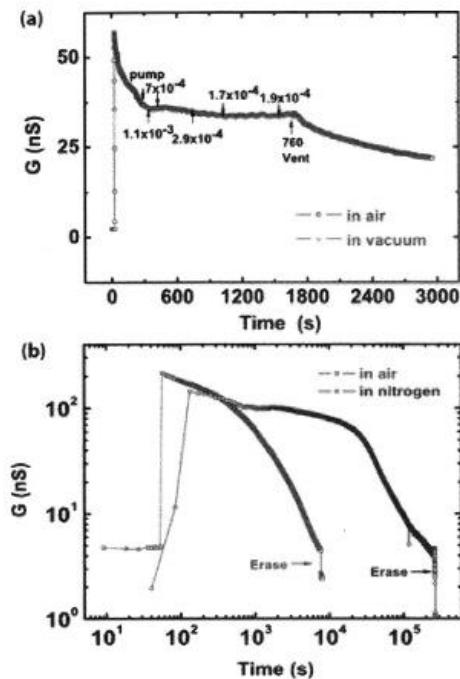


그림 7. 외부 환경에 대한 2DEG의 안정성 측정. 전기장을 가해 스위칭한 후 시간에 따라 전도도가 줄어드는 현상이 외부 환경에 따라 변하고 있다. (a) 스위칭된 2DEG 전도도가 공기 중 또는 진공상태에 있을 때의 변화, (b) 스위칭된 2DEG 전도도가 공기 중 또는 질소 분위기에 있을 때의 변화 [10].

$-\text{H}^+$ 로 회복되어 전기장이 사라져 계면 전도성 또한 사라지게 되는 것이다. 이러한 방식으로 임계두께 이상의 LAO 박막에서도 전도성 AFM tip을 이용한 2DEG 전도도 제어가 가능하다는 연구도 발표되었다.

이런 경우, 전기장에 의해 형성된 2DEG 안정성은 당연히 외부 환경에 영향을 받을 수밖에 없다 (그림 7). 즉, 대기의 상태가 건조한지 습한지에 따라 안정성이 크게 달라진다. 그림에서 보듯이 일반 대기 안에서 스위칭을 할 경우 10⁴초가 지나면 스위칭 하기 전의 전도도로 되돌아오게 되지만, 질소 분위기의 경우 10⁵초 이상이 되어야 되돌아온다. 또, 진공 분위기에서 스위칭한 2DEG 전도도가 Relaxation이 거의 없이 안정화됨을 볼



수 있다. 2DEG 가 외부 대기의 조건에 따라 계면 전도성이 변하기 때문에 이 시스템을 센서 소자로 이용할 수 있다. 즉, 대기 중의 분자에 극성을 띠는 분자의 양에 따라 전도도가 변하는 현상을 이용하여 가스 센서로써의 응용이 가능하다. 반면 이를 메모리, 트랜지스터 소자 등으로 응용할 때는 소자가 외부 환경에 따라 민감하게 변하기 때문에 적합하지 않다. 따라서 외부의 환경 변화에 따른 변화를 없애기 위한 별도의 장치가 반드시 필요하다.

5. 2DEG on Si

이와 같이 여러 가지 흥미로운 물리적인 특성을 갖는 LAO/STO 시스템이 실제로 소자에 응용되기 위해서는 실리콘 기판 위에 LAO와 STO를 에피택시하게 성장시키는 것이 필요하다. 하지만, 페로브스카이트 산화물을 실리콘 기판위에 에피택시 박막으로 증착하는 것은 상당히 어려운 일이다. 우선 실리콘 (5.4302 \AA)과 페로브스카이트 물질 ($\sim 4 \text{ \AA}$) 사이의 격자상수 차이가 매우 크다. 많은 종류의 양이온들이 고온에서 실리콘 기판으로 쉽게 확산되어 에피택시를 무너뜨리게 된다. 또한, 일반적으로 산화물 증착 시 필요한 높은 산소 분압이나 이미 증착된 산화물에서부터 확산된 산소 때문에 실리콘과 산화물 계면에 실리콘 산화막을 형성하는 문제도 있다. 이러한 어려움에도 불구하고, 매우 정교한 공정 제어를 통해 Molecular beam epitaxy (MBE) 방법으로 STO 박막을 실리콘 기판 위에 에피택시하게 증착하는 것이 가능해졌다 [11].

하지만, MBE 방법을 이용하여 실리콘 기판 위에 성장된 STO 박막은 벌크 단결정 STO 보다 많은 결함들을 갖고 있다. 그림 8(a), (b)에서 보듯이 Out-of-plane 방향으로는 벌크 단결정 STO 보다 좋은 결정

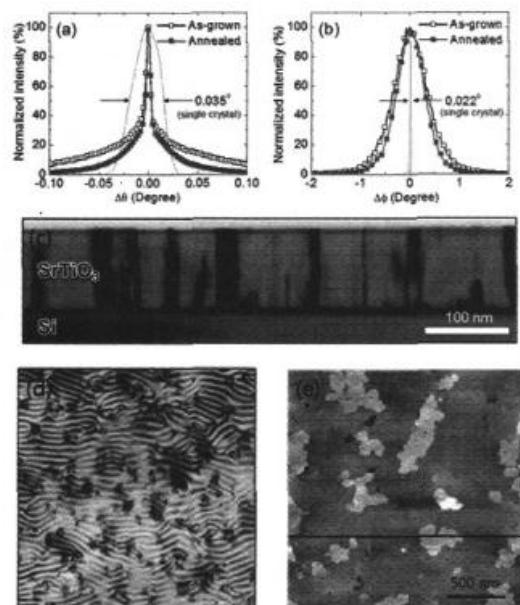


그림 8. Si 기판위에 MBE방법으로 증착된 STO 박막 (a) out-of-plane, (b) in-plane XRD rocking curve 비교. STO 박막의 결정성은 out-of-plane 방향으로는 단 결정 STO보다 우수하지만 in-plane 방향으로는 저하된다. (c) cross-sectional TEM image (d) plan-view TEM image (e) AFM surface morphology [12].

성을 보이지만 In-plane 방향으로 결정성을 매우 떨어뜨려, XRD phi-scan 분석을 하면 벌크에 비해 굉장히 넓은 FWHM값을 관찰할 수 있다. 주로 Lattice mismatch에 의한 Dislocation이 많이 존재하며, Si 표면의 Step에서 수직 방향으로 격자 상수 차이에 의해 발생한 Antiphase boundary도 존재한다. TEM 분석으로도 고밀도의 Dislocation 분포를 볼 수 있다 (그림 8(c),(d)). 하지만, STO 박막의 표면은 Step and terrace 구조를 보이며 Atomically smooth한 성질을 보이고 있다 (그림 8(e)).

열처리와 화학적 에칭 방법을 통해 TiO_2 termination된 STO/Si 기판 위에 PLD 방법을 이용하여 LAO 박막을 증착하였더니 LAO/STO 계면에서 역시 2DEG가 관찰 되었다 (그림 9). 단결정 STO 기판을 사용할 때

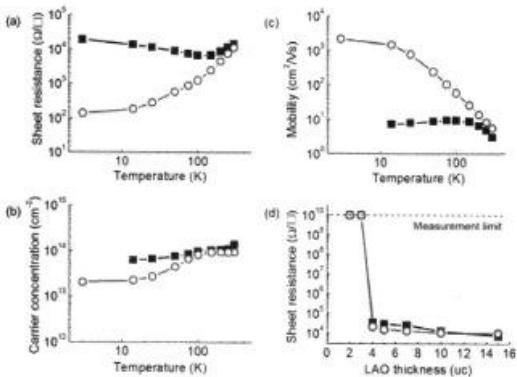


그림 9. Si 기판위에 형성된 2DEG의 전기 특성 측정 (a) 면 저항, (b) 운반자 농도, (c) 이동도 데이터. 10 unitcell LAO/STO/Si 샘플로 측정되었다 (Squares), 비교를 위해 10 unitcell LAO/STO 단결정 샘플도 측정되었다 (Circles). (d) LAO/STO/Si 샘플에서 LAO의 두께 의존성 [12].

와 마찬가지로 LAO의 2DEG 형성 임계 두께는 4 unitcell이다. 한 가지 주목할 점은 실리콘 기판 위에 구현된 LAO/STO 2DEG의 특성은 상온에서는 STO 단결정 위에 구현된 2DEG와 비슷한 반면, 저온에서는 현저하게 저하된다. 즉, 2K의 낮은 온도에서도 상온에서와 비슷한 전기 전도도를 보이고 있다. 이는 실리콘 위에 증착된 STO 층이 갖고 있는 구조적 결함에 기인하는 것으로 생각된다. 앞서 말한 STO 박막 층에 존재하는 여러 가지 결함들이 Electron을 산란하여 그 특성이 저온영역에서 저하되는 것이다. 이런 이유로 초전도 현상도 관찰되지 못했다. 이러한 저온에서의 특성 저하에도 불구하고 실제 소자가 쓰일 상온 영역에서는 단결정 STO 위에 구현된 2DEG와 거의 동일한 전기적 특성을 나타내고 있음은 소자 응용에 고무적인 것이라 하겠다.

6. 결 론

산화물 이종접합 계면에서 발생하는 2DEG

현상은 반도체물질에서 발생하는 2DEG에 비하여 여러 가지 기능성을 함께 갖고 있다는 점에서 학문적으로 뿐만 아니라 기술적으로도 많은 관심을 받고 있다. 산화물 2DEG 자체가 갖고 있는 이러한 기능성들은 다른 기능 산화물 물질과 에피 증착 방법을 이용하여 결합함으로써 본래 기능을 증폭시키거나 여러 가지 기능을 함께 갖고 있는 다기능 산화물 소자를 구현해 낼 수 있다. 예를 들어, LAO/STO와 강유전체인 $Pb(Zr,Ti)O_3$ 를 결합함으로써 2DEG 전도성을 PZT 내의 자발 분극의 방향을 이용해 비휘발적으로 제어할 수 있을 것이다. LAO와 STO 두 부도체 사이에서 전도성 계면이 형성되는 원리가 아직 명확하게 밝혀지지는 않았다. 처음에 제안된 Electron reconstruction model은 그 동안 많은 공격을 받아왔지만, 2DEG에 관련된 현상들을 가장 많이 설명할 수 있다는 이유로 널리 받아들여지고 있다. 하지만, STO에 존재하는 Interdiffusion이나 Oxygen vacancy와 같은 외부요인에 의한 영향을 완전히 배제하기는 어려워 보인다. 2DEG 생성 원리에 대한 보다 명확한 이해를 위해서는 LAO/STO 이외의 시스템에서도 2DEG 현상이 존재하는지 탐구하는 것이 필요하겠다. 또한, 반도체 물질에서 발생하는 2DEG에 비하여 아직 그 이동도 (Mobility)가 훨씬 낮기 때문에 앞으로 이동도를 높이려는 연구도 많이 이루어질 것으로 기대된다.

아직 10년이 채 지나지 않은 새로운 분야이지만 그 동안 이 분야를 통해 이루어진 학문적, 기술적 발전은 굉장히 크다. 이론/계산, 박막 증착, 측정, 소자 응용과 관련된 모든 분야가 협력을 통해 연구를 진행하여, Multidisciplinary research의 좋은 예를 보여준다. 앞으로도 이러한 연구는 더욱 더 넓고 깊게 이루어질 것이며, 그 과정에서 많은 새로운 분야가 창출될 수 있을 것으로 기대된다.



참고 문헌

- [1] A. Ohtomo et al., "A high-mobility electron gas at the LaAlO₃/SrTiO₃ heterointerface", *Nature* Vol. 427, pp. 423–426, 2004.
- [2] N. Nakagawa et al., "Why some interfaces cannot be sharp", *Nature Materials* Vol. 5, pp. 204–209, 2006.
- [3] Y. Chen et al., "Metallic and insulating interfaces of amorphous SrTiO₃-based oxide heterostructures", *Nano Letters* Vol. 11, pp. 3774–3778, 2011.
- [4] S. A. Chambers "Understanding the mechanism of conductivity at the LaAlO₃/SrTiO₃ (001) interface", *Surface Science* Vol. 605, pp. 1133–1140, 2011.
- [5] N. Reyren et al., "Superconducting interfaces between insulating oxides", *Science* Vol. 317, pp. 1196–1199, 2007.
- [6] J. A. Bert et al., "Direct imaging of the coexistence of ferromagnetism and superconductivity at the LaAlO₃/SrTiO₃ interface", *Nature Physics* Vol. 7, pp. 767–771, 2011.
- [7] S. Thiel et al., "Tunable quasi two dimensional electron gases in oxide heterostructures", *Science*, Vol. 313, pp. 1942–1945, 2006.
- [8] A. D. Caviglia et al., "Electric field control of the LaAlO₃/SrTiO₃ interface ground state", *Nature* Vol. 456, pp. 624–627, 2008.
- [9] C. Cen et al., "Oxide nanoelectronics on demand", *Science* Vol. 323, pp. 1026–1030, 2009.
- [10] F. Bi et al., "Water-cycle mechanism for writing and erasing nanostructures at the LaAlO₃/SrTiO₃ interface", *Applied Physics Letters* Vol. 97, 173110, 2010.
- [11] R. A. McKee et al., "Crystalline oxides on silicon: the first five monolayers", *Physical Review Letters* Vol. 81, pp. 3014–3017, 1998.
- [12] J. W. Park et al., "Creation of a two-dimensional electron gas at an oxide interface on silicon" *Nature Communications* Vol. 1, pp. 94, 2010.

저자|약력|



성명 : 백승협

◆ 학력

• 2004년 서울대학교 공과대학 재료공학부 공학사

• 2007년 Univ. of Wisconsin-Madison, 재료공학부 공학석사

• 2010년 Univ. of Wisconsin-Madison, 재료공학부 공학박사

◆ 경력

• 2010년 – 2011년 Univ. of Wisconsin-Madison, Post-doc.

• 2011년 – 현재 한국과학기술연구원 전자재료연구센터 선임연구원

