

논문 2012-49SD-3-1

배터리 관리 시스템을 위한 9-b 2MS/s 사이클릭 폴딩 ADC

(A 9-b 2MS/s Cyclic Folding ADC for Battery Management Systems)

권민아*, 김대윤*, 송민규**

(Mina Kwon, Daeyun Kim, and Minkyu Song)

요약

본 논문에서는 모바일 정보기기의 배터리 전력 관리를 제어하는 IBS(Intelligent Battery sensor), BMS(Battery Management System) 등의 PMIC(Power Management IC) 기술에 적합한 9b 2MHz 사이클릭 폴딩 ADC(Analog-to-Digital Converter)를 제안한다. 제안하는 ADC는 응용기술에 적합한 고해상도를 만족시키는 동시에 폴딩 신호처리를 사용함으로써 고속 동작이 가능하다. 또한 폴딩 블록의 하나의 단만을 반복적으로 순환하는 구조로 설계되기 때문에 전체 크기가 줄어들 뿐 아니라 전력소모도 최소화 할 수 있다. 제안하는 시제품 ADC는 0.35um 2P4M CMOS 공정으로 제작되었으며, 측정된 INL 및 DNL은 각각 $\pm 1.5/\pm 1.0$ LSB 이내로 들어온 것을 확인하였다. 또한 2MS/s 동작 속도에서 SNDR 및 SFDR 이 각각 최대 48dB, 60dB이고, 전력 소모는 3.3V 전원 전압에서 110mW 이며 제작된 ADC의 칩 면적은 10mm²이다.

Abstract

A 9b MS/s CMOS cyclic folding A/D converter (ADC) for intelligent battery sensor and battery management systems is proposed. The proposed ADC structure is based on a cyclic architecture to reduce chip area and power consumption. To obtain a high speed ADC performance, further, we use a folding-interpolating structure. The prototype ADC implemented with a 0.35um 2P4M n-well CMOS process shows a measured INL and DNL of maximum 1.5LSB and 1.0LSB, respectively. The ADC demonstrates a maximum SNDR and SFDR of 48dB and 60dB, respectively, and the power consumption is about 110mW at 2MS/s and 3.3V. The occupied active die area is 10mm².

Keywords : 사이클릭, 폴딩, ADC, 저전력, BMS

I. 서론

최근 PMIC(Power Management IC) 기술은 에너지를 절약하고 제품을 축소하기 위하여 전력공급 장치나 전력변환 장치에 응용되어 단순히 전력을 조절하고 전달하는 역할에서 에너지효율 제고 및 시스템 안정성과 신뢰성을 좌우하는 역할로 확장되어 가고 있다. 에너지 위기와 환경규제 강화 및 친환경, 녹색성장 등의 이슈

가 대두되면서 친환경 절전형 부품/소재 개발에 대한 연구가 많이 요구되는 상황이다. 이에 고효율/친환경의 경쟁력이 있는 제품 개발 및 녹색 성장을 주도할 수 있는 친환경 절전형 PMIC 기술개발은 선택이 아닌 필수적이다.^[1] 본 논문에서는 모바일 정보기기의 배터리 고효율 전력관리를 제어하는 IBS (Intelligent Battery sensor), BMS (Battery Management System) 등의 PMIC(Power Management IC) 기술에 적합한 ADC (Analog-to-Digital Converter) 를 제안한다. 그림 1과 같은 BMS에서의 ADC 는 기기의 외·내향적 발달에 비례하여 더 높은 해상도, 소 면적 및 저 전력 소모 특성 요구를 동시에 만족해야 할 뿐만 아니라 동작속도 역시 높아져야 한다. 기존에는 이러한 ADC를 구현하기 위해 비교적 구조가 간단한 SAR 구조 및 Pipeline 구조의 알

* 학생회원, ** 정회원, 동국대학교 반도체과학과 (Dept. of Semiconductor Science, Dongguk Univ.)

※ 본 연구는 반도체설계교육센터 (IDEC)의 칩제작 지원 및 교육과학기술부 재원으로 한국과학재단의 기초연구사업(20110002801)지원을 받아 수행된 연구결과임

접수일자 2011년11월17일, 수정완료일: 2012년3월2일

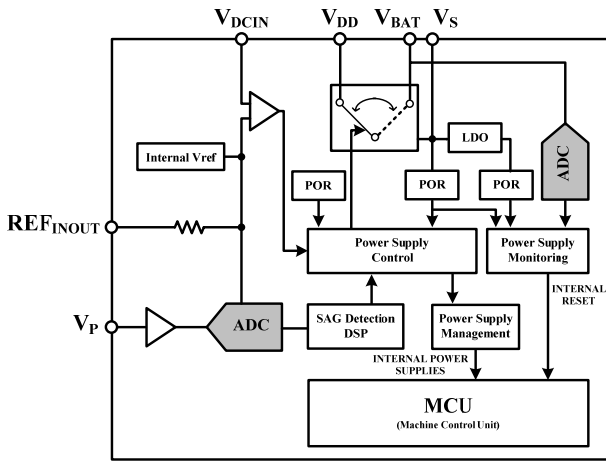


그림 1. 고해상도의 ADC가 사용되는 BMS의 회로도
Fig. 1. BMS Circuit Structure with high resolution ADC.

고리직 ADC가 주로 사용되었다.^[2] 하지만 SAR 구조의 ADC는 해상도에 따라 커패시터의 크기가 지수적으로 증가하는 구조적 단점을 가지고 있고, pipeline 구조를 사용한 알고리즘 ADC는 적은 면적과 저 전력 구동이 가능하지만 구조 자체의 특성상 동작속도가 느리다는 단점이 있다. 따라서 본 논문에서는 사이클릭 구조에 폴딩 신호처리 기법을 적용하여, 고해상도에서 빠른 변환 속도, 저 전력, 소 면적 특성을 갖는 사이클릭 폴딩 구조의 ADC를 제안한다. 사이클릭 구조의 ADC는 고해상도에 사용 적합한 폴딩 구조 중에서 하나의 단만을 반복적으로 순환하여 구현함으로써 전력소모 및 면적이 매우 작다는 장점을 가지고 있다. 본 논문의 기술 순서는 다음과 같다. II장에서는 제안하는 ADC의 전체 구조 설명하며, III 장에서는 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간략히 요약한다. IV 장에서는 시제품 ADC의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC의 전체 구조

한정된 배터리의 효율을 극대화하기 위해서는 이를 제어하는 ADC의 높은 성능 특성뿐만 아니라 구조 자체의 간략화가 필요하다. 따라서 본 논문에서는 하나의 단을 여러 차례 순환해서 사용하는 사이클릭 구조를 제안한다. 사이클릭 구조는 기존 pipeline 신호처리 기반을 사용한 알고리즘 구조와 유사한 방식을 사용한다. MDAC을 사용한 알고리즘 ADC의 경우 고해상도를 만족하는 것에 비해 MDAC 구동을 위한 피드백이 반

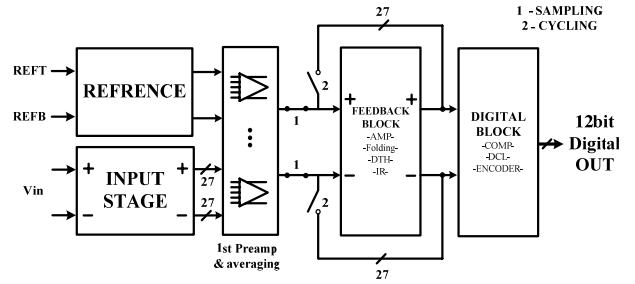


그림 2. 제안하는 9b 2MS/s 사이클릭 폴딩 ADC
Fig. 2. The proposed 9b 2MS/s cyclic folding ADC.

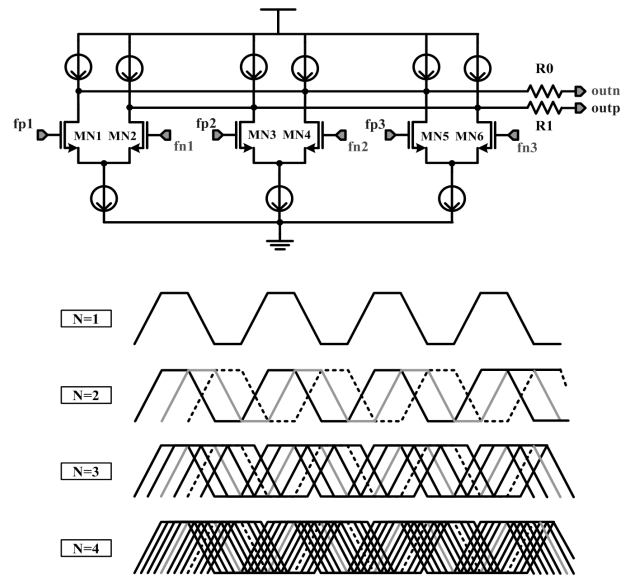


그림 3. 폴딩 증폭기 및 반복주기에 따른 폴딩 출력
Fig. 3. Output of folding amp. depend on the cyclic operation.

드시 필요하기 때문에 동작 주파수가 수백 KS/s 수준으로 제한되는 단점을 지니고 있다.^[3] 이에 본 논문에서는 고속 동작에 적합한 폴딩 신호처리 기법을 적용하여 동작 주파수 범위를 늘리고, 하나의 단만을 반복적으로 사용하기 때문에 작은 면적 및 최소 전력으로 ADC로 구현이 가능한 사이클릭 폴딩 ADC를 제안한다. ADC의 전체 구조는 그림 2와 같이 입력단, 증폭기, 피드백 블록과 디지털 오차보정 회로를 포함하는 디지털 블록 및 클럭 발생기(clock generator) 등으로 구성되며, 폴딩 증폭기 및 반복되는 횟수에 따른 폴딩 블록의 출력을 그림 3에 나타내었다. 제안하는 ADC는 1주기가 16MHz가 되는 시스템 입력 클럭을 사용하여 한 번의 입력신호가 8주기 지난 후 최종 출력을 내보내어 2MS/s의 변환 속도를 가지게 된다.

III. 제안하는 ADC의 회로 설계

1. 분산 T&H를 적용한 반복 구조

가. Feedback 구조

제안하는 9비트 Cyclic Folding ADC 는 FR(Folding Rate) 3, IR(Interpolation Rate) 3으로 구성된 하나의 아날로그 블록을 여러 차례 순환하는 구조로 이루어 졌다. 우선 아날로그 단을 살펴보면 최초 저항 열로부터 생성된 27개의 기준전압과 아날로그 차동 쌍 입력이 첫 번째 전처리 증폭기 단 27개로 인가된다. 증폭된 신호는 스위치 블록을 통해 최초 입력 신호를 Feedback 블록에 인가되며, 두 번째 전처리 증폭기 단으로 들어가게 된다. 이후 folding 증폭기를 지날 때는 9개의 신호로 줄어들며 분산 T&H로 인가된다. Interpolation을 거친 신호는 다시 27쌍의 신호로 최종 출력되며 신호의 V_{pp} 가 줄어들음을 방지하고자 세 번째 전처리 증폭기를 마지막 단에 설계하였다. 이 과정이 끝난 후 다시 처음 이 스위치 블록에 인가된 신호는 같은 과정을 거치며 8 개의 블록으로 얻을 수 있는 신호처리를 하나의 블록으로 가능하게 한다. 이 때 interpolation 블록은 저 전력 구현을 위해 저항을 이용한 voltage interpolation 기법을 사용하였다. 아래의 그림 4는 제안하는 구조의 신호 처리 과정을 도식화 한 것이다. 실제 Unified 구조와 유사하나 Feedback 구조로 인해 하나의 블록으로 모든 신호를 처리할 수 있다. 이로 인해 아날로그 블록의 크기를 현저히 줄일 수 있다.

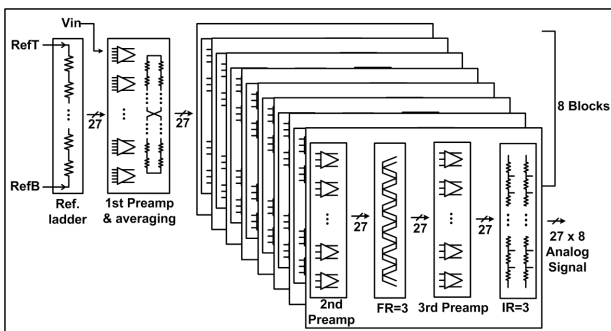


그림 4. 아날로그 블록의 신호 처리 도식화
Fig. 4. Signal process of analog block.

나. 분산 T&H 구조

Feedback 구조를 사용하기 위해서는 분산 T&H가 반드시 필요하다. 그림 5와 6은 본 논문에서 제안하는

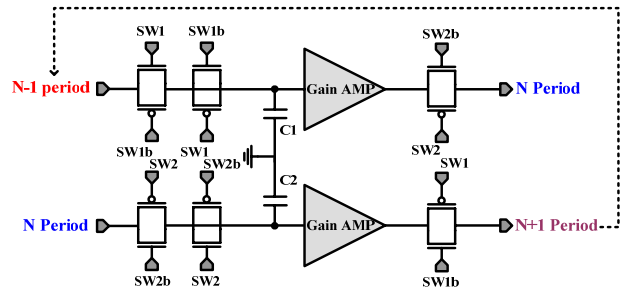


그림 5. 분산 T&H의 회로도
Fig. 5. Circuit design of distributed T&H.

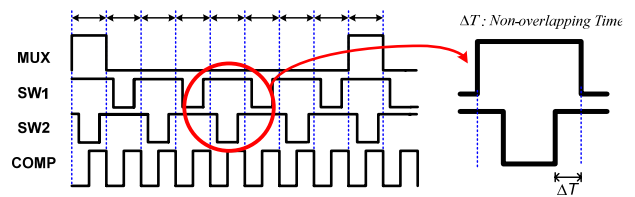


그림 6. 제안하는 ADC의 전체 클럭 타이밍
Fig. 6. Clock timing diagram of proposed ADC.

분산 T&H의 회로도 및 클럭 타이밍을 나타낸 것이다. 동작원리는 다음과 같다. 최초의 입력 신호가 SW1을 통해 인가되면 이 신호는 C1에 Voltage의 값으로 저장된다. 이 때 SW1이 꺼지고 SW2가 켜지면서 C1의 저장 값은 N Period로 이동한다. 이동 된 값은 Feedback 블록 처음으로 돌아가 폴딩과 인터폴레이션 과정을 거쳐 값이 바뀌면서 C2에 저장된다. 다시 C2의 저장 값은 SW1이 켜지고 SW2가 꺼지면서 N+1 Period로 이동되며, 동일한 과정을 거쳐 C1에 저장되게 된다. 이러한 과정이 최종 8번을 거치며 8번을 한 주기로 정한다. 한 주기가 끝나면 스위치 블록은 다시 외부 입력 신호를 받아들이면서 자체적인 Feedback 동작으로 또 다른 한 주기를 완성하다. 이 때 비교기는 두 번째 전처리 증폭기 중 두 개의 신호를 비교하여 디지털 코드로 변환 한다.

2. 사이클릭 구조를 위한 새로운 레이아웃 기법

사이클릭 폴딩 ADC는 아날로그 크기 및 디지털 크기가 현저히 줄어드는 장점을 갖는다. 그러나 기존의 폴딩 인터폴레이션 ADC이 갖는 순차적인 신호처리 기법의 레이아웃을 적용하게 되면 피드백 블록의 크기가 커질 뿐만 아니라 라우팅 길이가 길어져 IR Drop에 의한 출력신호의 왜곡을 가져온다. 따라서 본 논문에서는 그림 7(b)와 같이 새로운 블록배치와 라우팅 방법을 제안한다. 제안하는 새로운 Layout 기법은 사이클릭 폴딩

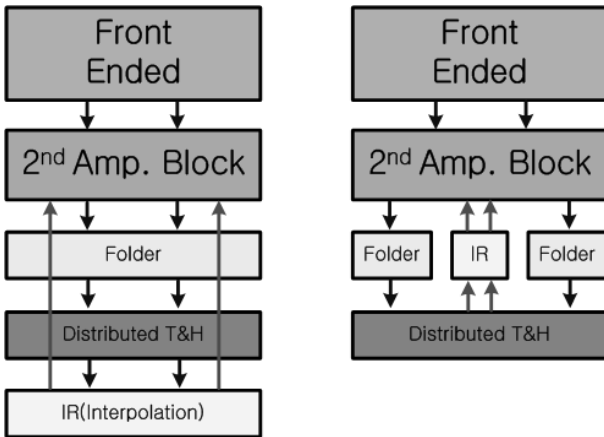


그림 7. (a) 기존 layout 기법의 개략도
 (b) 제안하는 layout 기법의 개략도
 Fig. 7. (a) Outline of the conventional layout technique
 (b) Outline of the proposed layout technique.

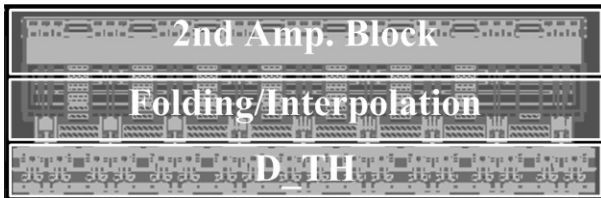


그림 8. 제안하는 layout
 Fig. 8. Proposed layout.

ADC의 피드백 블록의 특성을 활용하여 면적과 신호처리 면에서 최대한 효율적으로 Layout을 한 것이다. 피드백 블록 중 폴딩 증폭기, 분산 T&H, IR의 신호 순서가 아닌 폴딩 증폭기 Layout에서 발생하는 여분의 공간에 IR 단을 배치함으로써 크기를 줄이는 효과를 얻을 수 있을 뿐만 아니라 2nd 전처리 증폭기로 인가되는 피드백 신호 라우팅의 길이를 최대한 줄여 신호 간섭을 최소화 할 수 있다. 그림 8은 제안하는 배치에 따른 레이아웃 그림을 나타내었다.

3. 디지털 오차 보정 회로

제안하는 ADC는 병렬 아날로그 출력신호의 지연시간 차이, 증폭기와 비교기의 차동쌍 offset 오차 등에 의해 비교기 출력 간에 오차가 발생할 수 있다^[4~5]. 기존 알고리즘 ADC와 폴딩 ADC의 경우 추가 bit를 출력하고 각 stage 출력을 중첩 하여 오차를 보정하는 방법을 사용하고 있으나 아날로그 신호처리 블록의 구조 변경과 복잡한 디지털 회로의 추가가 필요하다^[6]. 사이클릭 폴딩 ADC의 경우 N stage의 아날로그 출력이 N-1 stage를 기준으로 생성되어 추가 bit를 출력하지

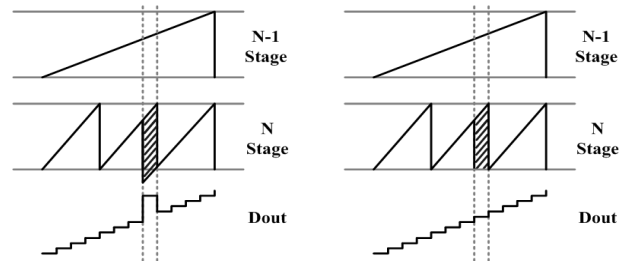


그림 9. (a) 디지털 오차보정 회로 사용 전의 개략도
 (b) 디지털 오차보정 회로 사용 후의 개략도
 Fig. 9. (a) Outline of the before using digital error correction logic (b) Outline of the after using digital error correction logic.

않고 N-1 stage와 N stage의 디지털 출력과 중첩시키는 방법으로 간단하게 ADC의 오차를 보정할 수 있다. 오차보정 회로는 아날로그 신호처리 구조의 변경이나 복잡한 디지털 회로를 사용하지 않고 최적화된 디지털 로직을 사용하여 면적 및 전력소모를 최소화하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 9b 2MS/s ADC는 0.35um 2P4M n-well CMOS 공정으로 제작되었다. 제안하는 ADC는 주로 고성능 직접 시스템 등의 핵심 IP로 사용할 수 있도록 외부로 연결되는 핀은 입력, 출력 및 전원으로 제한하였다. 그림 10은 시제품 ADC의 칩 사진을 보여준다. 제

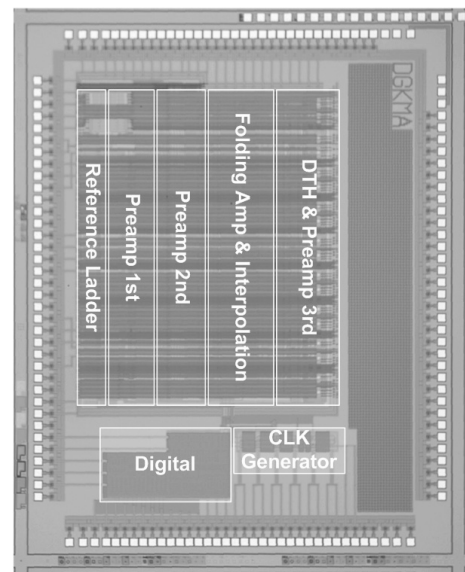


그림 10. 제안하는 시제품 ADC 칩 사진 (2.5mm x 4.0mm)
 Fig. 10. Die photograph of the prototype ADC. (2.5mm x 4.0mm)

작된 시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 10mm²(=2.5mm x 4.0mm)이다.

그림 11은 시제품 ADC를 측정하기 위한 Printed Circuit Board(PCB)이다. Chip 을 중심으로 차동입력을 생성하는 Transformer 가 A/D 변환기 입력단 부분에 자리 잡고 있으며, 디지털 코드의 선형성 증가를 위한 버퍼가 출력단 부분에 추가되어 있다. 또한 외부 Noise 성분을 최소화하기 위해 4-layer 기판으로 설계되었으며, 아날로그와 디지털 간의 간섭으로 인한 성능 저하를 고려하여 아날로그와 디지털, 버퍼 영역으로 분리하여 설계하였다. 각각의 전원부에는 페라이트 비드와 디커플링 커패시터를 추가하여 전원 전압 잡음을 줄여주었다.

제안하는 ADC는 2MS/s의 속도로 동작하며 3.3V 전원에서 110mW의 전력을 소모한다. 시제품 ADC는 설계된 PCB 기판을 사용하여 측정하였으며, 측정된 Integral Non Linearity(INL)과 Differential Non Linearity(DNL)은 그림 12에서 보는 바와 같이 각각 최대 1.5LSB, 1.0LSB 수준이다.

그림 13은 시제품 ADC가 샘플링 클럭 2MS/s에서 500KHz와 Nyquist 입력 주파수를 인가하였을 때 측정된 전형적인 신호 스펙트럼을 보여준다.

그림 14는 시제품 ADC의 동적 성능을 종합한 결과로 샘플링 주파수 2MS/s에서 입력주파수에 따른 SNDR와 ENOB의 결과이다. 측정결과 샘플링 주파수에 비하는 낮은 입력주파수 100KHz를 인가하였을 때 SNDR은 63.6dB SFDR은 72.4dB의 결과를 보이고 유효 비트수는 8.2bit이 측정되었으며 Nyquist인 1MHz 입력

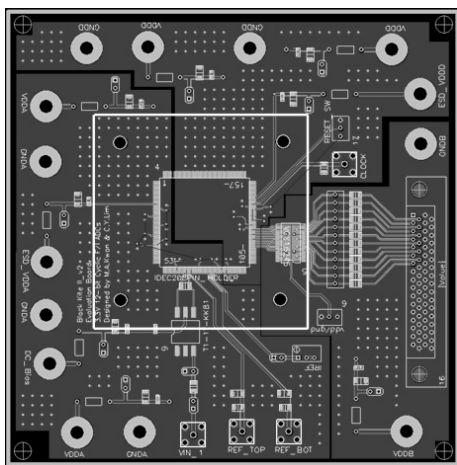


그림 11. 시제품 ADC를 측정하기 위한 측정보드
Fig. 11. Printed Circuit Board (PCB) for prototype ADC.

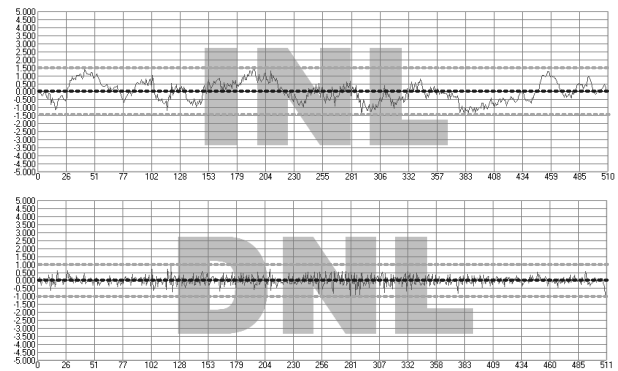


그림 12. 시제품 ADC의 측정된 INL, DNL
Fig. 12. Measured INL and DNL of the prototype ADC.

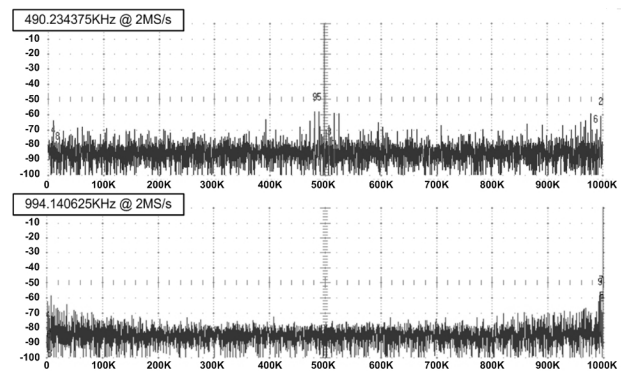


그림 13. 측정된 FFT 신호 스펙트럼
($F_{in} = 500\text{KHz}, 1\text{MHz} @ 2\text{MS/s}$)
Fig. 13. Measured FFT signal spectrum.
($F_{in} = 500\text{KHz}, 1\text{MHz} @ 2\text{MS/s}$)

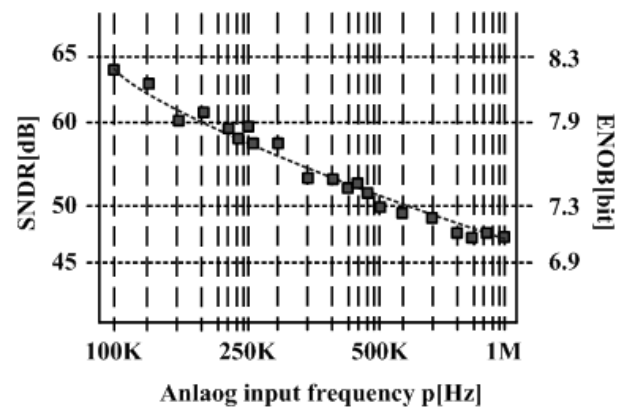


그림 14. 측정된 SNDR 및 ENOB ($F_s=2\text{MS/s}$)
Fig. 14. Measured SNDR and ENOB ($F_s=2\text{MS/s}$).

주파수에서는 48.32dB, 60.32dB의 결과를 보이며 유효 비트수(ENOB)는 7.13bit으로 측정되었다.

V. 결 론

본 논문에서는 PMIC 기술 중 배터리 전력 관리 제어

표 1. 시제품 9b 2MS/s 0.35um CMOS ADC 성능 요약

Table 1. Measured performance of the prototype 9b 2MS/s 0.35um CMOS ADC.

Process	0.35um 2P4M n-well CMOS
Resolution	9b
Max. Conversion	2MS/s
Input Range	1.0 V _{pp}
SNDR (at $f_{in} = \text{Nyquist}$)	48.28dB
SFDR (at $f_{in} = \text{Nyquist}$)	60.32dB
INL	± 1.5 LSB
DNL	± 1.0 LSB
ADC Core Power	110mW @ 2MS/s and 3.3V

를 담당하는 BMS에 적합한 9b 2MS/s 사이클릭 폴딩 ADC를 구현하기 위해 다음의 설계 기법을 제안한다.

첫째, 제안하는 ADC는 고해상도 및 저 전력의 사양을 만족시키면서, 동시에 면적의 크기를 줄이기 위해 하나의 블록을 여러 차례 반복하는 순환 구조를 사용하였다. 둘째, 기존에 BMS에 사용되었던 SAR, Pipelined ADC에 비해 높은 속도를 갖고자 폴딩 신호처리 기법을 적용하였다. 셋째, 반복 구조에서 생길 수 있는 오차를 줄이기 위해 디지털 오차 보정 회로 장치를 추가로 설계하여 ADC의 성능 향상을 유도하였다.

제안하는 설계 기법들을 적용하여 0.35um 2P4M n-well CMOS 공정으로 제작된 시제품 ADC의 측정된 INL 및 DNL 은 각각 최대 1.5LSB 및 1.0LSB 수준을 보인다. 또한 2MS/s 의 동작 속도에서 SNDR 및 SFDR이 각각 최대 48dB, 60dB이고, 전력 소모는 3.3V 전원 전압에서 110mW 이며 제작된 ADC의 칩 면적은 10mm²이다. 표 1에 본 연구에서 제안한 시제품 ADC의 성능 측정 결과를 요약하였다.

참 고 문 헌

- [1] 양일석, 김종대, 장문규 “친환경 절전형 전력반도체 기술” 전자통신동향분석 제 24권 제 6호, pp. 1-11, 2009년 12월
- [2] 김영주, 채희성, 구용서, 임신일, 이승훈 “마이크로 전자 기계 시스템 응용을 위한 12비트 200KHz 0.52mA0.47mm² 알고리즘 A/D 변환기” 대한전자공학회 논문지, 43권, SD 편, 제11호, pp. 48-57, 2006년 11월
- [3] 이명환, 김용우, 이승훈 “유비쿼터스 환경에서의 센서 인터페이스를 위한 12비트 1KS/s 65uA 0.35um CMOS 알고리즘 A/D 변환기” 대한전자공학회 논문지 제 45권 SD 편 제 3호 pp.69-76, 2008년 3월
- [4] 김대운 외, “Offset Self-Calibration 기법을 적용한 1.2V 7-bit 800MSPS folding-Interpolation A/D 변환기의 설계,” 대한전자공학회논문지, 제47권 SD 편, 제3호, pp. 18-27, 2010년 3월
- [5] Myung-Jun Choe and Band-Sup Song and Kantilal Bacrania, “An 8-b 100-MSample/s CMOS Pipelined Folding ADC,” in Proc. of IEEE J. Solid-State Circuits, vol. 36, no. 2, pp. 184-194, Feb. 2001
- [6] K. Bacrania, “Digital error correction to increase speed of successive approximation,” in International Solid State Circuits Conference, pp. 140-141, Feb. 1986[7] L. M. Devito, “High-speed voltage-to-frequency converter.” U. S. patent Number 4,839,653, June 1989

— 저 자 소 개 —



권민아(정회원)
2010년 동국대학교 반도체과학과
학사 졸업.
2012년 동국대학교 반도체과학과
석사 졸업.

<주관심분야 : 데이터 변환기 회로 설계,
Analog-to-Digital Converter 설계>



김대윤(학생회원)
2008년 동국대학교 반도체과학과
학사 졸업.
2010년 동국대학교 반도체과학과
석사 졸업.
2010년~현재 동국대학교 반도체
과학과 박사과정 재학.

<주관심분야 : CMOS 아날로그 회로 설계, 고성
능 데이터 변환기, CMOS Image Sensor 설계>



송민규(정회원)
1986년 서울대학교 전자공학과
학사 졸업.
1988년 서울대학교 전자공학과
석사 졸업.
1993년 서울대학교 전자공학과
박사 졸업.

1993년~1995년 동경대학교 초빙연구원.
1995년~1997년 삼성전자 ASIC 설계팀 연구원.
1997년~현재 동국대학교 반도체과학과 교수.
<주관심분야 : CMOS 아날로그 회로 설계, 저 전
력 혼성모드 회로 설계, 데이터 변환기 설계>