

논문 2012-49SD-2-7

능동-가중치 전하 샘플링을 이용한 고차 시간상 이동평균 필터

(High-Order Temporal Moving Average Filter Using
Actively-Weighted Charge Sampling)

신 수 환*, 조 용 호*, 조 성 훈*, 유 형 준**

(Soo-Hwan Shin, Yong-Ho Cho, Sung-Hun Jo, and Hyung-Joun Yoo)

요 약

본 논문에서는 능동-가중치 전하 샘플링을 이용하는 고차의 시간상 이동평균 필터가 제안된다. 샘플링되는 전하의 비율을 바꾸기 위해서 가변 트랜스컨덕턴스 증폭기(variable transconductance OTA)가 전하 샘플러 앞단에 사용되며, 전하의 비율은 OTA의 제어 트랜지스터들을 스위칭하여 효과적으로 변화게 된다. 그 결과, 능동-가중치 샘플링을 이용하는 고차의 시간상 이동평균 연산이 가능해진다. 또한, OTA의 트랜스컨덕턴스는 제어 트랜지스터들의 크기를 통해 비율이 조절되므로 비교적 정확하며 공정 변화에 안정적이다. 고차의 시간상 이동평균 필터는 소수의 스위치와 샘플링 커패시터를 사용하므로 작은 크기와 높은 전압 이득을 가지며 기생 성분의 발생을 줄일 수 있다. 제안된 고차의 시간상 이동평균은 2차-2입력 시간상 이동평균(TMA-2²) 필터로 TSMC 0.18- μ m CMOS 공정을 이용하여 구현되었다. 설계된 필터의 전압 이득은 약 16.7 dB이며 P1dB와 IIP3는 각각 -32.5 dBm과 -23.7 dBm으로 시뮬레이션된다. 출력 버퍼를 포함한 전체 직류 전류 소모는 약 9.7 mA이다.

Abstract

A discrete-time(DT) filter with high-order temporal moving average(TMA) using actively-weighted charge sampling is proposed in this paper. To obtain different weight of sampled charge, the variable transconductance OTA is used prior to charge sampler, and the ratio of charge can be effectively weighted by switching the control transistors in the OTA. As a result, high-order TMA operation can be possible by actively-weighted charge sampling. In addition, the transconductance generated by the OTA is relatively accurate and stable by using the size ratio of the control transistors. The high-order TMA filter has small size, increased voltage gain, and low parasitic effects due to the small amount of switches and sampling capacitors. It is implemented in the TSMC 0.18- μ m CMOS process by TMA-2². The simulated voltage gain is about 16.7 dB, and P1dB and IIP3 are -32.5 dBm and -23.7 dBm, respectively. DC current consumption is about 9.7 mA.

Keywords : DT filter, TMA, weight ratio, actively-weighted charge sampling, transconductance, control transistor.

I. 서 론

최근, 샘플러 기반의 수신기는 무선통신 분야에서

SDR(Software defined radio) 구현을 위한 효과적인 방법으로서 널리 연구되고 있다^[1]. 특히 이산시간(discrete-time) 샘플러는 다양한 형태의 샘플러 기반의 수신기들에서 매우 중요한 기능을 담당한다. 일반적인 전하 샘플링의 방식을 이용하는 이산시간 샘플러는 창문형 적분(windowed integration)으로 전하를 커패시터에 축적하는 과정에서 얻어지는 *sinc* 형태의 고유한 주파수 응답 특성을 가지며 이를 통해 다양한 필터로서 사용된다^[2~3]. 이러한 이산시간 필터의 감쇠 특성을 향

* 학생회원, ** 정회원, 한국과학기술원 전기 및 전자공학

(Department of Electrical Engineering, KAIST)

※ 본 연구는 지식경제부의 출연금으로 수행하고 있는 한국전자통신연구원의 IT SoC 핵심설계인력양성사업의 위탁연구과제 연구결과임.

접수일자: 2011년11월27일, 수정완료일: 2012년2월15일

상시킴을 위해서 지금까지 다양한 형태의 고차 필터들이 제안되었다^[4-6]. [4]에서는 이산시간 샘플러를 조절 가능한 문턱 주파수를 가지는 기저대역 필터로서 사용하였는데, 2차 필터를 구현하기 위해 1차의 샘플러 2개를 중속 접속한 형태로 구성하였다. [5]에서 제안된 이산시간 필터는 시스템의 임펄스 응답의 계수들에 대응되는 커패시터를 array 형태로 배열하여 원하는 전하의 가중치에 해당하는 커패시터를 선택적으로 사용하였다. [6]에서는 2개의 1차 임펄스 응답을 컨벌루션(convolution)하여 2차의 임펄스 응답을 얻은 후, 그 계수들의 비율에 따라 서로 다른 크기의 커패시터들을 사용하였다. 지금까지 언급한 이산시간 필터들은 커패시터의 비로써 전하 비율을 조절한다는 측면에서 공간상 이동평균(spatial moving average, SMA)에 기반하는 필터들이다. 그런데 특정한 전하 비율을 얻기 위해 다수의 커패시터를 사용하면 필터의 차수(order)나 탭(tap) 수가 커질 때 커패시터의 개수도 기하급수적으로 증가하여 칩의 크기나 기생 성분들이 문제가 된다.

본 논문에서는 소자들의 개수와 기생 성분을 줄이면서 고차의 이산시간 필터를 구현하기 위해 능동-가중치 전하 샘플링(actively-weighted charge sampling)을 이용하는 새로운 형태의 고차의 시간상 이동평균(temporal moving average) 필터가 제안된다. II장에서는 전하량 제어를 위한 가변 트랜스컨덕턴스 OTA와 고차의 시간상 이동평균 필터의 동작 원리에 대해 자세히 소개한다. III장에서는 II장에서 설명한 가변 트랜스컨덕턴스 OTA와 고차 시간상 이동평균 필터의 시뮬레이션 결과 및 분석이 제시된다. 끝으로, IV장에서는 제안된 이산시간 필터의 성능과 특징이 요약된다.

II. 능동-가중치 전하 샘플링을 이용한 고차의 이산시간 필터

2.1 제안하는 이산시간 필터의 구조

1차-N입력 이동평균(MA-N)은 연속된 N개의 입력들을 서로 같은 비율로 더하여 얻을 수 있으며, sinc 형태와 유사한 주파수 응답 특성을 얻을 수 있기 때문에 이산시간 필터의 구현에 이용된다^[4-6].

$$y[n] = x[n-N+1] + x[n-N+2] + \dots + x[n]$$

$$H(z)_{MA-N} = \frac{Y(z)}{X(z)} = 1 + z^{-1} + \dots + z^{-(N-1)} \quad (1)$$

$$|H(f)_{MA-N}| = \left| \frac{\sin(N\pi f)}{\sin(\pi f)} \right|$$

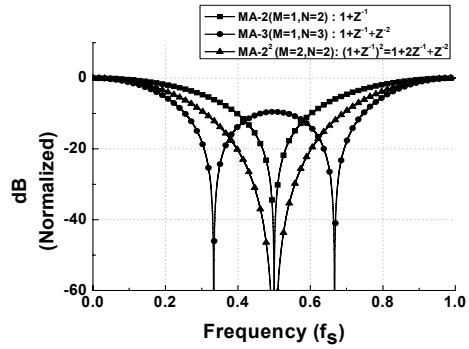


그림 1. TMA- N^M 의 주파수 응답 특성
Fig. 1. Frequency response of TMA- N^M .

이러한 주파수 응답의 감쇠 특성을 더욱 향상시키기 위해서는 고차의 이동평균 연산이 필요하며 1차의 임펄스 응답을 (M-1)번 컨벌루션하여 얻어진다.

$$h(t)_{MA-N^M} = h(t)_{MA-N} * h(t)_{MA-N} * \dots * h(t)_{MA-N} \quad (2)$$

식 (2)를 주파수 영역에서 표현하면 1차의 주파수 응답의 M제곱 형태가 된다.

$$|H(f)_{MA-N^M}| = |H(f)_{MA-N}|^M = \left| \frac{\sin(N\pi f)}{\sin(\pi f)} \right|^M \quad (3)$$

최종적인 M차-N입력 이동평균(MA- N^M)의 탭 수는 식 (4)와 같다.

$$\text{Number of taps} = \text{number of inputs} = M(N-1)+1 \quad (4)$$

1차-N입력 시간상 이동평균(TMA-N)은 연속된 전하를 같은 비율로 하나의 커패시터에 축적하고 이를 한번에 읽어내는 샘플링을 말하며 그 시스템 응답은 식 (1)과 동일하다. 반면에, 고차의 시간상 이동평균은 TMA-N의 임펄스 응답을 시간 영역에서 컨벌루션하여 구해지며 이는 주파수 영역에서의 거듭제곱과 같다. 그 결과, MA-N과는 달리 $M(N-1)+1$ 개의 입력들을 갖게 되며 그 계수들의 크기도 서로 다르다. 한편, TMA- N^M 의 주파수 응답은 MA- N^M 의 주파수 응답 특성과 동일하며 그림 1에 제시된다. 샘플링 주파수(f_s)를 주기로 (N-1)개의 null이 f_s/N 마다 나타나며 차수가 증가할수록 null의 깊이와 대역폭도 함께 증가한다.

고차의 시간상 이동평균을 구현하려면 하나의 커패시터에 샘플링되는 전하의 비율이 달라져야 하는데, 일반적인 전하 샘플링을 이용하는 시간상 이동평균 구조는 고정된 커패시터를 사용하므로 입력 전하의 비율 조

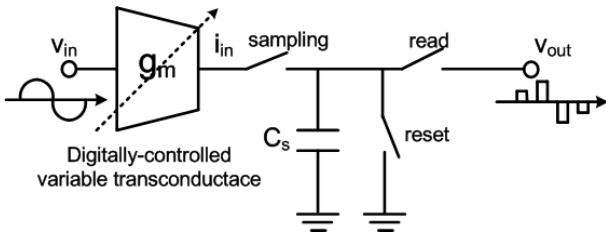


그림 2. 능동 가중치 전하 샘플링
Fig. 2. Actively-weighted charge sampling.

절이 어려웠다. 만일, 전하의 비율이 커패시터에 축적되기 이전에 샘플러 앞단에서 자유롭게 조절되면 시간상 이동평균 형태로 고차의 이산시간 필터의 구현이 가능해진다.

본 논문에서는 고차의 시간상 이동평균을 위해 그림 2와 같이 OTA의 트랜스컨덕턴스(g_m)의 변화로써 전하의 비율을 조절할 수 있는 능동-가중치 전하 샘플링이 제안된다. OTA의 트랜스컨덕턴스가 샘플링 클락에 따라 변하므로 샘플링되는 전하 q_{in} 은 식 (5)와 같다.

$$q_{in}[n] = \int_{nT_w}^{(n+1)T_w} \alpha_n g_m v_{in}(t) dt = \alpha_n q_{in0}[n] \quad (5)$$

여기에서 T_w 는 창문형 적분의 적분 시간이며, q_{in0} 는 비율 변화 없이 축적되는 전하이다. 그러므로 전하량은 OTA에 의해 “능동적”으로 제어되며, 이를 통해 고차의 시간상 이동평균 연산이 가능해진다. 최종적인 출력 전압(v_{out})은 서로 다른 가중치(a_0, a_1, \dots, a_{N-1})가 부여된 입력 전하에 의해 발생한 전압들의 합으로 나타난다.

$$v_{out} = \frac{\alpha_0 q_{in0}[k] + \alpha_1 q_{in0}[k-1] + \dots + \alpha_{N-1} q_{in0}[k-(N-1)]}{C_s} = v_{out}[k] + v_{out}[k-1] + \dots + v_{out}[k-(N-1)] \quad (6)$$

제안된 능동-가중치 전하 샘플링을 이용하는 고차의 이산시간 필터는 통상적인 이산시간 필터들에 비해 여러 가지 장점이 있다. 첫째로, 필터의 차수 변경이 비교적 용이하며 공정 변화에 무관하게 일정한 트랜스컨덕턴스를 생성해 낼 수 있다. 왜냐하면, 트랜스컨덕턴스를 제어하여 전하의 비율을 원하는 대로 조절이 가능하므로 스위치들과 커패시터로 구성되는 기본적인 전하 샘플러의 구조를 변형시키거나 개수를 증가시킬 필요가 없다. 또한, OTA의 트랜스컨덕턴스를 변화시키기 위해서 크기가 다른 제어 트랜지스터들(control transistors)을 선택하여 사용하므로 바이어스 전압을 변화시키는

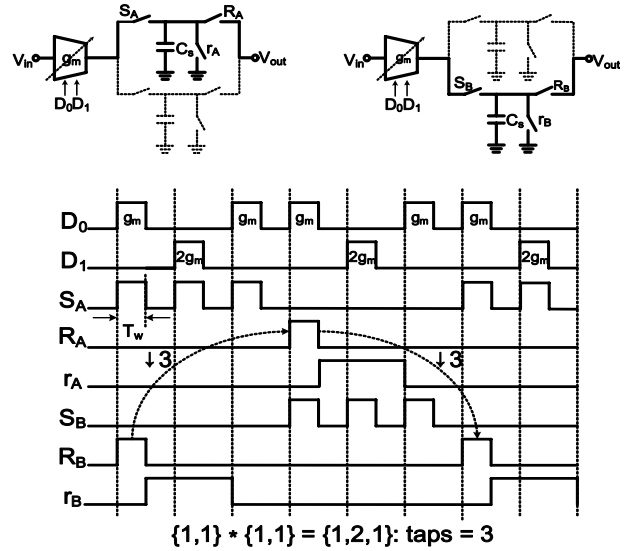


그림 3. TMA-2²의 동작
Fig. 3. Operation of TMA-2².

방법에 비해 보다 안정적으로 트랜스컨덕턴스를 조절할 수 있다. 둘째로, 샘플러의 전압 이득이 증가하게 된다. 이는 시간상 이동평균 연산에서는 샘플링 커패시터에서 전하간의 공유가 발생하지 않기 때문이다. 공간상 이동평균 연산은 여러 커패시터들에 공간적으로 나누어서 저장된 전하를 함께 읽어내므로 전하들이 서로 공유된다. 하지만, 시간상 이동평균 연산은 샘플링과 전압을 읽는 모든 동작들이 하나의 커패시터에서 수행되므로 전하들이 공유되지 않는다. 또한, 높은 전압 이득은 큰 트랜스컨덕턴스를 갖는 OTA의 설계 부담을 경감시켜 주며 샘플러 다음단의 아날로그-디지털 변환을 위해 필요한 전압 증폭기의 필요성도 줄일 수 있다. 끝으로, 제안하는 필터는 작은 크기로 구현이 가능하며 기생 성분의 발생을 최소화할 수 있다. 일반적으로 시간상 이동평균 필터는 동일한 차수의 공간상 이동평균 필터에 비해 필요한 스위치와 커패시터들의 개수가 적다. 그러므로 주파수 응답 특성을 부정확하게 만들며 출력 파형의 왜곡을 야기하는 원하지 않는 저항이나 커패시턴스의 발생이 근본적으로 줄어든다. 설계된 가변 트랜스컨덕턴스 OTA와 트랜스컨덕턴스의 특성은 2.3절에서 설명된다.

2.2 2차-2입력 시간상 이동평균(TMA-2²)

제안된 능동-가중치 전하 샘플링을 이용하는 고차의 시간상 이동평균의 동작 원리를 설명하기 위해, 간단한 2차-2입력 시간상 이동평균(TMA-2²)이 그림 3에서 설

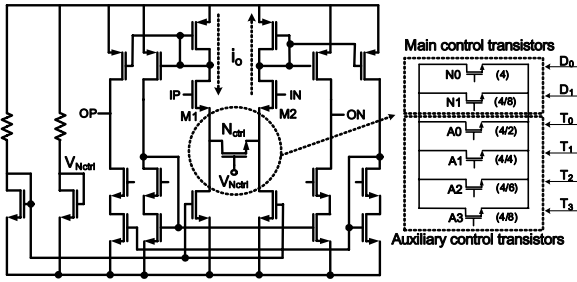


그림 4. 가변 트랜스컨덕턴스 OTA
Fig. 4. Variable transconductance OTA.

명된다. 우선, 시스템의 임펄스 응답은 $\{1,2,1\}$ 이며 $\{1,1\} * \{1,1\}$ 을 통해 구할 수 있다. 다음으로 1:2:1의 비율로 트랜스컨덕턴스를 조절할 수 있는 가변 트랜스컨덕턴스 OTA가 필요하며, 트랜스컨덕턴스를 시스템의 샘플링 클락에 맞게 원하는 비율로 가변시켜 주기 위해 제어 신호(D_0D_1)가 필요하다. 3개의 스위치와 하나의 샘플링 커패시터(C_S)로 구성된 기본적인 전하 샘플러는 효율적인 동작을 위해 2개가 교대로 사용된다. 구체적인 동작을 살펴보면, 그림 3의 왼쪽 상단에 표현된 것처럼 위쪽 샘플러가 먼저 동작하게 되며 이 동안에는 S_A 에 의해 처음 3개의 입력들이 샘플링된다. 이 때, OTA의 트랜스컨덕턴스는 D_0 와 D_1 에 의해 1:2:1의 비율로 변화된다. OTA에 의해 가중치가 부여된 전하는 C_S 에 순차적으로 저장된 후 R_A 에 의해 전압으로 출력되며 r_A 로 초기화된다. 한편, 위쪽 샘플러의 커패시터에 저장된 전하를 읽고 초기화하는 동안에 아래쪽의 샘플러가 동작하게 되며 S_B , R_B , r_B 에 의해 이전 샘플링 주기 동안의 동작들이 동일하게 반복된다. 최종 출력은 한 샘플러에서 한 주기 동안의 샘플링이 끝난 후에 다른 샘플러가 동작하게 되므로 필터의 탭 수만큼 데시메이션이 된다. 예를 들어, TMA-2²의 출력은 3-데시메이션된다.

결론적으로, 가변 트랜스컨덕턴스 OTA를 이용하면 전하량의 능동적인 조절을 통해 고차의 시간상 이동평균이 가능해지며, 트랜스컨덕턴스의 변화에 따라 다양한 입력과 차수의 시간상 이동평균을 자유롭게 구현할 수 있다.

2.3 가변 트랜스컨덕턴스 증폭기 설계

일반적으로, 트랜스컨덕턴스는 식 (7)과 같이 선형 영역(triode-region)에서 동작하는 트랜지스터의 게이트(gate)와 소스(source)에 인가되는 전압(V_{GS})에 따라 변

화된다.

$$g_m = \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{th}) \quad (7)$$

하지만, 제안된 OTA는 다른 크기의 트랜스컨덕턴스를 보다 안정적으로 생성하기 위해 그림 4와 같이 2개의 주 제어 트랜지스터들(main control transistors)인 N_0 와 N_1 을 사용하였다. 주 제어 트랜지스터들의 크기는 필터의 임펄스 응답에 따라 원하는 트랜스컨덕턴스를 얻을 수 있도록 정해지며 2-비트 디지털 신호인 D_0D_1 으로 제어된다. 또한, 실제 구현 시에 발생할 수 있는 트랜스컨덕턴스의 오차를 보상하기 위해 4개의 보조 제어 트랜지스터들($A_0 \sim A_3$)을 사용하였다. 설계된 보조 제어 트랜지스터들은 N_1 의 트랜스컨덕턴스를 미세하게 변화시킬 수 있도록 D_1 에 동기화되며 각 트랜지스터는 4-비트 제어 신호($T_0T_1T_2T_3$)에 의해 선택된다. 제어 트랜지스터들의 트랜스컨덕턴스인 $g_{m,ctrl}$ 은 식 (8)과 같다.

$$\begin{aligned} g_{m,ctrl} &= \sum_{j=0}^1 D_j g_{m,ctrl,j} = D_0 g_{m,ctrl,0} + D_1 g_{m,ctrl,1} \\ g_{m,ctrl,0} &= g_{m,N_0} g_{m,ctrl,1} = g_{m,N_1} + g_{m,A} \\ g_{m,A} &= \sum_{i=0}^3 T_i g_{m,A_i} = T_0 g_{m,A_0} + T_1 g_{m,A_1} + T_2 g_{m,A_2} + T_3 g_{m,A_3} \end{aligned} \quad (8)$$

여기에서, $g_{m,ctrl,0}$ 와 $g_{m,ctrl,1}$ 은 제어 트랜지스터인 N_0 와 N_1 의 트랜스컨덕턴스이며, $g_{m,A}$ 는 보조 제어 트랜지스터의 트랜스컨덕턴스이다. 만약 M_1 과 M_2 의 크기와 바이어스 전압이 같다면, OTA의 전체 트랜스컨덕턴스는 제어 트랜지스터들의 크기($g_{m,ctrl}$)에 의해 결정된다.

$$g_{m,OTA} \cong \frac{1}{1/g_{m,M_1} + 1/g_{m,M_2} + 1/g_{m,ctrl}} \quad (9)$$

예를 들어, OTA의 트랜스컨덕턴스가 1:2의 비율로 변한다면 입력 트랜지스터의 크기가 고정된 상태에서 N_0 와 N_1 의 크기는 식 (10)과 같이 정해진다.

$$\begin{aligned} g_{m,OTA(0)} &= \frac{1}{1/2g_{m,M} + 1/g_{m,ctrl,0}} \\ g_{m,OTA(1)} &= \frac{1}{1/2g_{m,M} + 1/g_{m,ctrl,1}} \\ 1/g_{m,ctrl,1} &= \frac{1/g_{m,ctrl,0} - 1/g_{m,M}}{2}, (1/g_{m,M(2)} = 1/2g_{m,M}) \end{aligned} \quad (10)$$

제안된 OTA는 제어 트랜지스터들의 크기의 변화만으로써 원하는 트랜스컨덕턴스를 쉽게 얻을 수 있다.

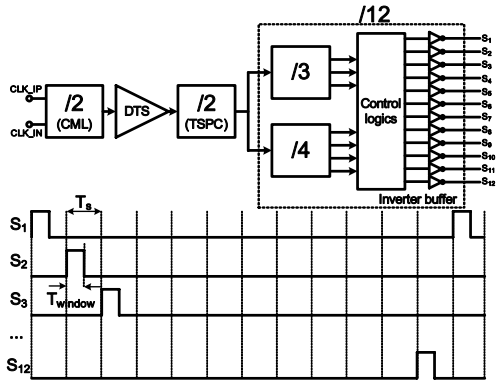


그림 5. 클락 생성
Fig. 5. Clock generation.

일반적으로, 트랜지스터들의 크기 비율은 공정 변화나 외부 환경에도 비교적 일정하게 유지될 수 있다. 또한, 제한하는 OTA는 서로 다른 종류의 트랜스컨덕턴스 생성을 위해 동일한 OTA를 여러 개 사용하는 것이 아니라 샘플링할 때에만 크기가 다른 제어 트랜지스터들을 사용하여 트랜스컨덕턴스를 조절하므로 소모 전류를 크게 줄일 수 있는 장점이 있다.

2.4 기타 회로

클락은 그림 5와 같은 방법으로 생성된다. 클락 생성기는 디바이더들, 차동-단일 변환기(DTS), 논리 회로들 및 인버터 버퍼로 구성된다. 기본적으로 CLK_IP와 CLK_IN의 두 아날로그 입력은 여러 디바이더들과 논리 회로들을 통해서 최종적으로 S₁, S₂, S₃, ...S₁₂의 디지털 출력으로 생성되며 TMA-2²의 연산을 위해 필요한 기본적인 12개의 클락들이다. 그림 3에 표현된 실제 샘플링 클락들은 이러한 기본 클락들을 논리 회로를 통해 조합하여 최종적으로 생성된다. 특히, 전하를 샘플링하는 클락들(S_A, S_B)은 non-overlap 동작을 위해 서로 50%의 duty를 갖도록 설계되었다. 반면에 read 클락들과 초기화 클락들은 서로 인접하여 생성되는데, 이는 read와 초기화 사이의 구간에서 발생할 수 있는 스위치의 전하 유입(charge injection)과 같은 비이상적 현상을 줄이기 위함이다. 설령 read 클락의 마침과 초기화 클락의 시작 사이에 일부 중첩이 발생하더라도 전체 샘플러의 동작에는 큰 영향을 미치지 않는다. 한편, 출력단에 위치한 인버터 버퍼들은 커패시턴스가 큰 부하를 구동할 때에 클락 파형의 왜곡을 방지하기 위해 추가된다.

III. 시뮬레이션 결과 및 해석

그림 6은 OTA의 출력 전류와 트랜스컨덕턴스에 대한 시뮬레이션 결과이다. N0와 N1의 크기는 입력 트랜지스터의 트랜스컨덕턴스를 고려하여 1:8로 설계되었다. 입력 전압이 2.5 mV일 때, 주 제어 트랜지스터의 크기 변화에 따른 OTA의 출력 전류는 각각 6.74 μA와 13.46 μA이며 이 때 트랜스컨덕턴스의 비는 1:1.997이다. 그림 7은 입력 전압(v_{in})이 1 mV에서 10 mV의 크기로 변화할 때 트랜스컨덕턴스의 비의 변화를 나타낸다. 입력 신호의 크기가 변화하면 트랜스컨덕턴스의 비도 미세하게 변화하는데 이는 OTA의 비선형성과 구현 오차에 따른 결과이다. 실제 설계에서는 N1의 트랜스컨덕턴스가 시뮬레이션 결과보다 열화 될 것으로 예상하여 v_{in}=2.5 mV, T₀T₁T₂T₃=0010일 때 가장 정확한 트랜스컨덕턴스의 비를 가지도록 조절 코드의 범위를 맞추었다. 이 때,

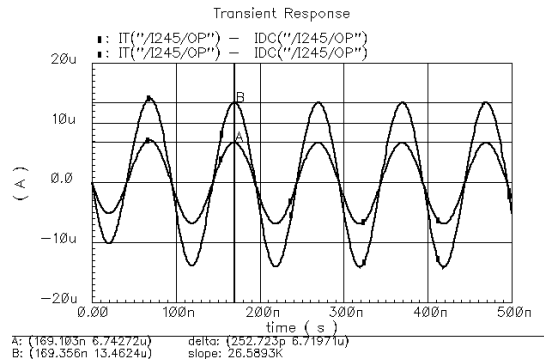


그림 6. 가변 트랜스컨덕턴스 OTA의 출력 전류(v_{in}=2.5 mV, f_{in}=10 MHz, T₀T₁T₂T₃=0010)

Fig. 6. Output current of the variable transconductance OTA(v_{in}=2.5 mV, f_{in}=10 MHz, and T₀T₁T₂T₃=0010).

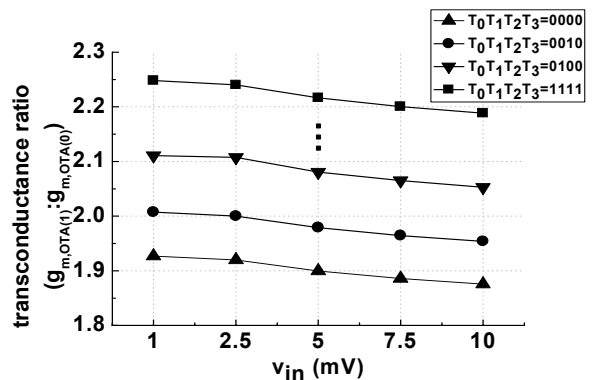


그림 7. 트랜스컨덕턴스의 비율 변화 및 조절 특성 (f_{in}=10 MHz)

Fig. 7. Variation of the transconductance ratio and its tunability(f_{in}=10 MHz).

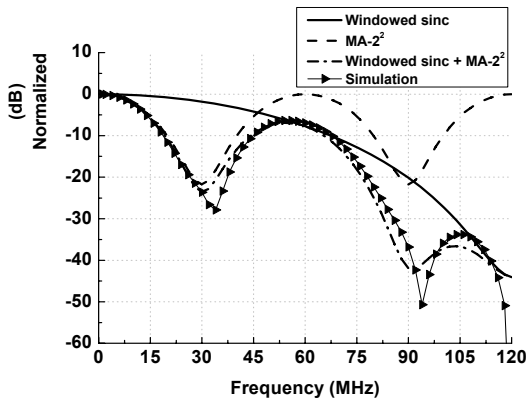


그림 8. TMA-2²의 주파수 응답 특성
($f_s=60$ MS/s, $T_0T_1T_2T_3=0010$)

Fig. 8. Frequency response of TMA-2².
($f_s=60$ MS/s, $T_0T_1T_2T_3=0010$)

입력 전압의 변화에 따른 트랜스컨덕턴스의 비율 ($g_{m,OTA(0)}:g_{m,OTA(1)}$)은 1.95에서 2.007까지 변화하는데 이것은 약 5%의 오차로 거의 일정한 수준이다. 또한, 조절 코드를 달리하더라도 트랜스컨덕턴스의 전체 변화 범위는 거의 일정한데 이는 OTA의 트랜스컨덕턴스가 입력 전압에 상관없이 제어 트랜지스터들의 크기의 비를 통해서 결정되기 때문이다.

제안된 TMA-2²의 주파수 응답 특성에 대한 시뮬레이션 결과는 그림 8에 제시된다. 필터의 주파수 응답 특성은 창문형 적분과 MA-2²연산에 의한 응답들이 더해져서 최종적으로 나타난다. 시뮬레이션에서 사용된 클락들은 $f_w=2 \cdot f_s$ 의 관계를 가지므로 $k \cdot f_w$ (k :정수)에 나타나는 null들은 T_w 만큼 전하를 축적하는 창문형 적분에 의한 *sinc*에 의해 발생하며, $(2k \pm 1) \cdot f_s/2$ 에 나타나는 null들은 f_s 마다 1:2:1의 비율로 입력들을 샘플링하는 MA-2²의 결과이다. 한편, MA-2²에 의한 30 MHz와 90 MHz부근의 두 null의 깊이는 약 -27 dB와 -52 dB이며, 창문형 적분에 의한 null은 120 MHz 부근에서 -60 dB이상의 깊이를 갖는다. 각각의 null의 깊이가 무한히 커지지 않는 이유는 실제 회로로 구현할 때에 발생하는 기생 성분들에 의한 영향 때문이다. 일반적으로, null의 깊이는 OTA의 출력 저항과 기생 커패시턴스의 영향을 받는다. 우선, 창문형 적분으로 인해 발생하는 null의 깊이는 이상적으로는 무한하지만, 실제로는 OTA의 유한한 출력 저항(r_{OTA})에 의해 그 깊이가 감소한다^[3].

$$|H(s)_{sinc}| = \left| \frac{g_m T_w}{C_s} \frac{1 - e^{-\left(s + \frac{1}{r_{OTA} C_s}\right) T_w}}{\left(s + \frac{1}{r_{OTA} C_s}\right) T_w} \right| \quad (11)$$

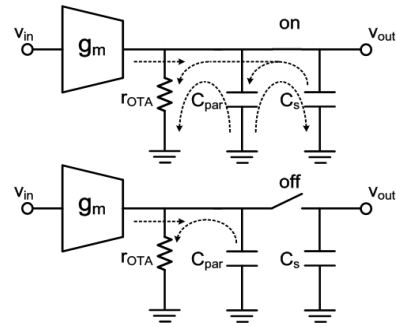


그림 9. 기생 성분들에 의한 전하 유출
Fig. 9. Charge leakage by parasitic components.

또한, 이동평균 때문에 생기는 null의 깊이도 회로의 기생 성분으로 인해 이상적인 결과와는 다르게 나타난다. 그림 9에서 만일 r_{OTA} 가 무한히 크다면, T_w 동안 샘플링 커패시터와 기생 커패시터(C_{par})에 축적되어 있던 전하는 OTA쪽으로 빠져 나가지 않는다. 하지만, 실제로는 OTA의 출력 저항이 유한하므로 전하가 축적되는 동안 두 커패시터에 있던 전하의 일부가 OTA쪽으로 유출된다(charge leakage). 샘플링이 끝난 $T_s - T_w$ 구간에서는 샘플링 스위치가 열려 있으므로 C_{par} 에서의 전하 유출만 존재한다. 이러한 전하의 유출을 고려한 MA-N의 주파수 응답은 식 (12)와 같다^[7].

$$|H(\omega)_{MA-N}| = \left| \sum_{m=0}^{N-1} (h z^{-1})^m \right| = \sqrt{\frac{1 + h^{2N} - 2h^N \cos(N\omega T_w)}{1 + h^2 - 2h \cos(\omega T_w)}} \quad (12)$$

여기에서 h 는 각 입력들의 감쇠비율을 나타내는 변수로서 C_{par} 와 r_{OTA} 의 영향을 받는다.

$$h = \frac{C_s \cdot e^{-\frac{T_w}{r_{OTA}(C_s + C_{par})}}}{C_s + C_{par}} + \frac{C_{par} \cdot e^{-\left(\frac{T_w}{r_{OTA}(C_s + C_{par})} + \frac{(T_s - T_w)}{r_{OTA} C_{par}}\right)}}{C_s + C_{par}} \quad (13)$$

식 (13)의 첫 번째 항은 샘플링 구간 동안 C_s 에 축적되어 있던 전하가 C_{par} 와 OTA쪽으로 유출되면서 감쇠되는 정도를 나타내며, 두 번째 항은 샘플링이 끝난 후 다음 샘플링 이전까지 C_{par} 로부터 OTA쪽에서의 전하의 유출을 의미한다. 식 (12)로부터 MA-2²의 주파수 응답 특성은 다음과 같이 얻을 수 있다.

$$|H(\omega)_{MA-2^2}| = \left| \frac{1 + h^4 - 2h^2 \cos(2\omega T_w)}{1 + h^2 - 2h \cos(\omega T_w)} \right| \quad (14)$$

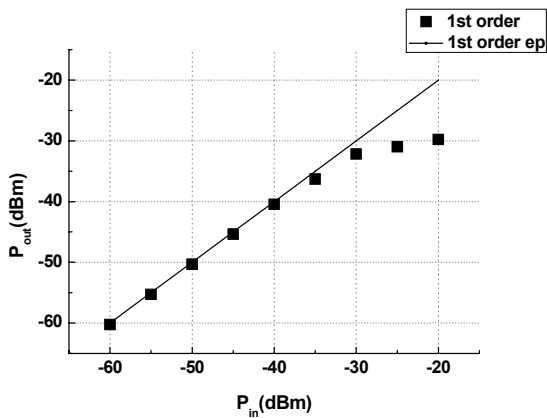


그림 10. P1dB 시뮬레이션 결과
 ($f_{in}=10$ MHz, $f_s=60$ MS/s, $T_0T_1T_2T_3=0010$)
 Fig. 10. Simulated P1dB($f_{in}=10$ MHz, $f_s=60$ MS/s, and $T_0T_1T_2T_3=0010$).

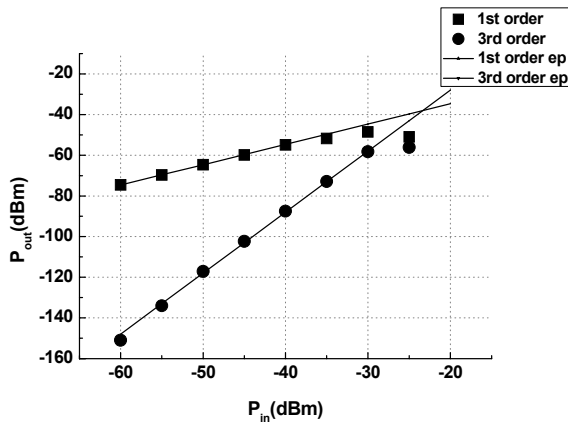


그림 11. IIP3 시뮬레이션 결과($f_{in1}=12.5$ MHz, $f_{in2}=25$ MHz, $f_s=60$ MS/s, $T_0T_1T_2T_3=0010$)
 Fig. 11. Simulated IIP3($f_{in1}=12.5$ MHz, $f_{in2}=25$ MHz, $f_s=60$ MS/s, and $T_0T_1T_2T_3=0010$).

그림 8에서 창문형 적분과 MA-2²의 null들은 모두 유한한 깊이를 가지는데 이는 앞서 언급한 기생 성분들의 영향이 반영된 결과이다. 필터의 전체적인 응답 특성은 식 (11)과 (14)로부터 계산된 두 응답 특성들의 합과 비교적 잘 일치한다. 이 때, $C_s=2$ pF, $T_s=1/60$ μ s, $r_{OTA}=20$ k Ω 이며 $C_{par}=500$ fF으로 가정하였다. 만약 r_{OTA} 가 커지고 C_{par} 이 감소하면 필터의 null의 깊이는 더욱 증가한다. 한편, $f_s=60$ MS/s일 때 MA-2²에 의한 두 null들은 각각 30 MHz와 90 MHz에 존재해야 하는데 실제로는 각각 33 MHz와 93 MHz부근에 나타난다. 일반적으로 이동평균에 의한 null들이 원래의 주파수로부터 벗어나는 이유는 샘플링되는 전하의 비율 오차 때문이다. 설계된 OTA의 트랜스컨덕턴스는 입력 트랜지스터들의 트랜스컨덕턴스가 고정된 상태에서 제어 트랜지스터의

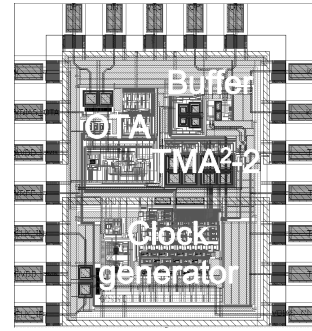


그림 12. TMA-2²의 layout(1050×1120 μ m²)
 Fig. 12. Layout of TMA-2²(1050×1120 μ m²).

크기의 비로써 정해진다. 따라서 입력 트랜지스터의 부정합이 존재하면 식 (10)처럼 표현되는 주 제어 트랜지스터들의 크기가 변하게 되어 OTA의 트랜스컨덕턴스가 달라진다. 또한, 설계된 샘플링 클락들의 duty의 오차에 의해서도 커패시터에 축적되는 전하의 비율이 달라질 수 있다. 물론, 작은 크기의 보조 제어 트랜지스터들을 많이 사용하면 구현 오차나 기생 성분들에 의한 비이상적 특성들을 더욱 정확히 보정할 수 있지만 칩 크기 또한 증가한다. 본 논문에서는 우선적으로 능동-가중치 전하 샘플링의 동작을 검증하기 위해 4개의 보조 제어 트랜지스터만을 사용하였다.

설계된 이산시간 필터의 선형성은 그림 10과 그림 11에 제시된다. 입력 신호로 10 MHz의 신호를 인가하였을 때에 P1dB는 -32.5 dBm이며 IIP3는 12.5 MHz와 25 MHz의 두 입력 신호를 동시에 인가했을 때에 약 -23.7 dBm이다. 전체적으로 필터의 선형 특성이 다소 낮은 이유는 r_{OTA} 에 의해 발생하는 기생 효과를 줄이기 위해 OTA의 출력단을 cascode 형태로 설계하였기 때문이다. 제어 트랜지스터들은 OTA의 선형성에 큰 영향을 미치지 않으므로 제안하는 샘플링을 folded cascode

표 1. TMA-2²의 성능 요약

Table 1. TMA-2² performance summary.

항목	[8]	Proposed TMA-2 ²
공정	90-nm CMOS	0.18- μ m CMOS
전원 전압	1.2 V	1.8 V
소모 전류	13.8 mA	9.7 mA
전압 이득	29 dB	16.7 dB($f_s=60$ MS/s)
P1dB	-32 dBm	-32.5 dBm($f_{in}=10$ MHz)
IIP3	-22 dBm ($f_{in1}=100$ MHz, $f_{in2}=101$ MHz)	-23.7 dBm ($f_{in1}=12.5$ MHz, $f_{in2}=25$ MHz, $f_s=60$ MS/s)
칩 크기	0.27 mm ² (core only)	1.18 mm ²

와 같이 보다 선형적인 OTA 구조에 적용하면 필터의 P1dB와 IIP3는 더욱 향상될 것이다.

TMA-2² 이산시간 필터는 TSMC 0.18- μm CMOS 공정으로 그림 12와 같이 구현되었다. 측정을 위한 출력 버퍼가 소스-팔로워(source follower)형태로 설계되었으며 전체 칩의 크기는 1050 \times 1120 μm^2 이다. 클락 생성기는 샘플링에 필요한 모든 클락들을 내부적으로 만들어 직류 전류 소모는 약 3.32 mA이다. 구현된 칩의 전체적인 성능은 표 1에 요약된다.

IV. 결 론

본 논문에서는 능동-가중치 전하 샘플링을 사용하는 고차의 이산시간 필터가 제안되었다. 고차의 필터링 특성을 얻기 위해 샘플러의 각 입력 전하의 비율은 OTA의 트랜스컨덕턴스의 변화에 의해 조절된다. 가변 트랜스컨덕턴스 OTA는 제어 트랜지스터들의 크기의 비로써 전하들에 대한 가중치를 능동적으로 변화시킬 수 있다. 제안하는 고차의 시간상 이동평균 필터는 기존의 공간상 이동평균 필터보다 높은 재구성성(reconfigurability)과 확장성(scalability)을 갖게 된다. 또한, 회로내의 스위치와 샘플링 커패시터의 개수가 줄어들어 전체 칩의 크기와 기생 성분을 줄일 수 있다.

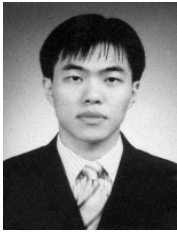
참 고 문 헌

- [1] Z. Ru, E. Klumperink, and B. Nauta, "On the Suitability of Discrete-Time Receivers for Software-Defined Radio," *IEEE Int. Symp. Circuits Syst.*, pp. 2522-2525, May 2007.
- [2] G. Xu and J. Yuan, "Performance Analysis of General Charge Sampling," *IEEE Trans. Circuits Syst.*, vol. 52, no. 2, pp. 107-111, Feb. 2005.
- [3] A. Mirzaei, S. Chehrazi, R. Bagheri, and A. Abidi, "Analysis of First-Order Anti-Aliasing Integration Sampler," *IEEE Trans. Circuits Syst.*, vol. 55, no. 10, pp. 2994-3005, Nov. 2008.
- [4] R. B. Staszewski, K. Muhammad, D. Leipold, et al., "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2278-2291, Dec. 2004.
- [5] D. Jakonis, K. Folkesson, J. Dbrowski, et al., "A 2.4-GHz RF Sampling Receiver Front-end in 0.18- μm CMOS," *IEEE J. Solid-State Circuits*,

vol. 40, no. 6, pp. 1265-1277, Jun. 2005.

- [6] R. Bagheri, A. Mirzaei, S. Chehrazi, et al., "An 800-MHz-6-GHz Software-Defined Wireless Receiver in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2860-2876, Dec. 2006.
- [7] L. Ning, C. Win, O. Kenichi, et al., "Analysis of CMOS Transconductance Amplifiers for Sampling Mixers," *IEEE Trans. Electron*, vol. E91-C, no. 6, pp. 871-878, Jun. 2008.
- [8] A. Yoshizawa and S. Iida, "A 250-MHz cutoff charge-domain baseband filter with improved stopband attenuations," *IEEE RFIC Symp.*, pp. 491-494, Jun. 2009.

— 저 자 소 개 —



신 수 환(학생회원)
 2005년 경북대학교 전자공학과
 학사 졸업.
 2007년 한국과학기술원
 전기 및 전자공학과 석사
 졸업.
 2007년~2009년 삼성전자 연구원
 2009년~현재 한국과학기술원 전기 및
 전자공학과 박사 과정.

<주관심분야 : RF system, reconfigurable RFIC,
 digital RF, wireless SoC>



조 용 호(학생회원)
 2009년 경북대학교 전자공학과
 학사 졸업.
 2012년 한국과학기술원
 전기 및 전자공학과 석사
 졸업.

<주관심분야 : RF system, reconfigurable RFIC,
 digital RF, wireless SoC>



조 성 훈(학생회원)
 2011년 한국과학기술원 전기 및
 전자공학과 학사 졸업.
 2011년~현재 한국과학기술원
 전기 및 전자공학과 석사
 과정.

<주관심분야 : RF system, Reconfigurable RFIC,
 Wireless SoC>



유 형 준(평생회원)
 1979년 서울대학교 물리학과 학사
 졸업.
 1990년 한국과학기술원 물리학과
 석사 졸업.
 1994년 한국과학기술원 물리학과
 박사 졸업.

1979년~1982년 국방과학연구소 연구원
 1983년~1997년 한국전자통신연구원 책임연구원
 1998년~2009년 한국정보통신대학교 교수
 2009년~현재 한국과학기술원 교수
 <주관심분야 : RF 회로 및 시스템,
 reconfigurable RFIC, digital RF, nonlinear
 system>