

논문 2012-49SD-1-3

Switched-Capacitor 지연 기법의 새로운 고해상도 DPWM 발생기를 이용한 Dynamic-Response-Free SMPS

(Dynamic-Response-Free SMPS Using a New High-Resolution DPWM Generator Based on Switched-Capacitor Delay Technique)

임 지 훈*, 박 영 균*, 위 재 경**, 송 인 채**

(Ji-Hoon Lim, Young-Kyun Park, Jae-Kyung Wee, and Inchaee Song)

요 약

본 논문에서는 Switched-Capacitor 지연 기법의 새로운 고해상도 DPWM 발생기를 사용한 Dynamic-Response-Free SMPS를 제안한다. 제안된 회로는 Switched-Capacitor 지연 기법을 이용한 DPWM 발생기의 내부 커패시터 전압 기울기를 제어하는 방식으로 DPWM의 duty ratio를 결정한다. 제안된 회로는 컨버터의 피드백 전압과 기준전압을 비교하여 DPWM 발생기의 내부 커패시터에 충전되는 전류량을 제어하는 방식으로 출력전압 tracking이 가능하다. 따라서 제안된 회로는 기존 closed loop 제어 방식의 SMPS들에서 문제점이 되고 있는 동적 응답특성을 고려할 필요가 없으며, 출력 전압에 overshoot/undershoot로 인한 ringing 현상이 발생하지 않는다는 큰 장점을 가진다. 제안된 회로는 1MHz~10MHz까지 스위칭 주파수를 사용자가 선택할 수 있으며, 100MHz의 내부 제어 동작 주파수로 10MHz 최대 스위칭 주파수(DPWM) 발생이 가능하다. 100MHz의 내부 제어 동작 주파수를 사용하여 10MHz 스위칭 주파수 발생시 소모되는 내부 회로의 최대 전류는 2.7mA이며, 출력 버퍼를 포함한 전체 시스템의 전류 소모는 15mA이다. 제안된 회로는 0.125%의 DPWM duty ratio 해상도를 가지고 부하에 최대 1A까지 전류공급이 가능하며, 최대 리플 전압은 8mV이다. 동부하이텍 BCD 0.35 μ m 공정 파라미터를 이용해 시뮬레이션을 수행하여 제안된 회로의 동작을 검증하였다.

Abstract

In this paper, we suggest the dynamic-response-free SMPS using a new high-resolution DPWM generator based on switched-capacitor delay technique. In the proposed system, duty ratio of DPWM is controlled by voltage slope of an internal capacitor using switched-capacitor delay technique. In the proposed circuit, it is possible to track output voltage by controlling current of the internal capacitor of the DPWM generator through comparison between the feedback voltage and the reference voltage. Therefore the proposed circuit is not restricted by the dynamic-response characteristic which is a problem in the existing SMPS using the closed-loop control method. In addition, it has great advantage that ringing phenomenon due to overshoot/undershoot does not appear on output voltage. The proposed circuit can operate at switching frequencies of 1MHz~10MHz using internal operating frequency of 100 MHz. The maximum current of the core circuit is 2.7 mA and the total current of the entire circuit including output buffer is 15 mA at the switching frequency of 10 MHz. The proposed circuit has DPWM duty ratio resolution of 0.125 %. It can accommodate load current up to 1 A. The maximum ripple of output voltage is 8 mV. To verify operation of the proposed circuit, we carried out simulation with Dongbu Hitek BCD 0.35 μ m technology parameter.

Keywords : SMPS, DPWM, Dynamic-Response-Free, Switched-Capacitor, High-Efficiency, Low-Power

* 학생회원, ** 정회원, 송실대학교 정보통신전자공학부

(School of Electronics Engineering, Soongsil University)

※ 본 연구는 지식경제부가 지원하는 산업융합원천기술개발사업을 통해 개발된 결과임을 밝힙니다. (10039239, “스마트폰 및 스마트 디바이스를 위한 다중 배터리셀 다중 에너지원 지원 전력 관리 시스템 SoC 개발”)

접수일자: 2011년10월6일, 수정완료일 2012년1월5일

I. 서 론

최근 디지털 제어 방식의 SMPS(Switching Mode Power Supply)에 대한 관심이 높아지고 있다. 기존의 아날로그 제어 방식은 설계가 복잡하고 응용범위가 한정되어 있어서 개발시간과 비용이 추가로 드는 단점이 있기 때문이다. 하지만 디지털 제어 방식은 외부 출력 조절을 위한 LC 필터와 소수 개별 소자 외에는 많은 부품을 필요로 하지 않는다. 또한 디지털 SMPS는 전원 잡음에 대한 면역성이 좋고, 정상 상태 및 동적(dynamic) 성능이 우수하여 아날로그에 비해 쉽게 구현이 가능하다는 장점을 가지고 있다^[1~5]. 그러나 디지털 제어 방식은 출력전압의 안정성을 위한 DPWM(Digital Pulse Width Modulator)의 해상도를 높이기 위해 높은 동작 주파수를 요구한다는 단점을 가진다. 이러한 높은 동작 주파수는 시스템의 전력소모를 기하급수적으로 증가시키기 때문에 SMPS의 효율을 나빠지게 하여 결국 SMPS의 스위칭 주파수를 증가시키는 데에 제약이 따른다.

기존의 이러한 문제를 해결하기 위해 counter 기반의 DPWM^[1]과, delay line 기반의 DPWM^[2~3] 그리고 Hybrid DPWM^[4,6] 방식이 연구 되어 왔다. 하지만 이러한 노력에도 불구하고, 동작 주파수의 감소는 여전히 미미한 실정이다. counter/delay-line/Hybrid 기반의 DPWM 발생기 같은 기존의 구조는 DPWM의 고해상도 duty ratio를 위해 여전히 높은 동작 주파수(많은 전력소모)와 큰 면적을 요구하고 있기 때문이다. 따라서 디지털 제어 방식의 SMPS는 저전력을 요구하는 휴대용 시스템에는 사용되지 못하고 있다.

최근 기존의 DPWM 제어 방식에서 나타나는 문제점을 해결하기 위해 저전력 고주파수 동작이 가능한 Sigma-Delta(Σ - Δ) modulator 방식들이 주로 연구되고 있다^[7~9]. 하지만 Σ - Δ ADC(Analog-to-Digital Converter) 방식의 DPWM은 전원전압 잡음 및 잡음변형필터 계수에 의한 영향에 민감하기 때문에 ADC의 성능이 크게 저하된다는 단점을 가진다. 또한 Δ - Σ ADC 방식은 전압 제어 루프의 대역폭(bandwidth)이 넓지 못하기 때문에 동적 응답특성을 개선하기 위한 해결책이 필요하다는 문제점도 가지고 있다^[7~9].

본 논문에서는 앞에서 언급된 문제점을 해결하기 위해 새로운 Switched-Capacitor 지연 기법의 고해상도 DPWM 발생기를 사용한 Dynamic-Response-Free

SMPS를 제안한다. 본 논문에서 제안된 Switched-Capacitor 지연 기법을 이용한 DPWM 발생기는 기존의 SMPS들이 출력전압에 대응하기 위해 closed loop 제어 방식을 선택하여 응답특성에 따라 출력전압에 overshoot/undershoot로 인한 ringing 현상이 발생하는 것과 달리 단순히 출력전압을 tracking 하는 방식이기 때문에 ringing 현상이 발생하지 않는다. 제안된 회로는 단지 비교기의 출력전압 상태(high/low)에 따라 전류셀의 on/off를 결정하여, DPWM 발생기의 내부 커패시터에 충전되는 전류량을 제어하는 방식으로 DPWM을 발생시키기 때문에 출력전압 tracking이 가능한 것이다. 따라서, 제안된 회로는 기존의 closed loop 제어 방식에서 문제점이 되고 있는 동적 응답특성을 고려할 필요가 없다는 큰 장점을 가진다.

본 논문에서 제안된 Switched-Capacitor 지연 방식의 DPWM 발생기는 1MHz~10MHz까지 스위칭 주파수를 사용자가 선택할 수 있으며, 100MHz의 내부 제어 동작 주파수로 10MHz 컨버터 스위칭 주파수 발생이 가능하다. 또한 제안된 DPWM 발생기의 duty ratio 해상도는 0.125%이며, 100MHz의 내부 제어 동작 주파수를 사용하여 10MHz 스위칭 주파수 발생시 소모되는 최대 전류는 15mA이다. 제안된 회로의 최대 리플 전압은 8mV이며, 부하에 최대 효율 98%로 1A까지 전류공급이 가능하다. 제안된 회로의 검증을 위해 동부하이텍 BCD 0.35 μ m 공정 파라미터를 이용해 시뮬레이션을 수행하였다.

II. Switched-Capacitor delay 기법의 DPWM 발생기를 이용한 SMPS

그림 1은 본 논문에서 제안하고 있는 Switched-Capacitor 지연 기법의 DPWM 발생기를 이용한 SMPS의 전체 시스템 블록도를 보여준다. 제안된 SMPS는 비교기, Error 신호 변화 감지기, 클럭 발생기, Divider, Mux, 디지털 제어부 및 전류셀, Switched-Capacitor 지연 기법의 DPWM 발생기, Buffer 및 Dead-Time 제어부, 외부 출력 조절을 위한 LC 필터와 소수 개별 소자로 구성된다.

비교기는 컨버터의 피드백 전압(FB)과 기준전압(Vref) 사이에 비교된 출력신호(high/low)에 따라 디지털 제어 블록의 동작 상태를 결정하기 위해 사용된다. 비교기의 출력이 high 전압을 발생하면 디지털 제어부

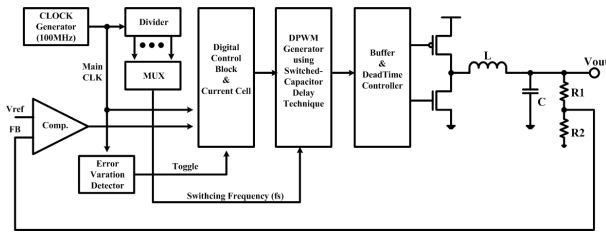


그림 1. 전체 시스템 블록도.
Fig. 1. Block diagram of the system.

는 전류셀을 순차적으로 on 시키면서 내부 커패시터의 충전 전류량을 증가시키고, low 전압을 발생하면 전류셀을 순차적으로 off 시키면서 내부 커패시터의 충전 전류량을 감소시킨다. Error 변화 감지기는 비교기의 출력 신호를 모니터링 하면서, 출력 신호가 high에서 low로 변화하거나 또는 low에서 high로 변화하는 것을 감지한다. 즉, 비교기 출력 신호의 이전값(past value)과 현재값(present value)이 서로 달라지는 순간에 토글 신호를 발생시킨다.

클럭발생기는 100MHz 클럭을 발생시키며, 이는 컨버터의 스위칭 주파수를 10MHz로 선택할 경우 디지털 제어부의 동작 주파수(Main CLK)가 되는 동시에 Divider 및 MUX를 이용하여 10MHz의 컨버터 스위칭 신호를 만들기 위한 것이다.

디지털 제어블록은 비교기의 출력전압 상태(High 또는 Low)에 따라 전류셀의 on/off를 제어한다. 디지털 제어블록에 의해 결정된 전류셀에 의한 총 전류량은 Switched-Capacitor 지연 기법을 이용한 DPWM 발생기의 내부 커패시터 전압 기틀을 결정한다.

본 논문에서 제안된 Switched-Capacitor 지연 기법을 이용한 DPWM 발생기는 전류셀에 의한 전류량을 가지고 Divider, MUX 셋팅에 의한 컨버터 스위칭 주파수로 내부 커패시터의 충전 전 시간을 결정한다. 결정된 전류량 및 충전 전 시간에 따라 DPWM의 duty ratio 및 주기가 결정한다. 여기서 DPWM의 내부 커패시터의 용량은 사용하고자 하는 스위칭 주파수에 따라 결정할 수 있다. 외부 출력 조절을 위한 LC 필터 및 소수 개별 소자는 사용자가 선택한 출력 전압 레벨, 스위칭 주파수 그리고 부하 공급 전류량에 따라 자유롭게 구성이 가능하다.

III. Switched-Capacitor 지연 기법의 DPWM 발생을 위한 디지털 제어부

그림 2는 본 논문에서 제안하는 DPWM 발생을 위한 디지털 제어부 및 전류셀의 블록도를 보여준다. 본 논문에서 제안된 비교적 높은 스위칭 주파수에서도 스위칭 주파수보다 매우 높지 않은 내부 제어 동작 주파수로 동작시키기 위한 제어기술은 기존에 연구되어온 Σ - Δ modulator 및 고해상도를 가지는 ADC 대신 단지 수십 개의 플립플롭으로 이루어진다.

이 제어 방법은 총 4단계의 동작으로 구분된다. 비교기는 칩 외부 LC 필터에 의해 결정되어지는 출력전압(FB)과 칩 내부의 기준전압(Vref) 신호를 비교한다. 전압차에 따른 비교기 출력 신호(Error)에 따라 우선 1단계에서는 첫 번째 블록인 3bit Shift Register가 동작하게 되며, 이 Register는 20%의 duty 해상도를 가지고 DPWM의 초기 duty ratio를 결정하게 된다. 여기서 3bit Shift Register는 모두 High 또는 모두 Low 상태가 되면 toggle 신호를 발생하고, 제어 블록의 세팅 상태를 변화 시켜 다음 단계인 4bit Shift Register의 동작을 허용한다. 또한 출력전압과 Vref 전압레벨을 비교하여 변화가 발생하면 Error 신호 변화 감지기는 toggle 신호를 발생하고, 역시 제어부의 세팅 상태를 변화 시켜 다음 단계인 4bit Shift Register의 동작을 허용한다.

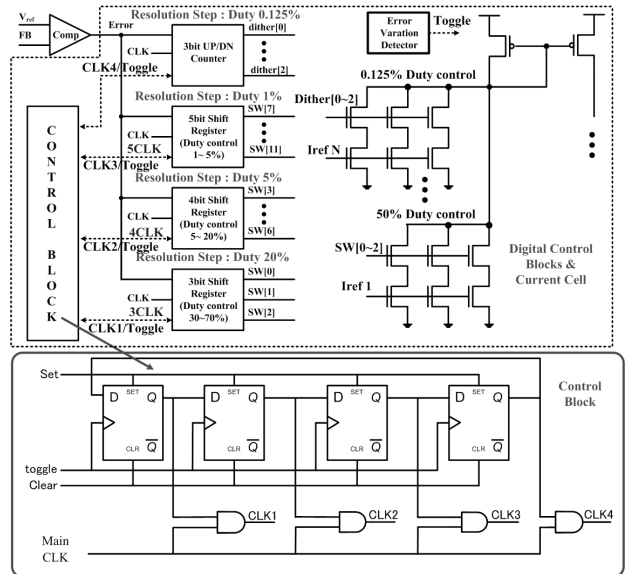


그림 2. DPWM 발생을 위한 제어부 및 전류셀의 블록도 이어그램.

Fig. 2. Block diagram of the control & current cell for DPWM generation.

여기서 출력전압과 V_{ref} 전압레벨의 비교 변화가 발생한 것은 출력 전압 레벨이 원하는 전압 레벨보다 높거나 낮아졌다는 것을 의미하며, 더 높은 해상도를 가지고 다시 출력 전압을 감지할 필요가 있기 때문에 4bit Shift Register를 동작시켜야 한다. 4bit Shift Register는 5%의 duty 해상도를 가지고 DPWM의 duty ratio를 다시 제어하게 된다. 앞에서 설명한 것과 마찬가지로 4bit Shift Register의 동작이 종료되면, 다시 다음단계인 5bit Shift Register의 동작을 허용한다. 그리고 3단계의 5bit Shift Register에 의한 감지가 끝나게 되면, 최종 단계인 4단계에서 3bit up/down counter를 통해 0.125%의 duty 해상도를 가지고 부하에 안정된 출력전압을 제공한다.

본 논문에서 제안된 디지털 제어부는 SMPS의 출력리플 전압을 최소화하기 위해 스위칭 주파수의 2주기 안에 모든 제어가 이루어지도록 하였다. 즉, 3, 4, 5bit Shift Register 및 3bit Up/Dn Counter를 제어하기 위해서는 20 클럭이 필요하기 때문에 컨버터 스위칭 주파수의 10배인 내부 제어 동작 주파수가 요구 된다.

제어부는 단순히 4bit ring counter와 4개의 AND 게이트로 구성된다. 4bit ring counter의 초기상태는 '1000'으로 세팅되어 있기 때문에 첫 번째 AND gate에서만 시스템 주파수 CLK1이 출력된다. CLK1은 3bit Shift Register 블록에 동작 주파수로 인가되어 20%의 duty 해상도를 가지고 제어하도록 한다. 3bit Shift Register 블록이 동작하는 동안 출력이 모두 High/Low가 되어 다음 단계의 Register 블록에 동작이 요구될 경우 또는 비교기의 High/Low 출력 신호에 변화가 발생하게 되어 더 높은 해상도를 가지고 출력을 감지할 필요가 생길 경우에는 3bit Shift Register와 Error 신호 변화 감지기는 toggle 신호를 발생시켜 4bits ring counter를 '0100'으로 변하게 한다. 즉 CLK1의 동작은 멈추고 CLK2가 동작하게 된다. 각 Register 블록에서 발생하는 toggle 신호에 의해 ring counter의 출력은 순차적으로 변하게 되며, 그에 해당되는 Register 블록에만 동작 주파수를 인가시켜 줌으로써 각 Register 블록을 enable 시키거나 disable 시키는 제어가 가능하게 된다. 최상위 블록인 3bit up/down counter의 3bit 출력이 모두 High/Low가 될 때 까지 출력전압 레벨을 감지하지 못하면, 3bit up/down counter는 동작을 멈추고, 4bits ring counter를 초기 상태인 '1000'으로 변하게 하여 3bit Shift Register 블록부터 다시 반복 동작하도록 구

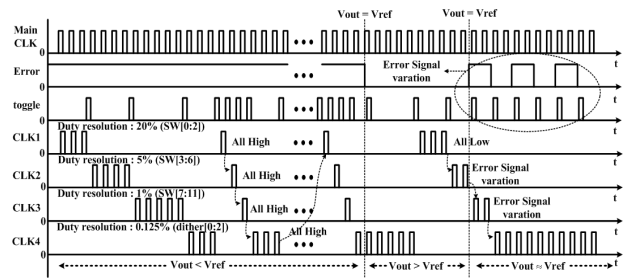


그림 3. DPWM 발생을 위한 제어부의 타이밍 다이어그램.

Fig. 3. Timing diagram of the control block for DPWM generation.

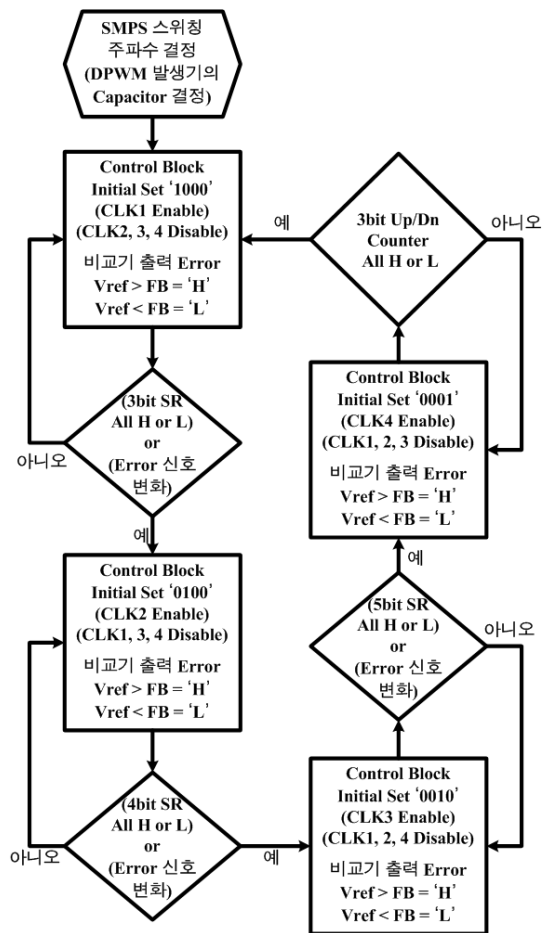


그림 4. DPWM 발생을 위한 제어부의 동작 순서도.

Fig. 4. Operation flowchart of the control block for DPWM generation.

성되어 있다.

그림 3은 디지털 제어부의 timing diagram을 보여준다. 여기서 Main CLK은 내부 칩 동작주파수이며, 그림 1의 Clock generator, Divider, 그리고 MUX를 통해 컨버터의 스위칭 신호를 만들어 주는데 이용되며, 디지털 제어부의 클럭으로 사용된다. Error 신호는 비교기의

출력 신호이며, 출력전압과 기준전압의 비교에 의해 High/Low 신호를 출력한다. 이 신호에 의해 그림 2의 Control block은 High 신호면 전류셀을 순차적으로 on 시키면서 제안된 DPWM 발생기의 내부 커패시터의 충전 전류량을 증가 시키고, Low 신호일때는 전류셀을 순차적으로 off 시키면서 제안된 DPWM 발생기의 내부 커패시터의 충전 전류량을 감소시킨다. 그림 4는 디지털 제어부의 동작 순서도를 보여준다.

IV. Boost mode가 가능한 Switched-Capacitor 지연 기법의 DPWM 발생기

그림 5는 본 논문에서 제안된 boost mode가 가능한 Switched-Capacitor 기법의 DPWM 발생기 회로를 보여준다. 제안된 DPWM 발생기의 동작원리는 DPWM 발생기의 내부 커패시터에 충전되는 전류량 및 시간에 따라 커패시터 전압의 기울기를 제어할 수 있다는 개념에서 시작된다.

DPWM 발생기의 내부 커패시터에 공급되는 전류는 그림 2의 디지털 제어부에 의해 출력전압과 기준전압 사이의 전압차에 따라 각 current cell의 on/off를 결정한다. 여기서 DPWM 발생기의 내부 커패시터의 용량은 사용하고자 하는 컨버터의 스위칭 주파수에 따라 결정할 수 있다. 즉 커패시터 용량 선택을 통해 DPWM 발생기의 커패시터에 충전되는 전류에 의한 전압 상승 기울기(삼각파 신호)를 제어하고, 제어된 커패시터 전압과 컨버터의 스위칭 신호(fs)의 전압이 모두 logic threshold voltage에 도달하면 DPWM 신호가 발생된다. 여기서 커패시터 전압이 logic threshold voltage에 도달하는 시간에 따라 DPWM의 duty ratio가 결정된다. 또한 스위칭 주파수는 내부 동작주파수(Main CLK) 1/10에 해당된다. 이는 내부 커패시터의 충전전 스위치에 인가되는 클럭과 동일하며, 커패시터 전압의 삼각파 신호를 컨버터의 스위칭 주파수와 동일하게 만들어 주는 역할을 한다.

커패시터 전압은 수식 $V(t) = \frac{1}{C} \int I_C(t) dt$ 에 의해 상승된다. 따라서 10MHz(100ns 주기)의 DPWM 신호가 90%의 duty ratio를 가지기 위해서는 커패시터 전압이 10ns 안에 logic threshold voltage에 도달해야한다. 이때 필요한 공급전류는 63uA이다. 60%의 duty ratio를 위해서는 4.2uA, 6%의 duty ratio를 위해서는 1.7uA의

전류가 필요하다. 즉 사용하고자 하는 스위칭 주파수에 따라 커패시터의 용량만 변화 시킬 수 있다면 똑같은 전류량의 비율로 DPWM의 duty ratio를 손쉽게 제어할 수 있다.

기존의 SMPS 출력에 나타나는 overshoot/undershoot에 의한 ringing 현상은 부하 시스템의 성능을 크게 저하시키거나 그 레벨이 허용한도를 벗어나게 되면 부하 시스템을 오동작 시킬 수 있다는 단점을 가진다. 그러나 본 논문에서 제안하고 있는 Switched-Capacitor 지연 기법의 DPWM 발생기를 이용한 SMPS는 단지 출력 전압을 tracking 하는 방식이기 때문에 기존의 closed loop 시스템에서 큰 문제점이 되고 있는 overshoot/undershoot에 의한 ringing 현상이 출력에 나타나지 않는다는 큰 장점을 가진다.

본 논문에서 제안하는 DPWM 발생기는 1MHz~10MHz의 스위칭 주파수에 대해 6~90%의 duty ratio를 제어 할 수 있도록 설계 되었다. 또한 DPWM 발생기의 내부 capacitor에 충전되는 최대 전류량은 63uA(90%의 duty ratio)이며, 최소 전류량은 1.7uA(6%의 duty ratio)이다. 또한 전압 및 온도변화에 따른 전류량 변화 때문에 커패시터 전압 기울기 제어 에러가 발생하는 것을 방지하기 위해 current reference 회로가 사용되었다.

본 논문에서는 출력전압 리플을 최소화하기 위해 boost mode가 가능한 Switched-Capacitor 지연 기법의 DPWM 발생기를 제안한다. 이는 DPWM 발생기에

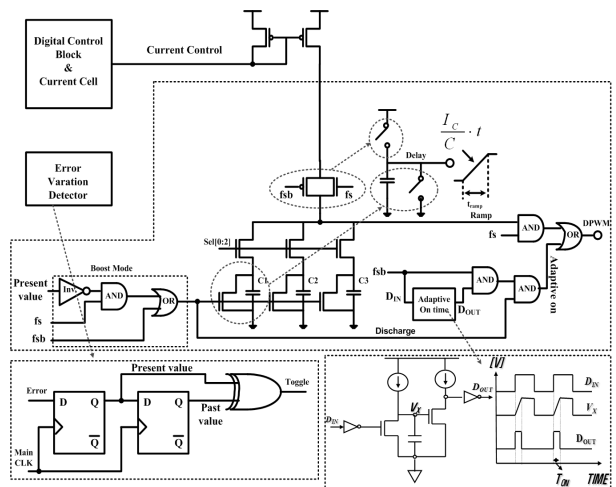


그림 5. Boost Mode가 가능한 Switched-Capacitor 지연 기법의 DPWM 발생기 회로.

Fig. 5. DPWM generator circuit based on switched-capacitor delay technique with the boost mode.

서 결정된 duty ratio가 컨버터의 출력 전압이 변하여도 바로 대응하지 못하고 다음의 DPWM 신호를 기다려야 하기 때문에 출력 전압 리플이 증가할 수밖에 없기 때문이다. 또한 비교기의 offset 전압은 제안된 회로의 출력 리플 전압을 증가 시키는 원인이 된다. 이를 해결하기 위해 본 논문에서는 boost mode가 가능하도록 하였다.

제안된 boost mode의 동작 원리는 Error 신호 변화 감지기를 이용하는 것으로 시작된다. Error 신호 변화 감지기는 컨버터 출력전압의 이전값과 현재값을 각각의 플립플롭에 저장하고 이 두 값이 서로 달라지는 순간에만 XOR 게이트를 통해 toggle 신호를 발생시키는 역할을 한다. 여기서 출력 전압레벨이 기준전압보다 높아지는 순간이 오면, 이전값은 high 값을 가지고 있지만, 현재값은 low 값을 가지게 되며, 출력전압 레벨이 기준전압보다 다시 낮아지지 않으면 이 값을 계속 유지하게 된다. 그래서 기준전압보다 출력전압레벨이 높은 상태를 오래 유지 하게 되면 출력전압의 리플이 커진다. 따라서 본 논문에서 제안된 Boost Mode는 현재값이 low 이면, 스위칭 신호(fs)가 high(DPWM 발생기의 내부 커패시터 충전 상태)가 되더라도 DPWM duty ratio를 증가시키지 못하도록 DPWM 발생기의 내부 커패시터를 강제로 방전시키는 Discharge 신호를 발생하는 역할을 한다.

본 논문에서 제안된 Boost Mode 방법만으로 DPWM 발생기를 제어할 경우 다음과 같은 문제점이 발생한다. 우선 현재값이 low일 때 스위칭 신호 주기가 변하였는데도 계속 유지($V_{out} > V_{ref}$)될 경우 Boost Mode는 DPWM 발생기의 내부 커패시터를 계속 방전하게 만들기 때문에 빠른 출력전압의 감소 효과를 얻지만, 대신 스위칭 신호(fs)를 원래의 주파수로 유지시키지 못하고 스위칭 주파수가 감소하게 만든다. 이는 컨버터의 출력 전압 리플을 줄이는 장점도 있지만, 컨버터 구성시 스위칭 주파수 및 부하 공급 전류량에 따라 결정된 인덕터의 값보다 더 큰 인덕터(스위칭 주파수의 감소는 더 큰 인덕터를 요구)를 요구하게 되는 원인이 될 수도 있다. 또한 Boost Mode에 의해 출력전압이 기준전압보다 낮아지게 되어 duty ratio를 증가시킬 필요가 있을 경우에도 Discharge 신호가 DPWM 신호의 다음 주기와 너무 가깝게 low로 변할 경우 DPWM 발생기의 내부 커패시터에 충분한 충전 시간을 줄 수 없기 때문에 커패시터 전압이 logic threshold voltage에 도달하지 못하

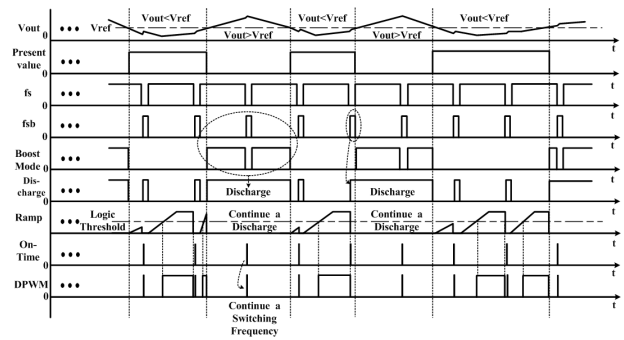


그림 6. Boost Mode가 가능한 Switched-Capacitor 지연 기법의 DPWM 발생기의 시뮬레이션 결과.

Fig. 6. Simulation results of the DPWM generator based on switched-capacitor delay technique with the boost mode.

여 계속 low로 유지될 수 있다. 따라서 제안된 Boost Mode에 의한 스위칭 주파수 감소현상을 방지하기 위해 본 논문에서는 Adaptive On-time 회로를 동시에 제안한다. 이는 DPWM 신호가 Boost Mode에 의해 스위칭 주파수의 주기마다 펄스를 발생하지 못 할 경우, 출력 전압 리플에 주는 영향을 최소화하면서 스위칭 주파수의 주기마다 최소의 duty ratio를 가진 pulse를 생성하는 역할을 한다.

그림 6은 본 논문에서 제안하고 있는 boost mode가 가능한 Switched-Capacitor 지연 기법의 DPWM 발생기의 시뮬레이션 결과이다. 여기서 Boost Mode 회로 및 Adaptive On-time 회로에 의해 DPWM 발생기에서 발생하는 DPWM 신호는 자동적으로 랜덤한 분산 스펙트럼 클럭(SSC: Spread Spectrum Clock) 기능을 수행한다. 이는 SMPS의 스위칭 동작이 일어날 때마다 파워 트레일(power trail)에 대전류 피크가 발생하게 되는데, 이를 통해 컨버터가 최근 대두되고 있는 EMI source로 작용할 수 있기 때문에 이를 방지하는 역할을 동시에 수행하게 된다.

그림 7은 스위칭 주파수 및 충전 전류량에 따른 duty ratio 변화를 시뮬레이션한 결과이다. 10MHz의 스위칭 주파수를 위해서는 0.4pF, 5MHz의 스위칭 주파수를 위해서는 1pF, 1MHz의 스위칭 주파수를 위해서는 4.5pF의 커패시터를 선택해야 한다. 여기서 스위칭 주파수를 1MHz~10MHz로 정한 이유는 커패시터로 인해 차지하는 면적 때문이다. 1MHz 이하의 스위칭 주파수를 위해서는 커패시터의 용량이 커질 수밖에 없기 때문이다 (200KHz 스위칭 주파수를 위해서는 20pF이 필요). 반대로 10MHz 이상의 스위칭 주파수를 위해서는 커패시

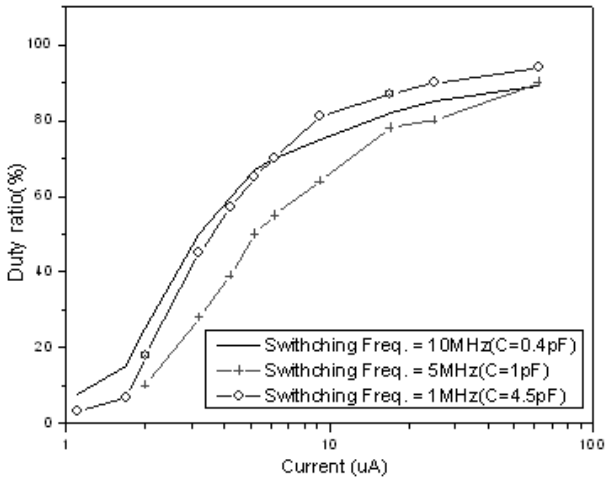


그림 7. 커패시터 전압 기울기 및 DPWM duty ratio 제어 시뮬레이션 결과.

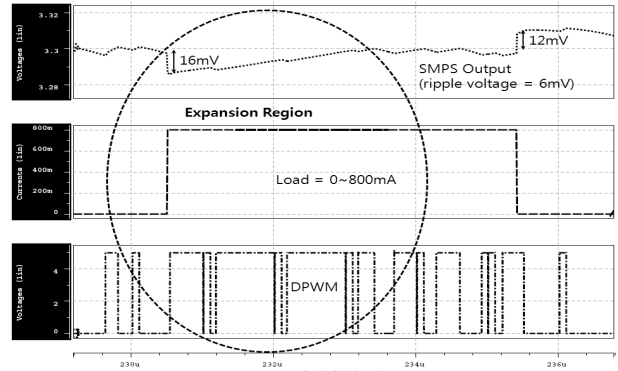
Fig. 7. Simulation results of the capacitor voltage slope and DPWM duty ratio control.

터의 용량이 0.4pF 보다 작아야 하지만, 공정 변화를 고려해 볼 때 커패시터의 용량을 더 줄이는 것은 좋지 않다. 따라서 1MHz~10MHz 범위 밖의 스위칭 주파수를 결정하기 위해서는 오프-칩 커패시터를 사용하는 것이 오히려 비용 절감 및 안정성을 확보 할 수 있다.

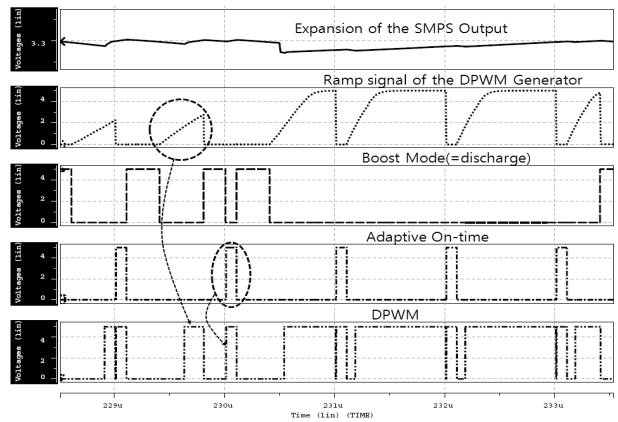
V. 시뮬레이션 결과

그림 8(a)는 1MHz의 스위칭 주파수를 갖는 제안된 SMPS의 과도(transient) 응답 시뮬레이션 결과이다. 0~800mA, 100KHz의 load current regulation이 발생하여도 최대 출력 전압 리플은 6mV, overshoot/undershoot는 각각 12mV, 16mV이다. 그림 8 (b)는 그림 8 (a)의 점선 안의 영역을 확대한 결과를 보여준다. 여기서 Boost Mode는 DPWM의 duty ratio를 증가시키지 못하도록 DPWM 발생기의 내부 커패시터를 강제로 방전시키는 Discharge 신호를 발생하는 역할을 한다. Adaptive On-time은 앞에서 설명한 것처럼 출력전압 리플에 주는 영향을 최소화하면서 스위칭 주파수의 주기마다 최소의 duty ratio를 가진 pulse를 생성하는 역할을 한다. 여기서 최종 DPWM 신호는 switched-capacitor 지연 기법에 의한 ramp 신호, Boost Mode, Adaptive On-time 신호에 의해 결정된다.

그림 9 (a)는 10MHz의 스위칭 주파수를 갖는 제안된 SMPS의 과도 응답 시뮬레이션 결과이다. 0~800mA, 100KHz의 load current regulation이 발생하여도 최대



(a) 과도 응답 시뮬레이션 결과



(b) 확대한 과도 응답 시뮬레이션 결과

그림 8. 제안된 SMPS의 과도 응답 시뮬레이션 결과. (스위칭 주파수:1MHz, load: 0~800mA@100KHz)

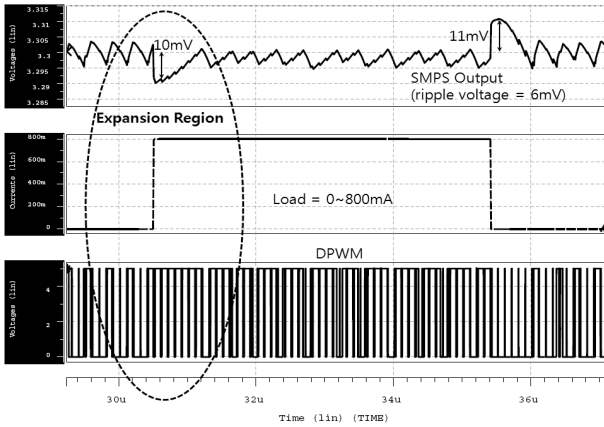
Fig. 8. Simulation results of transient response of the proposed SMPS.

(Switching Freq.:1MHz, load: 0~800mA@100KHz)

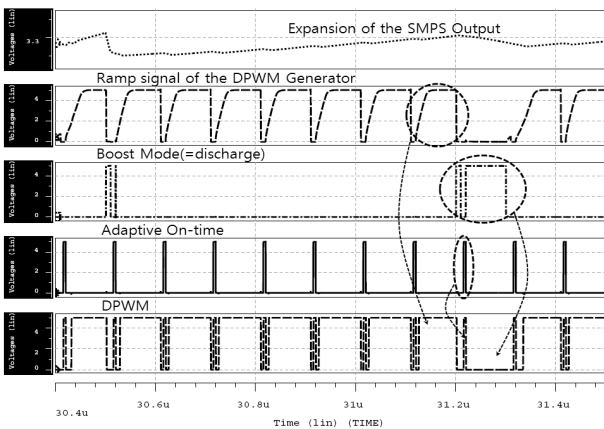
출력 전압 리플은 8mV이다. overshoot/undershoot는 각각 11mV, 10mV이다. 그림 9 (b)는 그림 9 (a)의 점선 안의 영역을 확대한 결과를 보여준다. 그림 8 (a), 그림 8 (b)에서와 마찬가지로 최종 DPWM 신호는 ramp 신호, Boost Mode, Adaptive On-time 신호에 의해 결정된다.

그림 10은 10MHz의 스위칭 주파수를 사용하는 SMPS의 load regulation 시뮬레이션 결과를 보여준다. 0~800mA의 load regulation에서 overshoot/undershoot는 각각 11mV, 10mV이며, 그림 8 (a)와 동일한 결과를 보여준다. 하지만, 0~250mA의 load regulation에서는 컨버터의 출력 전압에 overshoot/undershoot 거의 발생하지 않는 것처럼 보인다.

그림 8, 9, 10의 시뮬레이션 결과에서 보는 것처럼, load current regulation이 발생하여도 overshoot/



(a) 과도 응답 시뮬레이션 결과



(b) 확대한 과도 응답 시뮬레이션 결과

그림 9. 제안된 SMPS의 transient 응답 시뮬레이션 결과 (스위칭 주파수:10MHz, load: 0~800mA@ 100KHz)

Fig. 9. Simulation results of transient response of the proposed SMPS. (Switching Freq.:10MHz, load: 0~800mA@ 100KHz)

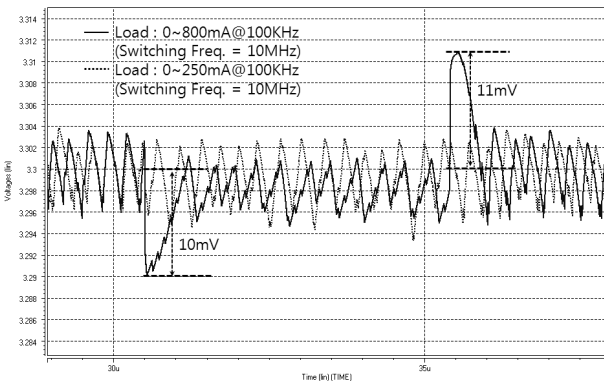


그림 10. 스위칭 주파수 10MHz에서 0~800mA와 0~250mA의 load regulation이 있는 경우 시뮬레이션 결과.

Fig. 10. Simulation results in case of load regulation of 0~800mA and 0~250mA at 10MHz switching frequency.

표 1. 제안된 회로와 기존 회로와의 비교.

Table 1. Comparison of the proposed circuit with the conventional circuits.

	Hybrid [6]	Δ - Σ [7]	Δ - Σ [8]	Δ - Σ [9]	본 논문
Results	Measured	Simulation	Measured	Measured	Simulation
Output ripple(V)	15m	16m	14m	5m	8m
Loading current(mA)	300~500	100~330	0~300	0~250	0~800
Overshoot(mV)	50	50	-	20	11
Undershoot(mV)	80	70	130	20	10
Switching frequency(MHz)	2	0.09	0.5	3.125	10
Operating frequency(MHz)	32	4	16	100	100
Inductor(μ H)	4.7	2.2	18.8	2.2	1.2
Capacitor(μ F)	22	4.7	22	10	10

undershoot에 의한 ringing 현상이 출력에 나타나지 않는다는 것을 알 수 있다. 앞에서 설명한 것처럼 본 논문에서 제안된 새로운 Switched-Capacitor 지연 기법을 이용한 고해상도 DPWM 기반의 Dynamic-Response-Free SMPS는 단순히 출력전압을 tracking 방식이기 때문에 기존의 closed loop 시스템에서 큰 문제점이 되고 있는 동적 응답특성을 고려할 필요가 없다는 장점을 가진다.

표 1은 본 논문에서 제안된 새로운 Switched-Capacitor 지연 기법을 이용한 고해상도 DPWM 기반의 Dynamic-Response-Free SMPS의 성능과 기존에 연구된 SMPS들의 성능을 비교 분석한 것이다. 표 1에서 보이는 것처럼 빠른 스위칭 주파수를 이용하는 것이 가능하기 때문에 기존에 연구된 SMPS들에 비해 상대적으로 작은 인덕터의 사용이 가능하다. 그리고 앞에서 설명한 것처럼 제안된 회로의 동작 특성상 내부 동작 주파수 역시 기존에 연구된 SMPS들에 비해 상대적으로 낮은 동작 주파수를 사용한다. 즉 동일한 동작주파수 100MHz를 사용할 경우 본 논문에서 제안된 회로는 10MHz의 스위칭 주파수 선택이 가능하지만, 비교회로^[4]는 단지 3.125MHz의 스위칭 주파수 선택이 가능하다. 또한 기존에 연구된 SMPS들에 비해 0~800mA의 큰

load regulation이 발생하여도 overshoot/undershoot는 각각 최대 11mV, 10mV로 작다는 것을 알 수 있다.

VI. 결 론

DPWM 발생기는 내부 커패시터에 충전되는 전류를 통해 커패시터 전압 기울기를 제어하여 DPWM을 발생시키는 새로운 구조를 사용한다. 또한 출력전압 리플을 줄이고 자동적으로 랜덤한 분산 스펙트럼 클럭 기능을 수행하는 Boost mode 와 Adaptive On-time 회로를 채택하였다. 제안된 회로는 SMPS의 출력전압과 기준전압 비교에 의해 High/Low만 판별하여 capacitor에 충전되는 전류량을 제어하는 방식으로써 단지 출력 전압을 tracking하는 방식이기 때문에 기존의 closed loop 제어 방식에서 문제점이 되고 있는 동적 응답특성을 고려할 필요가 없다. 따라서 본 논문에서 제안된 회로는 출력 전압에 overshoot/undershoot에 의한 ringing 현상이 발생하지 않는다는 큰 장점을 가진다. 제안된 회로는 동부하이텍 BCD 0.35 μ m 공정 파라미터를 이용하여 HSPICE 시뮬레이션을 통해 동작을 검증하였다.

참 고 문 헌

- [1] S. C. Huerta, A. D. Castro, O. Garcia, and J. A. Cobos, "FPGA based Digital Pulse Width Modulator with Time Resolution under 2 ns", 22nd Annual IEEE Applied Power Electronics Conference, pp. 877-881, Feb. 2007.
- [2] A. Syed, E. Ahmen, E. Alarcon, and D. Maksimovi, "Digital Pulse-Width Modulator Architectures", 35th Annual IEEE Power Electronics Specialists Conference, pp. 4689-4695, Aachen, Germany, 2004.
- [3] B. Patella, A. Prodi, A. Zirger and D. Maksimovi, "High-Frequency Digital PWM Controller IC for DC-DC Converters", IEEE Transactions on Power Electronics, pp. 438-446, Jan. 2003.
- [4] Yanxia Gao, Shaofeng Zhang, Yanping Xu, and Shuibao Gao, "Analysis and comparison of three implementation methodologies for high-resolution DPWM", IEEE International Conference on Power Electronics Systems and Applications, pp. 1-7, 2009.
- [5] 유상덕, 최영찬, 장기창, 최정수, 박정의, 정우주, 최중호 "디지털 제어 방식을 갖는 동기식 벽 변환

기 설계에 관한 연구", 대한전자공학회, 2008년 SOC 학술대회, pp. 17-20, 2008년 5월

- [6] Yanxia Gao, Shuibao Guo, Yanping Xu, Shi Xuefang Lin, and B. Allard, "FPGA-Based DPWM for Digitally Controlled High-Frequency DC-DC SMPS," IEEE Conference on Power Electronics Systems and Applications, pp. 1-7, May. 2009.
- [7] Pui-Kei Leong, Chun-Hung Yang, Chi-Wai Leng, and Chien-Hung Tsai, "Design and implementation of sigma-delta DPWM controller for switching converter," IEEE International Symposium on Circuits and Systems, pp. 3074-3077, May. 2009.
- [8] H. H. Ahmad, and B. Bakkaloglu, "A 300mA 14mV-ripple digitally controlled buck converter using frequency domain $\Delta\Sigma$ ADC and hybrid PWM generator," IEEE International Solid-State Circuits Conference, pp. 202-203, Feb. 2010.
- [9] E. G. Soenen, A. Roth, J. Shi, M. Kinyua, J. aither, and E. Ortynska, "A robust digital DC-DC converter with rail-to-rail output range in 40nm CMOS," IEEE International Solid-State Circuits Conference, pp.198-199, Feb. 2010.

저 자 소 개



임 지 훈(학생회원)
2004년 한림대학교
전자공학과 학사 졸업.
2008년 한림대학교
전자공학과 석사 졸업.
2008년 숭실대학교
전자공학과 박사 과정.

<주관심분야 : VRM, Gate Driver 및 Power I.C 설계>



박 영 균(학생회원)
2011년 숭실대학교 정보통신전자
공학부 학사 졸업
2011년 숭실대학교
전자공학과 석사 과정.
<주관심분야 : VRM, DC-DC
Converter, 및 Power I.C 설계>



위 재 경(정회원)-교신저자
1998년 연세대학교
물리학과 학사 졸업.
1990년 서울대학교
물리학과 석사 졸업.
1998년 서울대학교
전자공학과 박사 졸업.

1990년~2002년 하이닉스 메모리 연구소 근무
2002년~2004년 한림대학교 정보통신공학부
조교수
2004년~2007년 숭실대학교 정보통신전자공학부
조교수
2008년~현재 숭실대학교 정보통신전자공학부
부교수

<주관심분야 : System-in-Package 설계 및 고속
SoC, high speed I/O interface, DLL/PLL, Mixed
Mode 설계>



송 인 채(정회원)
1981년 서울대학교 전자공학과
학사 졸업.
1984년 U.C.L.A Electrical
Engineering 석사 졸업.
1991년 U.C.L.A Electrical
Engineering 박사 졸업.

1985년~1992년 Hughes Aircraft Company,
Staff Engineer
1992년~현재 숭실대학교 정보통신전자공학부
교수

<주관심분야 : 반도체 소자 Modeling, 집적회로
설계>