

논문 2012-49SD-1-5

Ethernet을 이용한 저가형 WiMAX RRH 기지국 구현

(Implementation of Low Cost WiMAX Remote Radio Head with Ethernet)

서 성 삼*, 이 현 석**

(Seongsam Seo and Hyunseok Lee)

요 약

본 논문은 광선로 대신 Ethernet을 이용하여 저가형 WiMAX remote radio head (RRH)를 구현한 내용을 담고 있다. 간략화된 프레임 형식을 적용하여 최대 전송률이 상대적으로 낮은 Ethernet 선로의 사용 효율을 극대화하면서 기지국과 RRH들 사이에 데이터 전송이 이루어지도록 하였다. 또한 원격지에 설치되는 기지국과 RRH들이 동시에 무선데이터 송수신할 수 있도록 장치 간 동기화기법을 적용하였다. 설계된 내용은 FPGA 상에 구현되었으며 WiMAX Femtocell과 연동하여 정상적으로 무선 데이터를 송수신함을 보였다.

Abstract

This paper is about the implementation of low cost WiMAX remote radio head system with Ethernet instead of optical link. We deployed a simplified frame structure on the data frames transmitted between a basestation and remote radio heads in order to maximize Ethernet link utilization which shows relatively lower maximum throughput compared to that of optical links. In addition, a synchronization mechanism was applied on a basestation and remote radio heads placed on remote sites in order for simultaneous data transmission and reception in all remote radio heads which are essential for proper communication with terminals. These schemes are implemented with FPGA. The results of experiment with a WiMAX Femtocell show that our remote radio head systems efficiently deliver radio frames with proper timing.

Keywords : Remote Radio Head (RRH), WiMAX, CPRI, Ethernet, FPGA.

I. 서 론

스마트폰과 같은 휴대용 기기들의 광범위한 보급으로 무선데이터 양이 급격하게 증가되었고 이로 인해 음성 서비스를 중심으로 최적화되었던 이동통신망을 데이터 서비스를 중심으로 고도화해야 하는 필요가 생겼다. 이와 같은 무선망 재구성 과정에는 기지국(Base

Station)의 추가적인 증설이 필요한데 이는 막대한 재원을 필요로 한다.

이를 위해 통신망 고도화에 필요한 비용을 최소화하면서 데이터 고속의 무선데이터 서비스를 제공하는 방법의 하나로 고안된 것이 Remote Radio Head (RRH)이다. RRH는 그림 1(b)에서 보인 것과 같이 RF트랜시버(RF Transceiver)와 파워앰프를 기지국으로부터 분리하여 안테나와 가까운 곳에 설치하여 안테나들이 기지국과 같이 동작하도록 하는 것이다. 이와 같은 구성을 통해 단말기와 기지국 안테나 사이의 거리를 단축시켜 무선 용량을 늘리면서도 기지국 증설에 필요한 재원을 최소화 할 수 있다.

이처럼 RRH가 기지국으로부터 독립된 형태를 가지

* 학생회원, ** 정회원, 광운대학교 전자통신공학과 (Department of Electronics and Communications Engineering, Kwangwoon University)

※ 이 연구는 산학협동재단과 반도체설계교육센터 (IDEC)의 지원으로 수행되었습니다.

접수일자: 2011년9월6일, 수정완료일 2012년1월5일

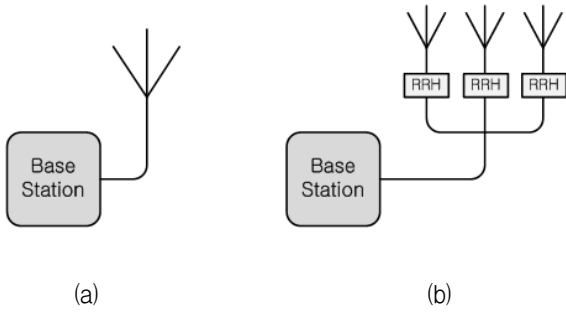


그림 1. 기지국의 두 가지 형태:
 (a) 일반적인 기지국, (b) RRH 형태의 기지국
 Fig. 1. Two typical basestation structures:
 (a)conventional structure (b)RRH based structure.

기 때문에 이들을 서로 연결하는 것이 중요한 문제이다. 이를 위한 방법 중 하나는 OBSAI(Open Base Station Architecture Initiative) 혹은 CPRI(Common Public Radio Interface)와 같은 기지국 기저대역과 안테나 사이의 연결을 정의한 표준 인터페이스를 이용해 기지국과 RRH를 광선로 (Optical Fiber)로 연결하는 것이다.^[1~2] RRH와 기지국 사이의 통신에 광섬유를 사용하게 되면 안정적이고 빠른 전송이 가능하지만 초기설치와 유지관리에 많은 비용이 소요된다. 또한 기존의 OBSAI, CPRI 표준들은 GSM, IS-95와 같은 2G 시스템부터 LTE/WiMAX와 같은 4G 시스템까지 모두 지원하도록 되어있어 그 구조가 복잡하고 관련 부품 또한 고가이다. RRH는 여러 응용 분야를 갖지만 대표적으로 소형 기지국인 Femtocell과 같이 음영지역의 개선, 무선 내부망 (Intranet) 구현에 적용할 수 있다. 위와 같은 용도로 사용하기 위해서는 가격을 낮추는 것이 중요하다.

본 논문에서는 RRH와 기지국의 연결에 저가의 Gigabit Ethernet 선로를 사용하고 기기들 사이의 연동에 OBSAI/CPRI 대신 간략화 된 프로토콜을 적용하여 저가의 WiMAX RRH 시스템을 구현한 예를 다룬다. 개발된 시스템은 기지국과 RRH 사이의 연동 프로토콜이 표준에 근거한 것이 아니므로 상용 RRH IC를 사용할 수 없어 고속 데이터 처리에 필요한 기능을 FPGA를 이용하여 구현하였다.

II. 본 론

1. 관련연구

가. RRH 시스템

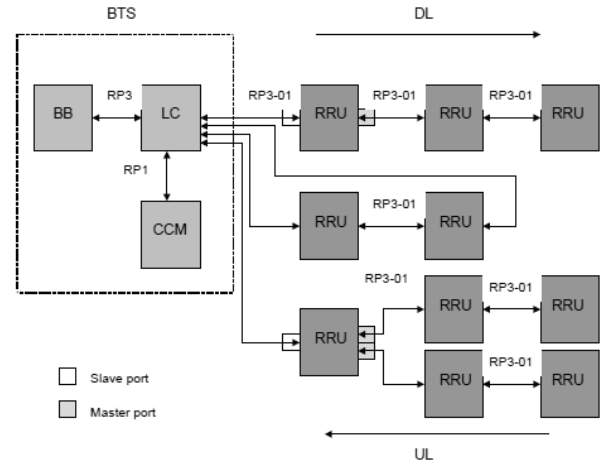


그림 2. OBSAI 표준에서 RRH의 구조
 Fig. 2. RRH System structure defined in OBSAI.

그림 2는 OBSAI 규격에서 정의한 RRH 시스템의 구조이다. OBSAI에서는 하나의 기지국(BTS)이 여러 개의 RRU (Remote Radio Unit)을 Slave로 가질 수 있으며, RRU 들은 서로 Master/Slave 형태로 직렬연결 될 수 있다. 기지국은 기저대역 신호처리를 담당하는 BB(Baseband station)과 RRU와 데이터를 송수신하기 위한 LC(Logic Converter), 클럭 신호와 제어 신호를 생성하는 CCM(Clock and Control Module)로 구성되어 있다^[1]. OBSAI와 CPRI는 용어만 서로 다를 뿐 기지국과 RF단을 원격으로 구성하는 것은 동일하다^[1~2]. 이번 연구에서는 저가형 RRH 시스템 구현을 위해서 간략화된 프로토콜을 내부적으로 정의하여 사용하였다.

나. WiMAX 물리계층 TDD 프레임 구조

IEEE 802.16e에 정의된 WiMAX의 물리계층은 TDD (Time Division Duplex)와 FDD (Frequency Division Duplex) 형태를 모두 지원한다. TDD 구조는 하향구간 (Downlink)과 상향구간 (Uplink)의 전송량에 따라 두 구간의 비율을 조절할 수 있기 때문에 상용 제품에서는 주로 TDD 구조가 주로 사용된다.^[3] 이번 연구에서는

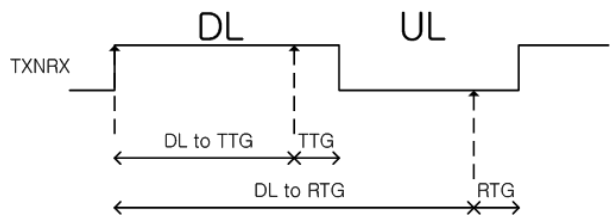


그림 3. WIMAX 물리계층 TDD 프레임 구조
 Fig. 3. The frame structure of WIMAX physical layer.

TDD방식의 WiMAX 시스템을 그 구현 대상으로 하고 있다.

다. Ethernet의 MAC 프레임 구조와 IFG

IEEE 802.3에서 Ethernet MAC 부계층 프레임은 64Byte~1518Byte 로 최소/최대 길이가 제한되어 있다. 또한 데이터를 송수신 할 때, IFG (Interframe Gap) 혹은 IPG (Interpacket Gap)을 정의하여 각 프레임 혹은 패킷 사이에 필요한 최소 대기시간을 정의하였다. 이를 통해 수신장치가 다음 프레임 수신을 준비할 수 있는 시간을 가지게 된다. IFG의 최소값은 장치가 96bit을 전송하는데 걸리는 시간인 96bit time으로 1Gbps Ethernet에서는 그 값이 96ns이다.^[4]

2. 설계된 시스템의 구조

가. FPGA와 Ethernet을 이용한 RRH 시스템 구조

설계한 RRH 시스템은 그림 4와 같이 MU(Master Unit)와 RU(Receive Unit)로 나뉘고 둘 사이는 Gigabit Ethernet으로 연결된다.

MU에서는 FPGA를 중심으로 BBIC (Baseband modem IC), CPU, Ethernet PHY, GPS가 연결된다. BBIC에서는 WiMAX와 관련된 I/Q 데이터를 생성 및 처리하고 FPGA는 I/Q 데이터를 Ethernet PHY에서 처리될 수 있도록 변환한다. RU는 RFIC(Radio Front-end IC), 제어용 프로세서, Ethernet PHY, FPGA로 구성된다. RU의 FPGA는 MU에서와 같이 WiMAX I/Q 데이터가 Gigabit Ethernet 선로를 통해 송수신 되는데 필요한 작업을 진행한다.

RRH 시스템 구현에서 핵심이 되는 부분은 BBIC가 송수신하는 I/Q 데이터를 제한된 시간 내에 RU의 RF IC로 전송하고 동시에 RF로 송출하기 위해 FPGA에 효율적인 데이터 변환 구조를 설계하는 것이다.

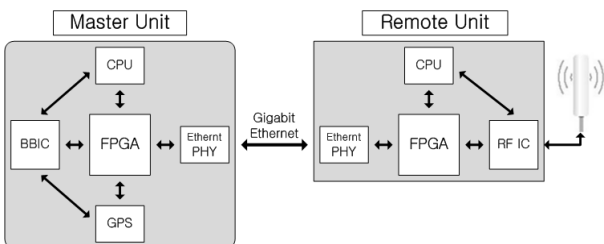


그림 4. 제안된 RRH 시스템 구성도
Fig. 4. The structure of the proposed RRH systems.

나. 각 IC간 통신

(1) BBIC와 FPGA의 통신

개발에 사용된 BBIC는 JESD207^[5]규격을 따라 RFIC와 데이터를 주고받는다. JESD207 규격은 BBIC와 RFIC를 연결하는 표준규격으로 그림 5와 같은 구조를 가진다.

구현된 시스템의 MU에서는 BBIC와 FPGA가 각각 JESD207 Master/ Slave로 동작하고, RU에서는 FPGA와 RFIC가 각각 JESD207 Master/Slave로 동작한다. 따라서 BBIC 입장에서는 MU의 FPGA가 RFIC로 인식되며 RU의 RFIC 입장에서는 RU의 FPGA가 BBIC로 인식된다.

JESD207은 WiMAX의 대역폭에 따라 동작 주파수를 달리한다. Gigabit Ethernet을 사용하는 이번 연구에서는 10MHz와 8.75MHz의 대역폭을 고려하였다. 그 이유는 Gigabit Ethernet의 전송률인 1Gbps(125MHz * 8bit)에서 전송할 수 있는 최대 대역폭이기 때문이다. 대역폭이 10MHz의 경우 동작주파수가 44.8MHz 이기 때문에 MU와 RU 사이에 전송되어야 하는 데이터가 896Mbps(44.8MHz * 20 bit)의 전송률을 나타내고, 대역폭이 8.75MHz의 경우 40MHz의 동작주파수에서 데이터의 전송률은 800Mbps (40MHz * 20bit)이다.^[3, 5] 이는 Gigabit Ethernet의 최대 용량의 약 90%에 근접하는 수치로 효과적인 통신방식이 사용되어야 전송이 가능한 것을 알 수 있다.

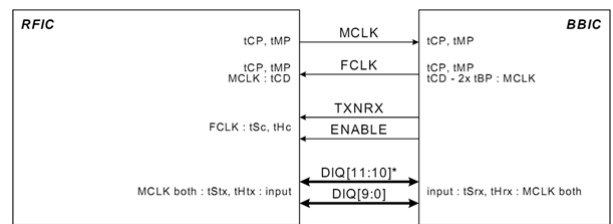


그림 5. JESD-207 인터페이스
Fig. 5. JESD-207 interface.

(2) FPGA와 Gigabit Ethernet PHY IC의 통신

Ethernet 케이블을 통하여 패킷데이터를 전송하기 위해서는 디지털 데이터를 변복조하여야 한다. Ethernet 통신에서는 이러한 기능을 Ethernet PHY가 담당한다. 일반적으로 상위 계층과 Ethernet PHY는 GMii(Gigabit Media Independent Interface)나 RGMii (Reduced Gigabit Media Independent Interface)를 사용해 데이터

를 입출력한다. GMii가 8bit의 SDR (Single Data Rate) 방식인 반면 RGMii는 Clock의 Positive Edge와 Negative Edge를 이용해 4bit씩 전달하는 DDR (Double Data Rate) 방식을 이용하기 때문에 칩의 핀 개수가 제한적일 때 많이 사용한다.^[2] RRH는 다수의 Gigabit Ethernet 포트를 사용하며, 사용된 저가형 FPGA의 핀 개수가 제한적이기 때문에 RGMii방식을 선택하였다.

(3) CPU와 FPGA의 통신

MU의 제어용 CPU와 RU의 제어용 CPU는 서로 제어 데이터를 주고받는다. 이를 위해 RU와 MU의 FPGA는 CPU와 Ethernet PHY 사이에 데이터 전송 기능을 제공한다. Ethernet 선로에서 전송되는 IQ 데이터 프레임과의 구별을 위해 FPGA에서 부가적인 프레이밍 작업을 수행한다. 이와 같은 작업은 CPU에서 처리도 가능하지만 사용되는 CPU들이 성능이 낮은 저가형 제품이기 때문에 FPGA에서 처리하도록 하였다.

다. MU와 RU 사이의 통신

(1) 단일 포트 Gigabit Ethernet 인터페이스 연결
CPRI 표준에서는 전송속도에 따라 사용할 수 있는

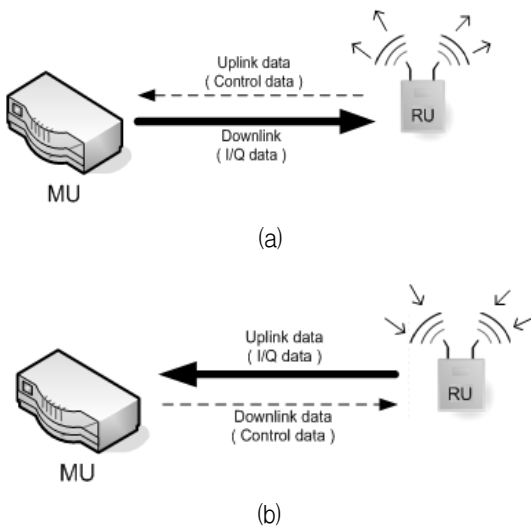


그림 6. RRH 시스템에서 데이터와 제어신호의 전송: (a) 하향 데이터 전송, 상향 제어신호 전송, (b) 상향 데이터 전송, 하향 제어신호 전송
Fig. 6. The transmission of data and control signals in the proposed RRH system: (a) downlink data and uplink control and (b) uplink data and downlink control.

전송선로를 정의하고 있는데, 고속의 전송선로를 사용하거나, 비교적 저속인 선로를 다수 연결하여 전송속도를 높일 수가 있다. 그 예로, 1228.8Mbit/s의 전송속도를 얻기 위해 단일 선로를 사용하거나, 614.4Mbit/s의 선로를 2개 연결할 수 있다. CPRI 규격에서 기본적으로 고려하는 선로의 형태는 광선로이다.^[2]

저비용의 고속 데이터 전송을 위해, 광선로 대신 저가형 Gigabit Ethernet선로(Copper wire)를 이용해 기지국과 RRH를 연결하면 기지국을 구성하기 위한 장비의 가격 또한 저렴해진다. 저가형 Gigabit Ethernet의 경우 100m내외의 거리까지 데이터 전송이 안정적이므로*, 옥내 'Hotel'형 RRH기지국 구현이 가능하다.

또한 WiMAX는 반이중방식(Half-Duplex mode)인 TDD 방식으로 통신을 사용하는 경우 때문에 하향전송(Downlink)과 상향전송(Uplink)을 동시에 하지 않는다. 전이중방식(Full-Duplex)으로 연결되는 Gigabit Ethernet을 통해 데이터를 전송할 경우 그림 6과 같이 반대 방향의 선로가 비어 있다. 예를 들어 I/Q 데이터의 하향 전송 시 상향 선로를 통해 Control 패킷을 전송 할 수 있고, 반대의 경우도 가능하다.

(2) 프레임구조

주기적으로 생성되는 WiMAX 디지털 I/Q 데이터를 Gigabit Ethernet 인터페이스를 통해 전송하기 위해서는 적절한 변환 과정이 필요하다. 이를 위해 FPGA에서 연속적으로 만들어지는 IQ 데이터를 패킷 형태로 변환

Preamble (7Byte)	SFD (1Byte)	Sort of Packet (1Byte)	Sequence (2Byte)	I/Q Data (59~1513Byte)	CRC (4Byte)
------------------	-------------	------------------------	------------------	------------------------	-------------

SFD : Start Frame Delimiter

(a) I/Q 데이터 전송을 위한 프레임 구조

Preamble (7Byte)	SFD (1Byte)	Sort of Packet (1Byte)	Unit Addr (1Byte)	Length (1Byte)	I/Q Data (59~1513Byte)	CRC (4Byte)
------------------	-------------	------------------------	-------------------	----------------	------------------------	-------------

SFD : Start Frame Delimiter

(b) Control 데이터 전송을 위한 프레임 구조

Preamble (7Byte)	SFD (1Byte)	Sort of Packet (1Byte)	TTG time (4Byte)	UL time (4Byte)	RTG time (4Byte)	DL time (4Byte)	CRC (4Byte)
------------------	-------------	------------------------	------------------	-----------------	------------------	-----------------	-------------

SFD : Start Frame Delimiter

(c) 타이밍 데이터 전송을 위한 프레임 구조

그림 7. RRH 시스템 데이터 프레임 구조
Fig. 7. The data frame structure of RRH systems.

* 1000BASE-SX/LX, 10GBASE-S/L/E
** 1000BASE-T 기준

하여 송신하는 기능과 수신된 패킷을 원래의 IQ 데이터로 복원하는 과정을 수행한다. 기존에 사용되는 CPRI 표준에서는 I/Q데이터, C&M (Control & Messaging), 동기화(Synchronization) 신호를 Gigabit Ethernet에서 사용하는 프레임에 담아 그대로 전송하는데^[2], 이 경우 Header와 Tailer 길이가 상당한 양을 차지하기 때문에 전송속도에 많은 부하를 주게 된다. 따라서 기존의 Ethernet 프레임 구조에서 MU와 RU 사이의 데이터 전송에 사용할 때 발생하는 부하 문제를 해결하기 위해 Header와 Tailer 길이를 줄인 새로운 형태의 프레임 구조를 사용하였다.

RRH 시스템에서 I/Q 데이터의 전송을 위한 프레임 구조는 기존의 Ethernet 프레임이 가지는 DA (Destination Address), SA (Source Address) 와 같은 주소 필드들을 대신하여 SOP (Sort of Packet) 필드를 사용하였다. 이는 I/Q 데이터가 하향의 경우 MU에서 모든 RU로 방송하는 형태로 전달되고 반대의 경우 모든 RU에서 MU로 전송하는 형태에서 데이터의 종류와 방향만을 나타내는 SOP 필드만으로도 데이터의 목적지를 구분할 수 있기 때문이다. Sequence 번호는 해당 패킷이 TDD Downlink의 몇 번째 패킷인지를 나타내는 필드로 RU에서 TDD동기 신호를 독자적으로 생성하기 위해 사용된다.

제어 데이터의 경우 MU와 각 RU가 일대일로 주고받는 데이터이기 때문에 SOP외에도 UA(Unit Address) 필드가 추가로 사용된다. 데이터의 방향과 종류를 SOP를 이용해 나타내고, UA에 해당 RU 번호가 기입되어 RU들은 자신에게 오는 데이터를 구분할 수 있으며, MU또한 각 RU의 제어데이터를 구분할 수 있다.

타이밍 데이터 전송을 위한 프레임의 경우 데이터가 들어갈 자리에 타이밍 데이터를 4Byte씩 추가하여 TDD 동기과 관련한 데이터를 전송한다.

RRH 시스템의 패킷화 과정에서 하나의 Ethernet 패킷에 들어갈 수 있는 I/Q데이터의 양은 59~1513 Byte이지만 한 번에 만들어지는 I/Q 데이터의 크기는 20bit이기 때문에 이들을 그대로 전송하면 Ethernet 선로의 데이터 전송 효율이 너무 낮아진다. 따라서 생성되는 IQ 데이터를 여러 개 모아서 하나의 Ethernet 패킷으로 만들어 전송하면 데이터 전송효율을 높일 수 있다. 하지만 이와 같은 방법에서는 데이터 전송 지연 시간이 길어지는 문제가 발생한다. RRH 시스템은 기지대역 모델에서 생성한 IQ 데이터가 정해진 시간 안에 전송되어

야하는 실시간 시스템이므로 전송지연 시간은 허용되는 범위 안에서 최소화되어야 한다. 따라서 데이터 전송 효율을 극대화 하면서도 최대 데이터 전송시간을 서로 만족시킬 수 있는 적절한 Ethernet 프레임 크기를 찾아야 한다.

라. MU와 RU의 동기화

MU와 RU는 서로 물리적으로 떨어져 있기 때문에 동작 시간을 일치 시키는 동기화 과정이 필요하다. 하향 데이터 전송 과정은 BBIC에서 만들어진 IQ 데이터가 복수의 RU들에서 동시에 무선채널로 송신되어야 단말기에서 정상적인 데이터 수신이 가능하다. 반대로 상향 데이터 전송은 각 RU에서 수신된 단말기의 신호가 MU에 동시에 도착해야 한다. 또한 WiMAX 시스템은 TDD 방식으로 동작하기 때문에 시스템의 동작 방향이 하향선로 방향에서 상향선로 방향으로 다시 반대 방향으로 주기적으로 바뀐다. 이 때 RU들의 동작 방향이 동기화되어 모두 동시에 바뀌어야 한다. 이와 같은 조건들을 만족시키기 위해 MU와 RU 사이에는 서로의 동작 시간을 동기화 시키는 방법이 사용된다.

동기화 과정을 설명하기 위해서 다음과 같은 변수를 정의한다. Td는 직접 연결된 MU와 RU 사이에 데이터를 전송하는데 걸리는 시간을 의미한다. Td는 MU와 RU의 FPGA 처리시간과 Ethernet 선로에서의 데이터 전송 지연시간을 모두 포함한 값이다. BB 모듈과 RF 모듈이 한 장치에 위치하는 일반적인 기지국에서는 이상적인 경우 Td의 값이 0 이다.

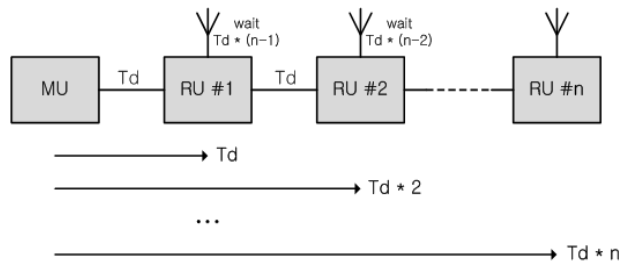


그림 8. RU의 직렬연결에서의 하향전송 타이밍 동기
Fig. 8. Synchronization in Serialized RU Downlink.

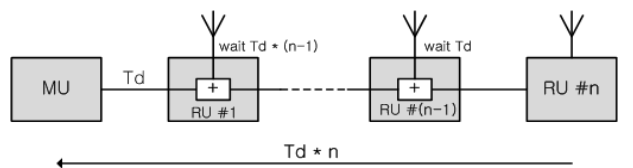


그림 9. RU의 직렬연결에서의 상향전송 타이밍 동기
Fig. 9. Synchronization in Serialized RU Uplink.

Td의 값은 MU와 RU가 연결되는 형태에 따라 달라진다. 예를 들면 그림 8과 같이 하나의 MU에 복수의 RU들이 직렬로 연결되는 경우 MU가 전송한 데이터가 첫 번째 RU에는 Td 이후에 도착하고 n 번째 RU에는 약 $n \times Td$ 이후에 도착한다. 따라서 이 프레임들이 동기화되어 동시에 RF 단에서 단말기로 전송되도록 하기 위해서는 MU에 가까운 RU 일수록 더 오랜 시간을 기다린 후 프레임을 전송해야 한다.

RU에서 수신한 데이터를 MU로 전송하는 반대의 경우 MU에서 먼 RU부터 순차적으로 수신한 데이터 프레임을 MU로 전송한다. n 개의 RU 들이 직렬로 연결되었다고 가정하면 RU#(n)이 전송한 수신 데이터 프레임은 인접한 RU#(n-1)로 전송된다. RU#(n-1)에서는 RU#(n)으로부터 전달받은 IQ 데이터 프레임을 자신이 수신한 IQ 데이터 프레임과 더한 후 그 결과를 인접한 RU#(n-2)에 다시 전달한다. 이 과정은 모든 RU들에서 수신한 정보를 누적한 IQ 프레임이 MU에 도달할 때까지 반복된다. 이와 같은 수신 데이터의 누적은 상향선로의 데이터 전송량을 줄이기 위한 것이다. 하향선로는 MU에서 생성한 1개의 데이터가 모든 RU를 목적지로 하여 방송 형태로 전송되지만 상향선로는 모든 RU 들이 고유한 데이터를 발생시키기 때문에 이를 MU로 그대로 전달할 경우 상향선로의 데이터양이 급격히 늘어나기 때문이다.

상향선로에서 이루어지는 데이터 누적은 BB 수신단에서 기술적인 문제를 일으키지 않는다. BB 수신단의 입장에서 보면 누적된 데이터는 다중경로(multipath)를 거친 신호들이 중첩되어 수신 된 것으로 해석되기 때문이다. 통신시스템에서 BB는 일반적으로 다중경로 감쇄에 효과적으로 대응하도록 설계되어 있다.

각 RU와 MU 사이의 데이터 전송시간 Td는 MU가 전송한 프레임이 RU를 거쳐 다시 돌아오는 시간을 측정하여 얻을 수 있다. 측정된 데이터를 이용하여 각 RU들의 동작에 필요한 정보를 알려준다. 이때 RU에서 하향 IQ 데이터를 수신한 후 얼마의 대기 시간을 가진 후에 데이터를 전송할 것인지, RF 단에서 수신한 IQ 데이터를 얼마의 지연 후에 전달할 것인지를 알려주는 정보가 포함된다. Td 측정 시 RU의 FPGA 단에서 MU의 패킷을 재전송하기 때문에 지연 시간은 매우 정밀하게 측정되어 큰 변동이 생기지 않는다. 그러나 시스템의 안정적인 동작을 위하여 주기적으로 Td 값을 측정한다. 구현된 RRH 시스템은 정밀한 측정을 위하여 동기화를

위한 제어메시지는 데이터 패킷에 우선하여 전송된다.

마. 각 IP간의 CDC(Clock Domain Crossing)

구현된 RU 와 MU에서 FPGA와 Ethernet PHY IC 서로 다른 clock에 의해서 구동된다. 이는 Ethernet 수신단은 통신을 위해 반대편의 Ethernet PHY IC가 제공하는 clock에 동기 되고, FPGA는 host 시스템과의 통신을 위해 host 시스템에 동기 되기 때문이다. 따라서 Ethernet PHY IC와 FPGA 사이의 정합에는 동작 clock의 위상불일치로 인해 발생하는 데이터의 불완전한 전송을 막아주는 CDC (clock domain crossing) 블록이 사용된다.

그림 10에 보인 것과 같이 CDC 블록은 크게 Rx FSM (Finite state machine), Sample FSM, 제어장치로 구성된다. Rx FSM은 PHY IC의 동작 clock에 동기 되어 있으며 순환 FIFO 형태를 가지는 내부의 완충장치에 수신데이터를 저장한다. Sample FSM과 제어장치는 FPGA의 동작 clock에 맞추어 Rx FSM에 저장된 데이터를 읽어내어 다른 FPGA의 블록에 제공한다. 이와 같은 과정을 거쳐 Ethernet PHY IC에서 수신한 데이터는 FPGA에 안정적으로 전달된다.

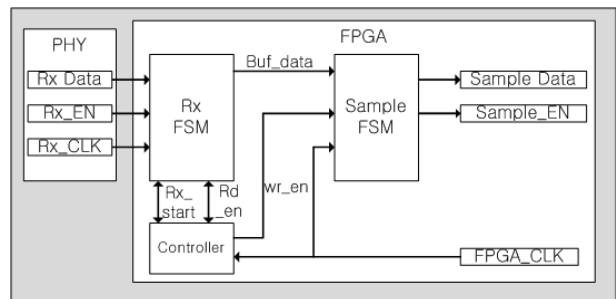


그림 10. CDC 블록의 구조
Fig. 10. Structure for clock domain crossing block.

III. 구현 및 실험

그림 12는 본 연구를 위해 제작된 하드웨어를 보여준다. 그림 12(a)는 BB와 MU가 서로 연결된 상태를 보여준다. 왼편과 가운데의 두 보드는 BB를 구성하며 오른편의 보드가 MU 이다. MU는 모두 모두 8개의 RU를 병렬로 연결할 수 있는 구조를 가지고 있어 MU에 8 개의 RJ-45 커넥터가 장착되어 있다. 그림 12(b)는 RU의 형상이다. 이 그림에서 RU 하단의 두 개의 RJ-45 커넥터 가운데 하나는 MU 혹은 RU와 연결을 위한 것이고

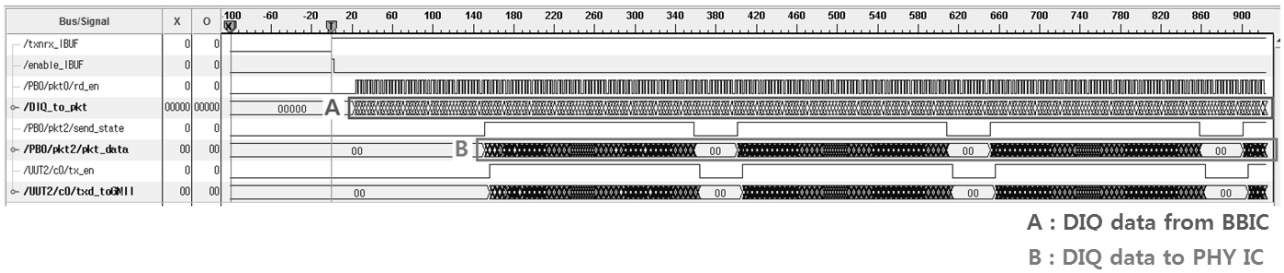
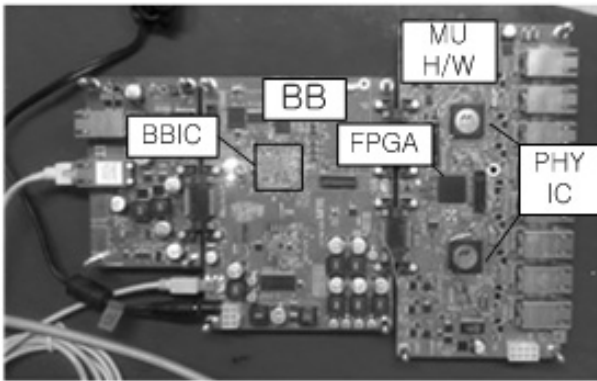
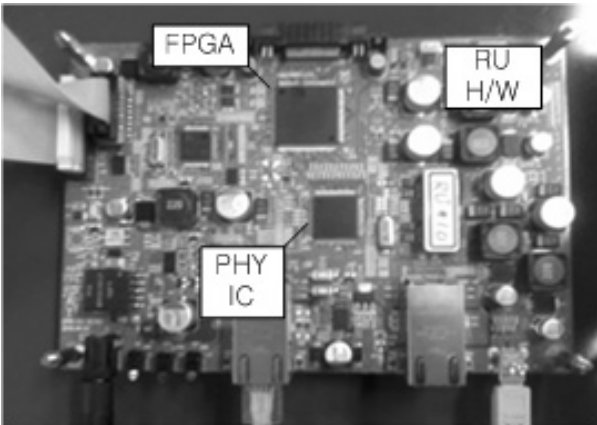


그림 11. MU에서 연속형태 DIQ 데이터를 패킷형태의 DIQ 데이터로 변환한 결과
Fig. 11. The conversion result of continuous DIQ data into packet frames in MU.



(a) BB와 MU 하드웨어

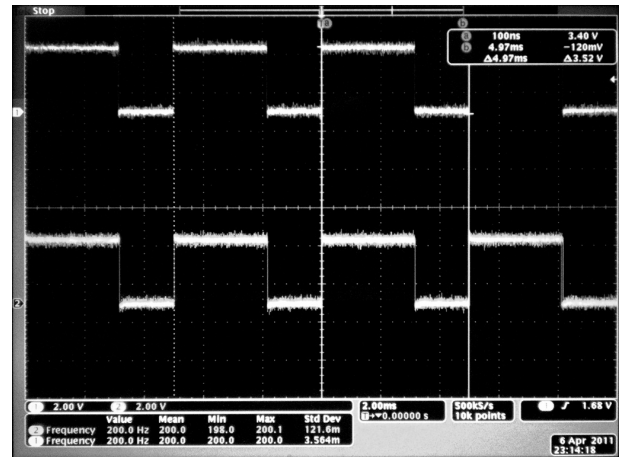


(b) RU 하드웨어

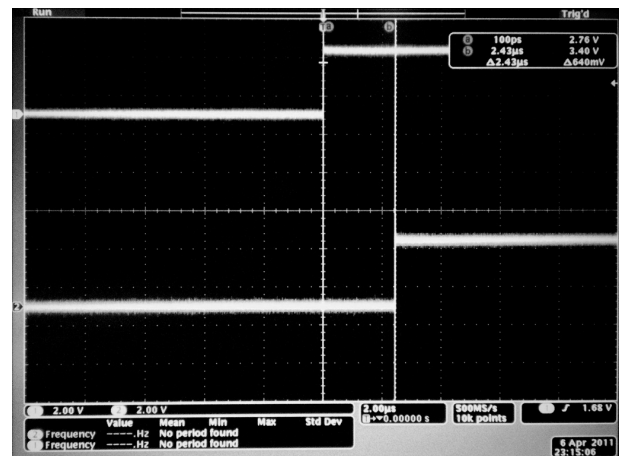
그림 12. RRH 하드웨어 (a) BB 와 MU (b) RU
Fig. 12. RRH hardware (a) BB and MU (b) RU.

오른 편의 커넥터는 이 RU에 직렬로 연결되는 다른 RU와의 통신을 위한 것이다. 그림 상단의 커넥터는 RF 단과의 연결을 위한 것이다.

RRH 시스템 구현에 필요한 하드웨어 기능은 Veliog-HDL를 이용하여 기술되었으며 Modelsim을 이용하여 검증하였다. 검증된 Verilog 프로그램은 Xilinx ISE를 이용해 합성 후 Xilinx의 보급형 FPGA모델 Spartan-3E에서 테스트 하였다.



(a)



(b)

그림 13. 실험결과: (a) TDD 동기신호 재생, (b) MU와 RU 사이의 전송 지연시간의 검증 결과
Fig. 13. Experiment results on (a) the TDD synchronization signal regeneration and (b) the measurement of synchronization signal transmission delay between the MU and the RU

그 결과 MU는 130MHz, RU는 157MHz의 최대 동작 주파수를 보였다. MU와 Gigabit Ethernet을 거쳐 RU 정상적으로 전달됨을 확인하였다. 또한 RU가 RF를 통

해 수신한 데이터도 MU에 정상적으로 전달하였다.

FPGA 사의 검증에는 실시간 FPGA 동작 검증 도구인 Xilinx Chipscope를 사용하였다.

그림 11은 MU에서 수행되는 패킷화 과정을 보여준다. BBIC로부터 전송되는 연속적인 DIQ 데이터들은 모아져서 Ethernet에 적합한 프레임으로 변환된 후 Ethernet PHY IC로 전송된다.

그림 13은 RU가 MU로부터 받은 동기화 정보를 이용해 TDD 전송방향 제어 신호를 생성한 결과를 오실로스코프를 이용하여 측정한 결과이다.

그림 13(a)는 구현 시스템에서 전송방향 절체가 주기적으로 원활하게 이루어지고 있음을 보여준다. 그림 13(b)는 MU에서 생성된 전송방향 절체 신호가 RU에서 재생되기까지의 지연 시간이 약 2.43us임을 측정한 결과이다. 이 값을 바탕으로 MU는 RU에 실제 절체시간보다 이전에 RU 절체 신호를 전달하여 MU와 RU가 동시에 전송방향 절체를 수행하도록 하였다.

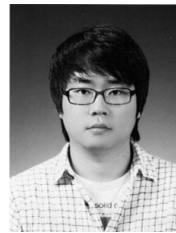
IV. 결 론

본 논문에서는 Gigabit Ethernet을 이용해 저가형 RRH 시스템을 구현한 결과를 보였다. 기지국과 RRH 간의 데이터 전송이 저가의 Gigabit Ethernet 선로를 통해 수행되도록 하기 위해 간략화된 프로토콜을 설계하고, 이를 FPGA에 구현하였다. 구현 내용은 상용 WiMAX 시스템과 적용되어 핵심적인 동작인 데이터 패킷화 과정과 장치간 동기화 과정이 정상적으로 수행됨을 보였다. 본 논문에서 제안한 방법을 이용할 경우 기존 광통신 기반의 CPRI나 OBSAI의 규격을 적용하는 것보다 경제적인 RRH 시스템의 구현이 가능하다.

참 고 문 헌

- [1] OBASAI, "Reference Point 3 Specification V4.2" OBSAI, 2010.
- [2] CPRI, "CPRI Specification V4.2", CPRI, 2010.
- [3] WiMAX Forum, "WiMAX Forum™ Mobile System Profile Release 1.0 Approved Specification", WiMAX Forum, 2007.
- [4] IEEE Computer Society, "Carrier Sense Multiple Access with Collision Detection(CSMA/CD) Access Method and Physical Layer Specification. Section 1", IEEE, 2008.
- [5] JEDEC, "JEDEC STANDARD, Radio Front End-Baseband Digital Parallel(RBDP) Interface (JESD207)", JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, 2007.

저 자 소 개



서 성 삼(학생회원)
2011년 광운대학교
전자통신공학과 공학사
2011년~현재 광운대학교
전자통신공학과 석사과정
<주관심분야 : Embedded system,
LDPC, 통신용 DSP구조>



이 현 석(정회원)
1992년 KAIST 전기및전자공학과 공학사.
1995년 POSTECH 전자전기과 공학석사.
2007년 Univ. of Michigan,
Computer Science and
Engineering(CSE), Ph.D.

1992년~2008년 삼성전자 통신연구소 수석연구원
2008년~현재 광운대학교 전자통신공학과 조교수
<주관심분야: Software defined radio, 통신용
DSP구조, Embedded system, VLSI>