논문 2012-49IE-1-1

시간-디지털 변환기의 성능 개선에 대한 연구

(A Study on the Performance Improvement of a Time-to-Digital Converter)

안 태 원*, 이 종 석**, 문 용***

(Tae-Won Ahn, Jongsuk Lee, and Yong Moon)

요 약

본 논문에서는 시간-디지털 변환기의 성능 개선을 위하여, 높은 해상도의 2단 시간-디지털 변환기(TDC)를 설계하였다. TDC 중간에 2단 버니어 시간 증폭기(2-S VTA)를 사용하여 2단 구조를 갖도록 하였다. 2단 버니어 시간 증폭기는 기존의 시간 증폭기에 비해 이득이 64 이상으로 매우 크기 때문에 전체 2단 TDC의 해상도를 높인다. TDC는 버니어 구조를 사용하였기 때문에 고급 공정에 제한받지 않고, 높은 해상도를 얻을 수 있다. 제안하는 2단 TDC는 0.18㎛ CMOS 공정으로 설계하였고, 전원 전압은 1.8V로 모의실험 하였다. 전체 입력 범위는 512ps이고 전체 해상도는 0.125ps이다.

Abstract

For the performance improvement of a time-to-digital converter(TDC), a 2-stage high resolution TDC has been designed by using a 2-stage vernier time amplifier(2-S VTA). The two stage vernier time amplifier which has a gain over 64 of the resolution can enhance the resolution of the whole two stage TDC. Because of using a vernier TDC, the structure is not limited to advanced processes for achieving high resolution. The proposed TDC has been designed in a 0.18 ㎛ CMOS process and simulated with a 1.8V supply voltage. The entire input range is 512ps, and the full resolution 0.125ps.

Keywords : TDC, 시간 증폭기, 버니어 구조, 높은 해상도

Ⅰ. 서 론

시간 디지털 변환기(TDC)는 All-Digital PLL (ADPLL)에서 위상 주파수 검출기와 전하펌프를 대체할 수 있는 블록으로 두 시간의 차이에 대한 정보를 해당되는 디지털 값으로 바꿔주는 역할을 한다. ADPLL은 기존의 전하펌프 PLL에 비해 저항이나 캐패시터 같은 수동소자를 사용하지 않아도 되며, 보다 작은 면적과 빠른 락킹 시간, 그리고 공정변화에 쉽게 스케일링이 가능하다는 장점이 있다[1]. 또한 TDC는 우주로부터 들어오는 우주선(comic ray)을 고해상도로 측정할 수도 있고, 사람이 직접 측정하기 어려운 곳의 레이저 범위 추적 시스템에서도 사용되며, 이러한 측정을 위해서는 높은 해상도를 갖는 TDC가 요구된다. 하지만 두 시간 차가 너무 짧으면 그 시간 간격을 감지하기 어려워지기 때문에 시간 증폭기(TA)로 짧은 시간차를 증폭한 다음 시간 디지털 변환기에서 최종적으로 디지털 코드로 변환하는 방법을 사용한다[4~6]. 그러므로 TA는 시간 디지털 변환기의 해상도를 높이는데 매우 유용한 회로이다. 하지만 TA는 고급 공정을 기반으로 높은 해상도를 얻는 구조가 대부분이다. 따라서 본 논문에서는 버니어 지연을 이용하여 일반 공정에서도 높은 해상도를 얻을

* 정회원, 동양미래대학 전기전자통신공학부
(Dongyang Mirae University)
** 학생회원, *** 정회원-교신저자, 숭실대학교 정보통신전자공학부
(Soongsil University)
※ 본 연구는 동양미래대학 학술연구비 지원 및 숭실대/IDEC의 CAD 툴 지원을 받았습니다.
접수일자: 2011년11월1일, 수정완료일: 2012년3월7일

수 있는 버니어 시간증폭기(VTA)를 사용하였으며, 시간 디지털 변환기 또한 버니어 지연을 이용하였다. 또한 해상도를 높이기 위해 TDC구조를 2단 구조로 설계하였으며, 인버터 체인과 보정회로를 사용하여 회로의 속도를 높이고, 미스매치를 줄였다. 최종적으로 12bit, 0.125ps의 해상도와 512ps의 넓은 입력범위를 가질 수 있는 것을 모의실험을 통하여 검증하였다.

Ⅱ. 제안하는 TDC의 설계

1. 인버터 버니어 지연단

버니어 지연단(VDL)은 버니어 칼리버의 원리를 이용하여 TDC의 정밀도를 높이는 방법 중 하나이다[2]. 인버터 VDL의 기본구조를 그림 1에 나타냈다.

인버터 VDL을 이용한 TDC의 동작원리는 다음과 같다. 시간차를 갖는 두 신호(STOP, START) 중 START가 먼저 입력이 된다. 하지만 START 인버터의 지연시간이 STOP 인버터보다 α만큼 더 길기 때문에 입력된 시간차이는 한단씩 지날 때마다 α만큼씩 줄어들게 되고, 결국 시간 차이가 없어지게 된다. α를 버니어 지연단의 해상도라 표현하며, 버퍼 한 개의 최소 지연시간에 상관없이 해상도를 높일 수 있다. 이를 수식으로 표현하면 아래 식(1)과 같다.

$$\text{지연시간} = \tau d+\alpha - \tau d = \alpha \qquad (1)$$

실제 설계에서는 8ps의 해상도로 설계하였다. 그림 2의 플립플롭은 두 라인의 입력신호 중 우선순위를 비교하여 STOP이 START보다 먼저 입력되었을 때 반전된 신호를 출력한다. 2종류의 플립플롭을 사용한 이유는 인버터의 특성상 위상이 반전된 신호를 출력하기 때문에 홀수단과 짝수단을 따로 비교해주기 위해서이다. 2종류의 플립플롭 회로도는 그림 2에 나타냈다.

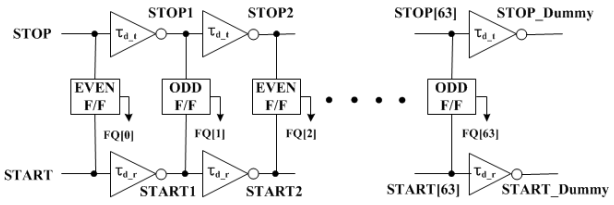


그림 1. 인버터 VDL 블록도
Fig. 1. Block diagram of inverter VDL.

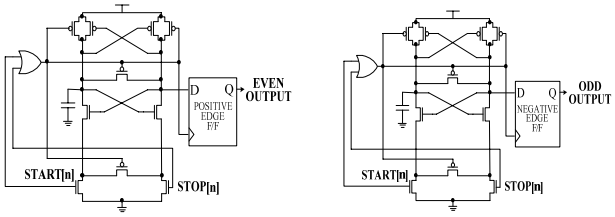


그림 2. 2종류의 플립플롭 회로도
Fig. 2. 2 type flip-flop circuits.

플립플롭의 설계가 중요한데 그 이유는 START와 STOP라인에서 플립플롭에 연결된 부분의 로드가 짝수단과 홀수단이 다르게 되면 신호의 지연시간도 달라져서 인버터 VDL의 해상도를 일정하지 않게 만들기 때문이다. 그래서 플립플롭의 START와 STOP이 들어오는 부분은 똑같이 맞춰주되, 플립플롭의 출력단에 다른 종류의 플립플롭을 사용하여 인버터 VDL의 짝수단과 홀수단의 위상을 따로 비교할 수 있게 하였다.

2. 기존의 시간 증폭기

시간 증폭기(TA)는 두 개의 NAND게이트를 이용하여 두 입력의 시간차(T_{off})를 해당 이득만큼 증폭하여 출력하는 회로이다[3]. 그림 3은 2개의 TA를 사용하여 입력시간이 음수인 경우까지도 증폭해 출력할 수 있는 기존의 시간증폭기 회로도이다.

하지만 버퍼1개의 지연 시간(T_{off})에 따라 이득이 결정되기 때문에 일반 공정에서 지연이 큰 경우 이를 해결할 방법이 없다.

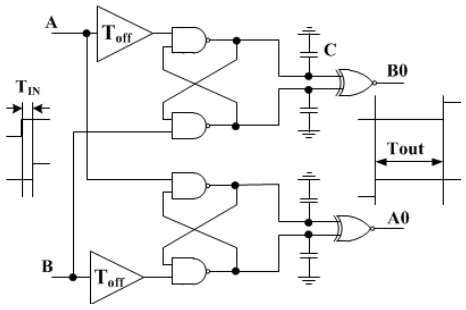


그림 3. 기존의 시간증폭기 회로도
Fig. 3. Conventional time amplifier circuit.

3. 2단 버니어 시간 증폭기

기존의 시간증폭기의 단점을 보완하기 위해 버니어 지연을 적용한 버니어 시간증폭기(VTA)를 사용하였으며 그림 4에 회로도를 나타냈다.

VTA의 해상도 T_{off}를 역시 T_{off1}과 T_{off2}의 지연시간

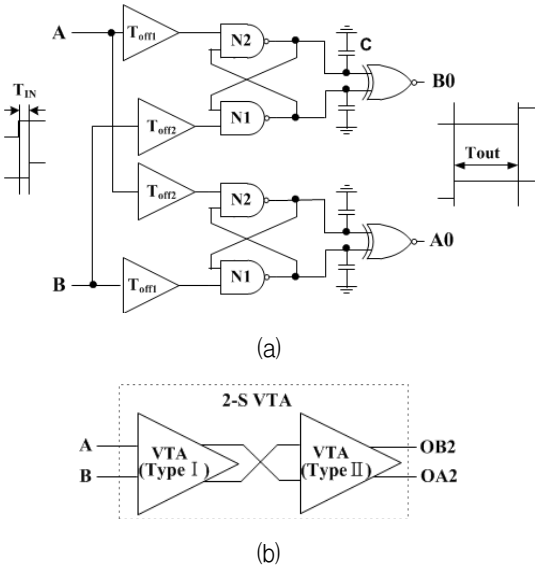


그림 4. (a) VTA 회로도 (b) 2단 VTA 블록도
Fig. 4. (a) VTA circuit (b) 2-stage VTA block diagram.

차이로 얻을 수 있으며 기존의 시간증폭기에 비해 정밀함을 얻을 수 있다. 이득을 높이기 위하여 2단 구조를 이용하였으며 선형성을 최대로 유지하면서 최종적으로 ±15ps의 입력범위와 전체 이득을 64이상 얻을 수 있어서 6bit의 해상도가 가능하다.

4. 2단 TDC

제안하는 2단 TDC의 전체 블록도는 그림 5와 같다. 시간차를 갖는 두 입력 STOP과 START가 들어오면 CTDC(Coarse TDC)에서 버니어 인버터 지연에 의해 각 단을 지날 때 마다 α만큼의 시간 차이(8ps)로 START와 STOP의 시간차이가 줄어들게 된다. 각 단의 신호들은 Buffer Delay Line 블록을 지나서 64 to 1 MUX에 입력된다. 두 신호의 시간차이가 CTDC의 해상도(8ps) 이하로 짧아지게 되면, MUX는 Buffer Delay Line의 해당출력을 2단 VTA에 내보낸다. 2단 VTA는 입력된 두 시간차를 해당 이득(>64)만큼 증폭시켜 FTDC(Fine TDC)의 입력에 보낸다. SELECTOR는 CTDC에서 플립플롭의 출력 Q[n]을 입력받아서 두 신호의 시간차가 8ps 이하가 되는 순번을 MUX에 알려준다. CTDC의 시간차가 그대로 2-S VTA에 입력되어야 하기 때문에 Delay Buffer 블록은 CTDC의 출력보다 SELECTOR의 신호가 먼저 MUX에 입력되어 오동작이 없게 해준다.

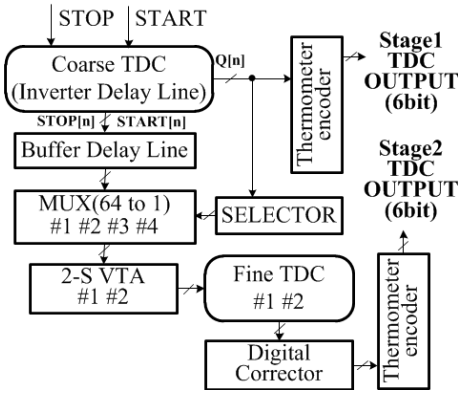


그림 5. 2단 TDC 전체 블록도
Fig. 5. 2-stage TDC block diagram.

FTDC는 2-S VTA의 증폭된 시간차를 입력받아 CTDC와 동일한 방식으로 동작한다. 단 2개를 사용하여 2-S VTA에서 발생하는 에러를 교정할 수 있게 전체 TDC를 설계하였다. 최종적으로 2단 TDC는 식(2)의 해상도를 갖게 된다.

$$8ps / 64(\text{VTA gain}) = 0.125ps \quad (2)$$

TDC 구조가 기존의 버퍼 지연단과는 다른 인버터 지연단을 사용하였기 때문에 같은 입력 범위에 2배 이상의 면적 이득과, 소자 자체의 미스매치를 줄일 수 있다. 제안한 시간 디지털 변환기의 입력 범위는 64 × 8ps = 512ps이다. 입력 범위는 단수가 많아질수록 넓어지겠지만 시간 디지털 변환기 동작에 필요한 범위와 양자화 노이즈를 고려하여 6bit로 설계했다.

5. TDC 선형성을 위한 교정회로

제안한 시간 디지털 변환기에 발생하는 문제점으로는 첫 번째로 VTA의 이득 선형성 문제가 있다[4]. 이를 해결하기 위하여 FTDC에 1bit를 추가하여(6bit+1bit) VTA의 이득이 64보다 커졌을 경우에도 양자화 할 수 있도록 했다. 또한 음수값이 나올 경우도 보정하기 위

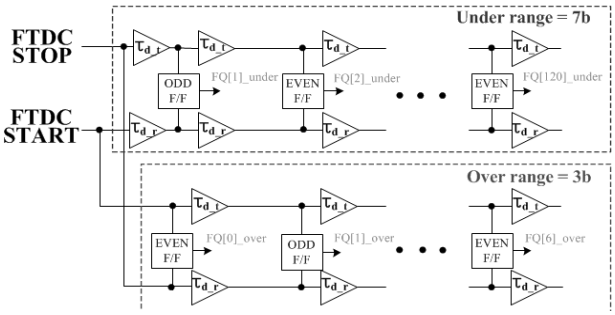


그림 6. FTDC 블록도
Fig. 6. FTDC block diagram.

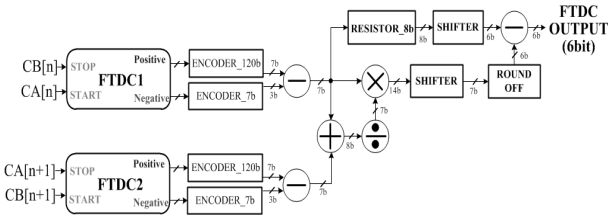


그림 7. 디지털 교정기 블록도
Fig. 7. Digital corrector block diagram.

해 회로를 4bit 추가하여 STOP과 START 신호를 반대로 입력하여 양자화 하였다. 이를 그림 6에 나타냈다.

두 번째로 버니어 시간 증폭기 자체의 오프셋 문제점이 있는데 VTA의 입력에 동일한 신호를 인가하여 오프셋을 측정한 후 저장하여 최종 출력에서 보정해 준다. 최종적으로 FTDC는 6bit의 값을 출력하게 된다. 이 같은 동작을 위한 디지털 교정기를 설계하였고, 그림 7에 그 블록도를 나타냈다.

Ⅲ. 모의실험 및 결과

1. 2-S VTA 모의실험 결과

그림 8은 설계된 VTA의 이득에 대한 모의실험 결과이다. ±15ps의 입력범위와 전체 이득을 64이상 얻을 수 있다는 것을 확인할 수 있었다.

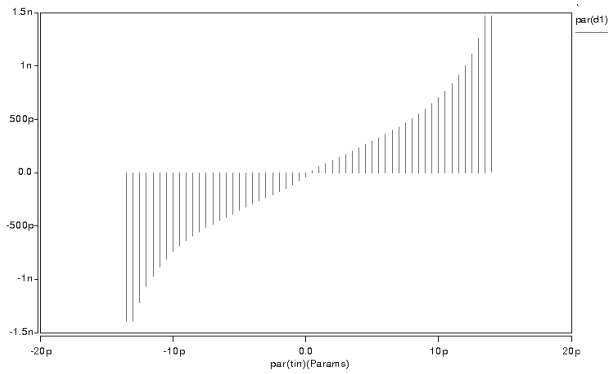


그림 8. 2-S VTA 이득 그래프
Fig. 8. Simulation graph of 2-S VTA gain.

2. CTDC 모의실험 결과

인버터 VDL에서 START와 STOP의 인버터 크기를 조절하여 CTDC의 해상도를 8ps로 설계하였다. 그림 9는 CTDC의 해상도를 맞춘 방법을 보여준다. START단과 STOP단 인버터의 rising time과 falling time을 맞추면서 지연시간을 8ps 차이로 설계하는 것은 불가능하기 때문에 VDD/2 지점에서 앞단의 출력과 뒷단 출력과의 지연시간을 위상이 바뀌어도 같은 값을 가질 수 있도록 설계하였다.

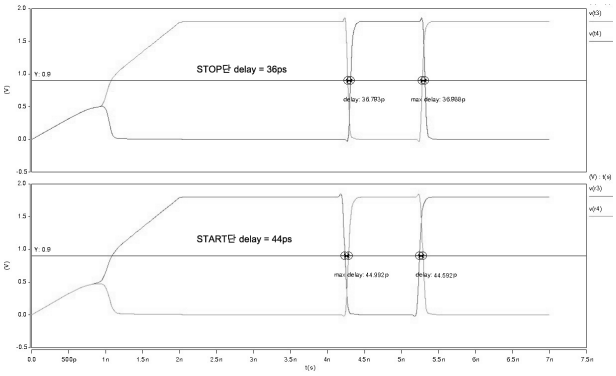


그림 9. CTDC 해상도 설정방법
Fig. 9. CTDC resolution configuration.

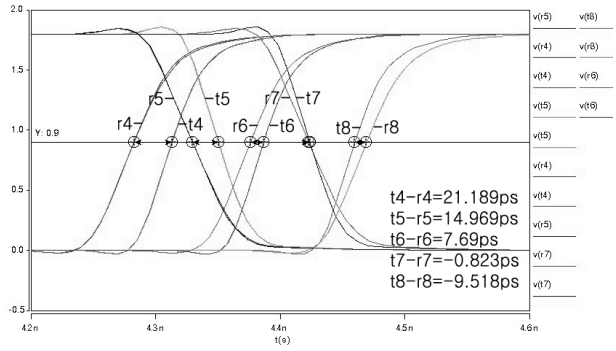


그림 10. CTDC 모의실험 파형
Fig. 10. CTDC simulation waveform.

표 1. CTDC 측정결과
Table 1. CTDC measurement results.

시간차	CTDC(6bit)	
0	000000	0
8	000001	1
16	000010	2
24	000011	3
32	000100	4
40	000101	5
48	000110	6
56	001000	8
64	001000	8
72	001001	9
80	001010	10
88	001011	11
96	001100	12
104	001101	13

결과적으로 그 결과 CTDC 전체 해상도는 위상이 반전되어도 8ps의 일정한 값을 갖는다. 그림 10은 50ps의 입력시간차에 대한 CTDC 모의실험 결과 파형을 4번째

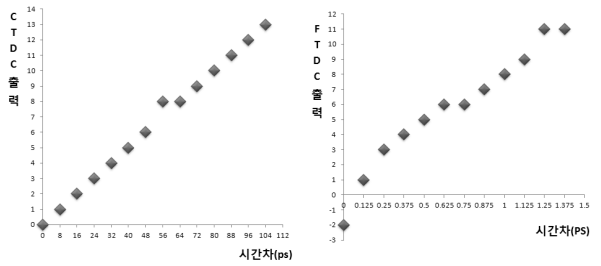
단부터 8번째 단까지의 파형이며, 약 8ps의 일정한 해상도를 보여준다. 표 1은 입력시간을 0부터 104ps까지 8ps단위로 증가하며 실험한 CTDC 출력결과이다.

3. 디지털 교정기 검증결과

FTDC1과 FTDC2의 출력은 디지털 교정기 블록을 통과하여 FTDC의 출력으로 사용된다. 표 2는 FTDC의 해상도와 디지털 교정기 블록을 동작을 검증하기 위해 TDC 입력 시간차를 0부터 1.375ps까지 0.125ps 단위로 증가하여 실험한 결과이며, 그림 11은 CTDC 및 FTDC의 출력결과를 그래프로 나타냈다. 디지털 교정기 블록을 추가하여 선형적인 결과를 얻을 수 있다는 것을 확인할 수 있다. 표 3은 시간증폭기를 사용한 TDC의 성능을 비교했다. 다른 연구에 비해 해상도가 매우 높다는 것을 확인할 수 있다.

표 2. FTDC 측정결과
Table 2. FTDC measurement results.

시간차 (ps)	FTDC1 (7bit)		FTDC2 (7bit)		FTDC OUTPUT (6bit)	
0	1111110	-2	1001110	78	111110	-2
0.125	1111111	-1	1001100	76	000001	1
0.25	0000001	1	1001010	74	000011	3
0.375	0000010	2	1001000	72	000100	4
0.5	0000011	3	1000110	70	000101	5
0.625	0000100	4	1000101	69	000110	6
0.75	0000101	5	1000011	67	000110	6
0.875	0000110	6	1000001	65	000111	7
1	0000111	7	1000000	64	001000	8
1.125	0001000	8	0111110	62	001001	9
1.25	0001010	10	0111100	60	001011	11
1.375	0001010	10	0111011	59	001011	11



(a) (b)

그림 11. (a) CTDC 출력결과 (b) FTDC 출력결과
Fig. 11. (a) CTDC output (b) FTDC output

표 3. TDC 성능비교
Table 3. Performance Comparison of TDC.

	[4] JSSCC 2007	[5] ISSCC 2010	[6] DDECS 2010	this work
공정	90㎚ CMOS	0.18㎛ CMOS	90㎚ CMOS	0.18㎛ CMOS
해상도	9bit 1.25ps	1.25ps	6.8	12bit 0.125ps
시간증폭기 이득	> 16	> 64	> 4	> 64
입력범위	640ps	100ps	12ps~9.5ns	512ps
전원전압	1.2V	1.8V	0.5V	1.8V

Ⅳ. 결 론

본 논문에서는 시간-디지털 변환기(TDC)의 성능 개선을 위하여, 2단 구조의 12bit TDC를 제안하였다. CTDC에서 두 입력 시간 차이를 8ps단위로 디지털 변환을 하고 시간 차이가 8ps 이하가 되었을 때 2단 시간증폭기(2-S VTA)를 이용해 증폭하였다. 증폭된 시간은 FTDC에서 다시 8ps 단위로 디지털 변환하여 2단 TDC의 LSB를 결정한다. 2-S VTA는 64이상의 이득을 가짐으로 FTDC가 6bit의 해상도를 가능하게 해준다. 최종적으로 인버터 체인 구조를 이용하여 빠른 연산과 기존의 버퍼 지연단에서 발생하는 소자의 미스매치를 50%이상 줄일 수 있었으며, 512ps의 넓은 입력범위와 12bit, 0.125ps의 높은 해상도를 얻을 수 있었다. TDC와 2-S VTA 모두 버니어 라인으로 설계하였기 때문에 기존의 TDC에서 회로의 성능을 크게 좌우했던 인버터 최소 지연시간에 의한 해상도의 한계점을 개선할 수 있었다. 2-S VTA의 이득과 회로 자체의 부정합에 의한 문제점들을 디지털 교정 회로를 사용해 줄임으로써, 훨씬 높은 수준의 TDC 해상도를 구현할 수 있었다. 본 연구는 ADPLL과 같은 시간-디지털 변환기가 필요한 시스템의 성능 향상에 크게 기여할 것으로 예상된다.

참 고 문 헌

[1] 김용우, 안태원, 문용, “디지털 PLL을 위한 높은 해상도를 갖는 시간-디지털 변환기의 연구,” 대한전자공학회 2008년 하계종합학술대회, pp. 587-588
[2] 안태원, 이종석, 문용, “인버터 체인을 이용한 고속 2단 시간-디지털 변환기,” 대한전자공학회 2011년 하계종합학술대회, pp. 1465-1467
[3] A. M. Abas et al., “Time difference amplifier,” Electron. Lett., vol. 38, no. 23, pp. 1437-1438, Nov. 2002

[4] M. Lee and Asad A. Abidi, “A 9b, 1.25ps Resolution Coarse - Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue,” IEEE JSSC, vol.43, no.4, pp.168-169, June 2007
[5] Seon-Kyoo Lee, Young-Hun Seo, Yunjae Suh, Hong-June Park, Jae-Yoon Sim, “A 1GHz ADPLL with a 1.25ps Minimum-Resolution Sub-Exponent TDC in 0.18μm CMOS,” IEEE ISSCC, pp.482-483, Feb. 2010
[6] Kuo-Hsing Cheng, Chang-Chien Hu, Jen-Chieh Liu, Hong-Yi Huang, “A Time-to-Digital Converter Using Multi-Phase-Sampling and Time Amplifier for All Digital Phase-Locked Loop,” IEEE DDECS, pp.285-288, Apr. 2010

저 자 소 개

안 태 원(정회원)
1992년 서울대학교 전자공학과 학사 졸업.
1994년 서울대학교 전자공학과 석사 졸업.
2009년 숭실대학교 전자공학과 박사 졸업.
1994년～2002년 삼성전자 반도체 책임연구원.
2002년～현재 동양미래대학 전자과 부교수.
<주관심분야 : 반도체, PLL, Mixed/RF IC 설계>

문 용(정회원)
1990년 서울대학교 전자공학과 학사 졸업.
1992년 서울대학교 전자공학과 석사 졸업.
1997년 서울대학교 전자공학과 박사 졸업.
1997년～1999년 LG반도체 선임연구원.
1999년～현재 숭실대학교 정보통신전자공학부 부교수.
<주관심분야 : 혼성신호IC, 저전력회로, CMOS RF회로, UWB 등>

이 종 석(학생회원)
2009년 숭실대학교 정보통신 전자공학부 학사 졸업.
2009년～현재 숭실대학교 전자공학과 석박사 과정.
<주관심분야 : 주파수합성기, PLL 등>