

소모전력을 위한 FPGA 알고리즘에 관한 연구

윤충모*, 김재진**

요약

본 논문에서는 소모 전력을 최소화하기 위한 FPGA 알고리즘을 제안하였다.

제안한 알고리즘은 FPGA를 구성하고 있는 CLB에 맞도록 회로 분할을 수행하여 매핑 가능 클러스터를 생성한다. 매핑 가능 클러스터는 글리치 제거 방법을 이용하여 소모전력을 감소시킨다. 글리치 제거는 매핑 가능 클러스터의 내부에 대해 신호의 흐름을 분석하여 글리치가 발생될 수 있는 경로에 지연 버퍼 삽입 방법을 이용하여 제거한다. 매핑 가능 클러스터에 대한 글리치를 제거한 후 전체 매핑 가능 클러스터들에 대한 신호 경로를 분석한다. 분석된 결과에 따라 매핑 가능 클러스터 사이의 글리치도 지연 버퍼 삽입 방법을 이용하여 제거한다.

실험은 [8]와 [9] 알고리즘을 대상으로 소모 전력을 비교하였다. 비교결과 [9]에 비해 전체 소모전력이 7.14% 감소되어 알고리즘의 효율성을 입증하였다.

A Study of FPGA Algorithm for consider the Power Consumption

Choong-Mo Youn*, Jae-Jin Kim**

Abstract

In this paper, we proposed FPGA algorithm for consider the power consumption.

Proposed algorithm generated a feasible cluster by circuit partition considering the CLB condition within FPGA. Separated the feasible cluster reduced power consumption using glitch removal method. Glitch removal applied delay buffer insertion method by signal process within the feasible cluster. Also, removal glitch between the feasible clusters by signal process for circuit.

The experiments results show reduction in the power consumption by 7.14% comparing with that of [9].

Keywords : power consumption, glitch, FPGA, CLB

1. 서론

최근 휴대용 전자 제품의 수요가 급증함에 따라 저전력 회로의 설계가 중요한 사항으로 등장하고 있으며, 소비 전력을 줄이기 위한 방법으로 여러 가지 방법들이 제안되고 있다. 대부분의 경우 스위치 캐패시턴스의 수를 줄이기 위한 가장

효율적인 방법인 노드의 스위칭 동작을 줄이는 방법을 제안하였다[1-5]. FPGA나 CPLD를 대상으로 하는 저전력 기술 매핑 알고리즘은 많이 제안되었으나, 최근에 CPLD나 FPGA와 같은 회로 구현 소자를 선정할 후 글리치 제거 방법을 이용한 저전력 회로 설계 방법으로는 [9]이 제안되었다[2-9]. 특히 CPLD를 대상으로 글리치 제거 방법을 적용하여 저전력의 회로를 구현한 방법은 [10]이 있다[10].

그러나 기존의 알고리즘인 [9]은 회로에 대해 글리치가 발생될 수 있는 확률을 계산하여 글리치를 제거하는 방법으로 완전한 글리치 제거가 불확실하다는 단점이 있다. 또한 [10]은 CPLD를 대상으로 한 회로 구현 방법으로 FPGA와 같이 내부를 구성하고 있는 블록에 맞도록 회로를 분할할 경우 발생될 수 있는 글리치에 대해서는

※ 제일저자(First Author) : 윤충모

접수일:2012년 01월 12일, 수정일:2012년 02월 20일

완료일:2012년 03월 06일

* 서일대학교 정보전자과 교수

5477choong@hanmail.net

** 강동대학교 컴퓨터정보과 부교수

▣ 본 논문은 2011년도 서일대학교 학술연구비 지원에 의해 연구 되었음.

전혀 고려하지 않은 단점을 가지고 있다.

따라서 본 논문에서는 이러한 단점을 보완하여 FPGA를 구성하고 있는 CLB에 맞도록 회로를 분할 한 후, 분할된 회로에 대한 클리치 제거를 수행하여 저전력의 회로를 구현한다. 또한, 분할된 매핑 가능 클러스터 사이에 발생할 수 있는 클리치도 같이 제거하여 최적의 저전력 회로를 구현할 수 있는 알고리즘을 제안한다.

2. 관련연구

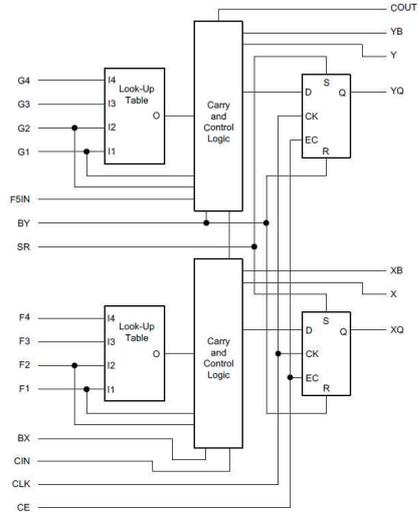
2.1 클리치

회로의 한 노드에서의 논리 값이 0 에서 1 , 또는 1 에서 0 으로 천이 할 경우에 회로의 동작과 무관하게 발생하는 신호를 클리치라 하며 생성클리치와 전파클리치로 나누어진다.[9] 생성 클리치는 클리치가 아닌 입력 신호들의 충돌 (collision)로 발생된다. 입력 신호에 대해 도착 시간의 차이가 충분히 크고 입력 신호의 패턴이 클리치의 발생 조건을 만족할 경우에 발생하는 클리치이다. 전파클리치는 게이트의 입력신호에 존재하는 클리치가 게이트의 출력단까지 전달되어 발생하는 클리치이다.

2.2 CLB

CLB(Configurable Logic Block)는 플립플롭 또는 래치로 사용되는 저장 소자를 더하여 논리를 이행하는 유연한 LUT(Look Up Table)를 포함한다. CLB는 데이터를 저장할 뿐만 아니라, 다양한 논리적인 기능을 수행한다[10]. 그림 1은 Xilinx사의 Spartan-II의 CLB 구조를 나타내었다.

CLB를 이용하여 회로를 구현하기 위해서는 CLB의 구조에 맞도록 회로를 우선 분리하여야 한다. CLB의 조건은 입력의 수가 가장 큰 제한 조건이다.



(그림 1) Spartan-II의 CLB
(Fig. 1) CLB of Spartan-II

3. FPGA 저전력 알고리즘

FPGA를 이용하여 저전력회로를 구현하기 위해서는 우선 초기입력(PI)에서 최종출력(PO)까지의 신호 경로를 분석한다. 분석된 경로에 따라 FPGA를 구성하고 있는 CLB에 맞도록 회로를 분할한다. 분할된 회로에 대해 지연 버퍼 삽입 방법을 이용하여 클리치를 제거한다. 마지막으로 분할된 매핑 가능 클러스터들 사이에 클리치를 제거하여 저전력의 회로를 구현한다.

3.1 회로분할

회로를 분할하기 위해서는 초기 입력에서 최종 출력까지의 방향으로 FPGA를 구성하고 있는 CLB의 제한 조건을 만족하면서 최대의 크기로 회로를 분할하여야 한다. CLB의 제한 조건은 입력변수의 수가된다. 따라서 초기입력에서부터 각각의 노드의 입력수를 고려하여 CLB의 최대 입력수를 초과하지 않도록 분할한다. 이와 같은 분할 알고리즘은 그림 2에 나타내었다. 분할 알고리즘을 이용하여 분할된 회로는 FPGA를 구성하고 있는 CLB에 구현이 가능한 회로이며 매핑가능 클러스터라 정의한다.

```

Partition_Circuit(PI(), PO(), DAG)
begin
  search path PI to PO;
  node(name, step, input, output)←each node;
  // name : 노드이름
  // step : 노드의 초기입력으로부터의 단계
  // input : 노드의 입력변수
  // output : 노드의 출력변수
  for(node(PI); node(PO); step++)
  {
    P_node_value =  $\sum$  (B_node_value);
    // P_node_value : 현재 노드의 입력값
    // B_node_value : 입력되는 노드의 입력값
    if( P_node_value > CLB_value )
    // CLB_value : CLB의 최대 입력수
    CLB_list ← B_node();
  }
end
    
```

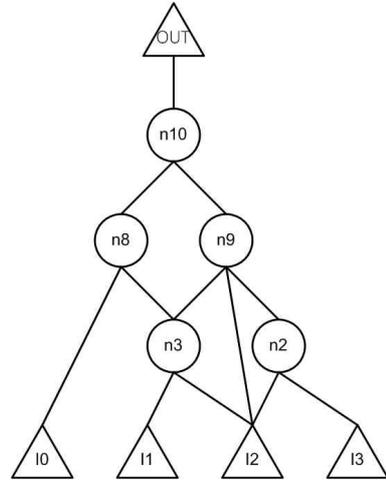
(그림 2) 분할 알고리즘
(Fig. 2) Partition algorithm

3.2 글리치 제거

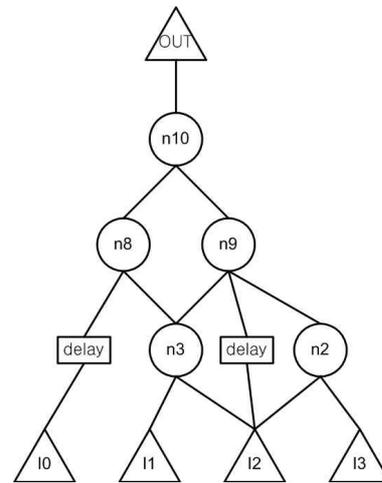
글리치 제거는 분할된 회로에 대한 글리치 제거와, 매핑 가능 클러스터 간의 글리치 제거로 나누어 수행한다.

3.2.1 매핑 가능 클러스터의 글리치 제거

매핑 가능 클러스터는 그림 2의 분할 알고리즘을 이용하여 분할된 회로를 의미한다. 따라서 CLB에 매핑 될 수 있는 최대 크기의 회로이다. 글리치 제거는 지연 버퍼 삽입 방법을 이용하여 수행한다. 매핑 가능 클러스터의 출력에서 입력까지의 경로를 분석한 후 각 경로의 단계가 일치하도록 지연 버퍼를 삽입한다. 이러한 방법의 예는 그림 3에 나타내었다.



(a) 글리치 제거 전
(a) Before removal glitch



(b) 글리치 제거 후
(b) After removal glitch

(그림 3) 매핑 가능 클러스터에 대한 글리치 제거

(Fig. 3) Removal glitch for the feasible cluster

3.2.2 매핑 가능 클러스터 간의 글리치 제거

3.2.1의 글리치 제거 방법을 이용하여 내부의 글리치를 제거한 매핑 가능 클러스터를 이용하여 전체 회로를 구성한다. 구성된 전체회로를 기준으로 최장 경로를 파악하여 최장 경로의 단수에 맞도록 모든 경로에 지연 버퍼를 삽입하여

동일한 단계를 갖는 회로를 구현한다. 이와 같은 방법을 이용하여 전체 회로에 대한 글리치를 제거한다. 매핑 가능 클러스터에 대한 글리치 제거 알고리즘은 그림 4에 나타내었다.

```

Glitch Removal for FC(FC(), edge)
begin
  for(all FC(n))
  {
    FC_Cost(n) = FC(n, R_level, L_level);
  }
  for(all FC_Cost(n))
  {
    if(R_level>L_level)
      insert delay device in FC left input;
    else if(R_level<L_level)
      insert delay device in FC right input;
    else
      break;
  }
end
    
```

(그림 4) 매핑 가능 클러스터들의 글리치 제거
(Fig. 4) Glitc removal for the feasible clusters

4. 실험결과

본 논문에서 제안한 방법에 대한 실험으로 [9]의 알고리즘과 비교하였다.

실험에 사용한 예제는 SIS에서 제공되는 MCNC 벤치마크 회로들의 불린 네트워크를 입력으로 사용하였다.

MCNC 벤치마크 회로들은 조합논리회로와 순서논리회로가 있으며 그 중에서 11개의 회로를 선정하여 실험에 사용하였다. 선정된 회로들에 대하여 면적과 소모 전력은 표 1에 제시하였다. 표 1에 나타난 것과 같이 알고리즘 [9]에 비해 면적은 약 5%정도 증가되었으나 소모 전력은 약 7.14% 감소된 것으로 나타났다.

<표 1> 전력 비교

<Table. 1> Power compare

	[8]		[9]		본 논문	
	blocks	power	blocks	power	blocks	power
alu2	57	5.2	57	4.8	63	4.6
alu4	189	23.6	189	19.9	198	17.3
dalu	488	27.6	488	27.4	503	26.8
ex5p	134	12.2	134	11.8	141	10.9
duke2	71	7.3	71	7.3	85	7
t481	94	21.8	94	18.6	96	17.3
cps	135	26.5	135	24.2	145	22.3
apex4	129	30.5	129	24.3	135	22.1
misex3	142	30.7	142	29.7	145	26.2
psdes	127	28.4	127	26.3	133	24.8
sort	101	22.1	101	18.8	107	18.6
Total	1667	235.9	1667	213.1	1,751	197.9

5. 결론

본 논문에서는 소모 전력을 위한 FPGA 알고리즘을 제안하였다.

제안한 알고리즘은 디지털 회로를 FPGA로 구현할 때 저전력의 회로를 구성하고 있는 알고리즘으로 우선 전체회로에 대한 경로를 분석한 후 CLB에 맞도록 회로를 분할을 수행한다. 분할된 매핑 가능 클러스터는 글리치 제거 방법을 이용하여 소모 전력을 줄였다. 또한 매핑 가능 클러스터들 간에도 신호의 흐름에 따른 글리치 발생 여부를 조사하여 지연 버퍼 삽입 방법을 이용하여 글리치를 제거한다.

실험은 [9]에서 제안한 알고리즘을 대상으로 소모 전력을 비교하였다.

비교결과 전체 소모전력이 7.14% 감소되어 알고리즘의 효율성을 입증하였다.

참고 문헌

[1] J. Cong and Y. Ding, "FlowMap : An 'Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs", IEEE Transactions on Computer-Aided Design of Integrated Cir

cuit and Systems, Vol. 13, No. 1, January 1994, pp. 1-11

[2] Zhi-Hong Wang, En-Cheng Liu, Jianbang Lai, Ting-Chi Wang, "Power Minimization in LUT-Based FPGA Technology Mapping", ASP-DAC, pp.635-640, January 2001.

[3] R.J Francis, J. Rose and Z. Vranestic, "Technology Mapping of Lookup Table-Based FPGAs for Performance", 1991 IEEE Conference on Computer Aided Design, pp. 568-571

[4] E. M. Sentovice et al., "SIS : A system for sequential Circuit Synthesis", Technical Report UCM/ERL M9 2/41, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1992

[5] Jason Helge Anderson, Stephen Dean Brown, "Technology Mapping for Large Complex PLDs", Design Automation Conference, 1998, pp. 698-703

[6] 윤충모, 김희석, "시간적 조건에서 실행 시간을 개선한 CPLD 기술 매핑 알고리즘 개발", 한국 OA 학회 논문집 vol 4권 3호, pp. 35-46, 1999

[7] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.

[8] 김재진, 이관형, "상관관계에 의한 CLB구조의 CPLD 저전력 기술 매핑 알고리즘", 한국컴퓨터정보학회 논문집 제10권 제2호, pp. 49-57, 2005

[9] Kwan-Houng Lee, Jin-Gu Kang, Nam-Seo Park, Chong-Mo Yun, Jae-Jin Kim, "A Low Power Communication Circuit Design using Selective Glitch Removal Method", FGNC2008, pp. 51-56, December, 2008

[10] 허화라, "글리치 전력소모 감소를 이용한 CPLD 저전력 알고리즘 연구", 디지털산업정보학회 논문집 제5권 제3호, 2009

[11] Spartan-3A FPGA Family Data Sheet, www.xilinx.com, 2008

윤 충 모



1985년 : 단국대학교 대학원 (공학 석사)
 2000년 : 청주대학교 대학원 (공학 박사)

1993년~ 현재 : 서일대학교 정보전자과 교수
 관심분야 : CAD 알고리즘, 정보보안, 저전력 등

김 재 진



1995년 : 청주대학교 대학원 (공학 석사)
 2003년 : 청주대학교 대학원 (공학 박사)

2001년~ 현재 : 강동대학교 신재생태양광공학과 부교수
 관심분야 : CAD 알고리즘, 정보보안, 저전력, 에너지 등