

무기체계 정비성 향상을 위한 BIT 설계 및 검증 방안

Improvements in Design and Evaluation of Built-In-Test System

허완옥* 박은심* 윤정환*
Heo Wan Ok Park Eun Shim Yoon Jung Hwan

Abstract

Built-In-Test is a design feature in more and more advanced weapon system. During development test and evaluation(DT&E) it is critical that the BIT system be evaluated.

The BIT system is an integral part of the weapon system and subsystem. Built-In-Test assists in conducting on system and subsystem failure detection and isolation to the Line Replaceable Unit(LRU). This capability reduces the need for highly skilled personnel and special test equipment at organizational level, and reduces maintenance down-time of system by shortening Total Corrective Maintenance Time.

During DT&E of weapon system the objective of BIT system evaluation is to determine BIT capabilities achieved and to identify deficiencies in the BIT system. As a result corrective actions are implemented while the system is still in development. Through the use of the reiterative BIT evaluation the BIT system design was corrected, improved, or updated, as the BIT system matured.

Keywords : Built-In-Test(자체고장진단), Fault Detection Rate/Fraction of Faults Detectable(고장탐지율), Fault Isolation Rate(고장격리율), False Alarm Rate(오검출율)

1. 서론

무기체계는 기존의 재래식 전력에서 첨단 고도화가 됨에 따라 부수적으로 정비비용의 증가와 정비시간의 증가를 가져오고 시스템의 가용도에 악영향을 미친다.

최근 몇 년 간 전자부품 설계가 더욱 복잡해지고 이 중화된 병렬구조가 많이 이용됨에 따라 기존의 신뢰성 및 정비성 분야에서 시험성 분야가 독특한 공학으로

자리 잡고 있다. 신뢰성 공학은 가능한 한 고장이 발생하지 않도록 설계하는 것에 초점이 맞추어져 있고, 정비성 공학은 실제로 고장이 발생했을 때 가능한 한 수리하기 쉽고 비용 효과적으로 설계하는 것에 초점이 맞추어져 있으며, 시험성은 신뢰성과 정비성 사이의 중간 다리 역할을 하고 있는 것이다^[1].

BIT 시스템은 무기체계의 고장탐지와 LRU의 격리를 도와주는 데 도움을 준다. 이 능력은 관리 수준에서 아주 기술적인 인력과 특수 시험장비에 대한 필요성을 감소시키며, 수리 시간을 감소시킴으로써 장비 불가동 시간을 감소시킨다^[2].

최근 국내에서 추진되는 무기체계 개발사업을 보면,

† 2012년 2월 6일 접수~2012년 3월 23일 게재승인

* LIG넥스원(주)

책임저자 : 허완옥(heowanok133@lignex1.com)

사업초기 및 시스템 설계단계에서 BIT설계 개념을 명확히 정립하지 못하고 개발하는 사례가 일부 있음을 알 수 있다.

BIT시스템 평가에 있어서 중요한 평가 지표에는 고장 탐지율(Fault Detection Rate), 오검출율(False Alarm Rate), 고장 격리율(Fault Isolation Rate) 등이 있다. 이러한 평가지표를 사업 추진 초기부터 정량적으로 판단하기 위하여 고객(소요군)과 개발기관 간에 BIT설계에 대한 평가지표에 대한 기준을 확립할 필요성이 있다.

본 논문에서는 정비성 검증 및 평가에 대한 설명과 정비성 설계 중에서 중요한 부분을 차지하는 BIT 설계 평가를 중심으로 국내 무기체계의 BIT 설계 및 시험사례를 알아보고, 효율적인 BIT설계의 검증 및 평가 방법에 대하여 제안 하고자 한다.

2. 정비성 평가 및 BIT 설계

가. 정비성 검증 및 평가

정비성, 신뢰성, 시험성에 대한 관련규정으로는, 신뢰성에 대한 MIL-STD-785(Reliability Program for System and Equipment Development)와 시험성에 대한 MIL-STD-2165(Testability Program for Electronic Systems and Equipments), 정비성에 대한 MIL-STD-470(Reliability Program for System and Equipment) 규정 등이 있다.

MIL-STD-2165 규정은 전자 시스템 및 장비에 대하여 시험성 프로그램을 설정하고 설계에서의 시험성을 평가하며, 획득 절차 안으로 시험성의 통합을 위하여 동일한 절차와 방법을 제공하며^[3], 이 규정은 시스템의 성능을 모니터링하는 분야와 모든 정비계단(수준)의 올바른 정비행위를 위하여 시험능력을 시스템 설계에 반영하는 분야에 있어서 정비성을 지원하는 것을 그 목적으로 하고 있다.

정비성 프로그램을 위한 MIL-STD-470 이외에 MIL-STD-471(Maintainability Verification/Demonstration/Evaluation) 규정에는 정비성 검증을 수행하는 방법에 대한 세부지침이 수록되어 있으며, 정비성 검증의 목적은 장비가 정비될 수 있도록 정비될 수 있는 능력이 있는가를 실제로 보여주는 것으로 설명하고 있다^[4].

정비성 검증은 운용 장비에 고장을 유발시켜 놓고, 해당 무기체계가 야전에 배치되었을 때에 정비요원이 고장을 발견하고 수리하기 위하여 사용할 수 있는 기술교범 및 지원장비만을 가지고 확인하게 된다. 정비

성 검증을 성공적으로 통과하지 못하면 장비는 다시 설계하고 해당 기술자료도 수정되어야 하며 식별된 모든 문제가 반영될 때까지 무기체계의 야전 배치가 지연될 수도 있다.

무기체계 개발 선진국의 경우, 정비성 검증은 무기체계 수명주기의 1단계에서 수행되며 다른 정비성 시험은 수명주기의 후속단계에서 수행된다.

단계 0에서 개발되는 평균수리시간(Mean Time To Repair) 및 BIT 성과와 같은 정비성 요소를 검증하기 위한 노력이 초기 설계단계부터 구성품 및 부품 개발 단계에 걸쳐서 추진되고 있다.

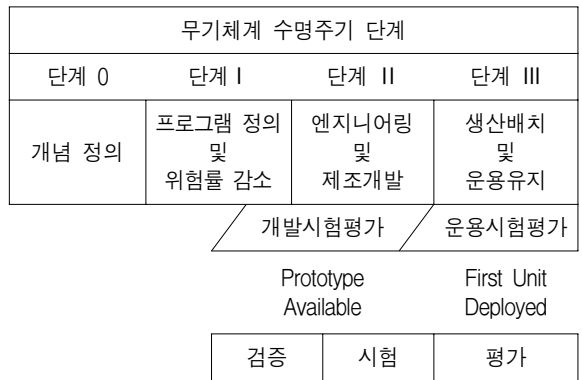


Fig. 1. The Maintainability Test and Evaluation in the System Life Cycle

정비성 검증 및 평가는 실제 환경에서 운용되는 무기체계 및 지원체계를 종합적인 관점에서 적합한 지를 확인하는 것이다. 주요 장비, 소프트웨어, 인력, 군수 지원의 모든 요소들이 통합적으로 운용되어 운용성능, 신뢰성, 정비성, 그리고 지원 능력 등이 측정되고 평가되고 있다.

나. 정비성 및 BIT 설계

정비성 설계 기준은 설정된 정비성 목표를 달성하기 위하여 장비 설계 기준을 정량화한 것이다. 이를 통해서 정비성 업무들의 결과를 정리하고 그에 따른 요구조건을 정리하여 장비 설계시 설계요원에 의해서 사용될 수 있는 지침을 만들어야 한다^[5].

일반적으로 고장탐지는 제품에서 발생이 예상되는 고장 중에 90%~98% 이상의 고장탐지를 목표로 하며, BIT에 의한 고장 위치의 격리율은 수동으로 탐지할 수 있는 고장 중 90% 이상의 격리를 목표로 한다^[6].

정비성 설계 기술은 고장 탐지 및 진단, 접근 용이성, 복구성, 정비지원시스템 등의 요소로 구분된다.

정비성 설계기술 중에서 “고장, 탐지, 진단”에는 고장 탐지기(Detector) 및 시험단자, 경보 표시, BIT가 해당되며, 이 중에서 BIT는 주요한 부분을 차지한다^[7].

BIT 설계에서 주의할 점은 BIT 자체 고장에 의한 오검출과 오격리가 발생하지 않도록 하고 BIT 고장으로 인해 제품(시스템)으로 고장이 확대되지 않도록 하는 것이다.

정비성을 위한 설계에 있어서, BIT의 설계와 평가 과정에 나타나는 어려움은 특정한 주장비 시스템 요구 사항과 설계 기준이 동시에 이루어진다는 것이다.

주장비 시스템(Basic System)과 BIT의 설계가 동시에 이루어질 때에는, 주장비 시스템의 고장 탐지에 대하여 검증 및 평가 여부와, BIT 설계를 결정해야 하는 하부 시스템/조립체/구성품의 구조화와 연관된 설계를 고려해야 한다^[8].

시스템 설계단계에서부터 BIT의 범위와 역할이 명확해야 하며 고장유형, 영향 및 치명도분석(FMECA)에 의한 기능분석을 통하여 BIT의 적용대상을 선정한다. 또한 고장 탐지 및 격리방법 등을 고려하여 BIT 상세 설계에 적용해야 한다.

상세 설계된 BIT는 검증의 프로세스를 거친다. BIT 설계 검증 단계에서는 BIT 목표값을 만족하도록 설계되었는지, 고장진단 점검단자(Test Point)가 적절히 설계되었는지, 고장격리가 가능하게 설계되었는지 검증하게 된다.

다. BIT 설계 모델 검증 및 평가

BIT 설계의 검증 및 평가는 정비성 검증의 분석 영역이다. 정비성 검증의 목적은 사용자에게 마지막 최종 변경된 시스템의 설계가 계약자가 개발한 군수 지원 패키지(공구, 시험장비, 교육, 기술교범)로 다루어질 수 있다는 것이다. 정비성 검증의 첫 단계는 이상이 없다고 판단되는 시스템에 임의의 고장을 유발시켜 BIT나 ATE를 사용해 고장위치를 나타내는 것이다^[9].

Fig. 2에 보이는 BIT 설계 모델은 “고장진단 시험위치” 및 “고장격리”의 두 가지 방법을 통하여 설계된다.

“고장진단 시험위치”는 점검단자(Test Point) 선정의 적절성을 검증하게 된다. 고장진단 방식의 검증은 하위 수준의 부품까지 분해하고, 고장탐지 가능한 기능 발휘 여부는 확인 시험을 실시하는 시험위치(△)로 표현된다.

또한 “고장 격리방법”은 고장탐지된 부분을 확인하고 격리하는 위치(△)이고 탐지 및 격리의 절차로 고장부위가 결정되는 위치(△)로 표현된다. 고장부위가 결정된 품목은 교환 가능한 품목(○) 및 불가능한 품목(□) 등으로 구분하여 정비정책이 올바르게 반영되었는가를 확인한다^[10].

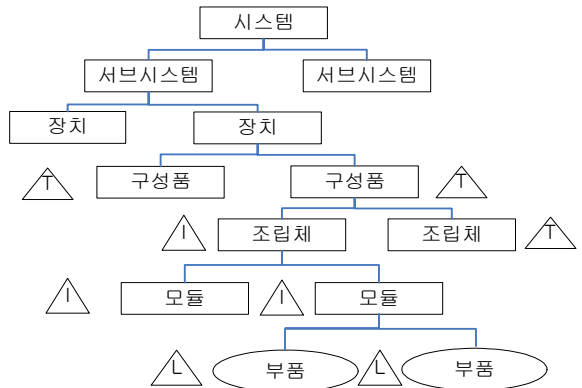


Fig. 2. BIT Design Model

BIT 설계 모델에서 구현되는 주요한 설계 요소에는 기능 발휘 여부를 확인하기 위한 시험위치, 고장탐지 및 고장격리방법, 고장 격리가 결정되는 위치, 고장 품목의 수리 정책 등이 있다.

BIT 설계의 검증은 BIT 설계모델에서 설계요소가 적절히 설계되었는가를 평가하게 된다.

개발 이후에 이루어지는 개발 및 운용시험평가에서는 이러한 BIT 설계의 검증 항목을 평가하게 된다. 기능 발휘 여부를 확인하기 위한 점검단자(Test Point)는 고장탐지의 시험위치가 되며 시험위치가 1개 이상의 패턴에 따라 고장 격리의 위치가 결정된다. 고장 격리된 품목은 수리가능 품목의 여부에 따라 정비가 이루어지게 된다.

BIT설계를 평가하는데 있어서 MIL-HDBK-470A (Designing and Developing Maintainable Products and System)의 부록 G. Maintainability Toolkit에서 제시하는 고장 탐지율의 정의는 다음과 같다^[11].

“BIT 탐지율” 용어는 “고장 탐지율”로 표현될 수 있으며 BIT탐지를 포함하는 정비요원의 정비활동에 대한 고장 탐지 비율을 측정하게 된다.

전체 운용시간에서 발생하는 실제 고장 “FA”는 실제 설계단계에서는 운용단계서 발생하는 고장 이력이 존재하지 않기에, 고장 징후로 나타날 수 있는 교환

가능한 하부 시스템의 수로 보는 것이 타당하다.

Table 1. Definition of Fault Detection

구 분	내 용
정의	<ul style="list-style-type: none"> 고장탐지율(FFD) = $\frac{FD}{FA}$ FD : 정의된 방법을 사용하여 정확하게 식별된 실제 고장 FA : 전체시간에서 발생하는 실제 고장 건수 고장 탐지율(FFD) : 직접적인 관찰 또는 운용자가 주어진 환경 하에 있는 정비요원의 세부적인 수단을 통하여 정확하게 식별 가능하면서, 가동시간 동안에 발생하는 모든 고장에 대한 비율

또한 식별된 실제 고장 “FD”는 실제 운용단계에서 통계적으로 측정된 값이며, 설계단계에서는 고장유형, 영향 및 치명도분석(FMECA)을 통한 고장유형의 식별 등으로 판단하고 있다.

3. BIT시험평가 사례

가. 관련 규정

방위사업청 훈령 제139호(‘11.2.25) 및 방위사업청 종합군수지원 실무 지침서(‘09.12)에서 제시하고 있는 전력화지원요소의 검증시험평가 중 종합군수지원(ILS : Integrated Logistics Support) 요소의 항목은 다음과 같다^[12].

- ① 정비대상품목에 대한 정비성
- ② 정비개념 및 단계, 정비빈도 및 소요수리시간, 기술 특기별 인원수 및 인시
- ∴

ILS요소 평가 항목 중 “① 정비대상품목에 대한 정비성” 분야에서 정비성 평가가 이루어지고 BIT 설계는 정비성 평가의 한 부분으로 수행된다.

고객(소요군)이 주관하는 전력화지원요소의 검증시험은 운용시험평가 기간에 실시하며 ILS 요소의 평가하는 항목은 다음과 같다.

- ① 정비개요
- ② 정비업무 : 정비시기, 정비계단, 정비빈도 및 정비 소요시간, 기술특기 및 인원수 및 인시
- ∴

전력화지원요소 검증시험의 “② 정비업무”의 “정비 소요시간” 항목은 실제 정비활동을 통하여 평균수리시간(MTTR)을 측정하게 되며 BIT를 활용한 평균수리시간(MTTR)도 포함된다.

전력화지원요소 시험평가 항목 중에서 BIT에 대한 항목은 규정에 구분되어 명시되어 있지 않으며, 연구개발 사업추진 간 BIT에 관련된 고객의 요구사항을 식별하여 관련 용어의 정의, 평가방법에 대하여 사업별로 정하여 시행하고 있다.

나. 평가 사례

국내 무기체계 연구개발사업의 ILS 시험 평가 동안에 최근 일부 사업에서 수행한 BIT 시험평가를 수행한 사업에 대하여 살펴본다.

Table 2. The Evaluation of BIT Design(A System)

사업명	A사업
특 성	
장비형태	UNIT 단위의 전자장비
평가기준	미설정
평가방법	<ol style="list-style-type: none"> 1) FMECA에서 BIT고장탐지 대상 고장 유형 도출 2) 고장 유형에 대한 회로분석 후 BIT 대상 품목 선정 3) 주임무에 영향을 미치는 소자에 따라 중요도 1부터 5까지 부여 4) 소자/부품 탈거후 고장징후 관찰

장치 단위의 전자장비 개발사업인 A사업은 시험평가 이전에 고장탐지에 대한 협의가 있었으며, 기술자료 분석 및 FMECA를 결과를 통하여 BIT 대상품목 선정과 평가를 위한 점검단자(Test Point)를 도출하였다.

평가 대상은 임무의 중요도 및 고장발생 우선순위에 따라서 선정하였으며, 시험평가는 개발기관-평가기관과 협의하여 임의의 고장 유발을 통하여 BIT 설계의 시험 패턴 결과에 대한 적절성을 평가하였다.

Table 3. The Evaluation of BIT Design(B System)

사업명 특 성	B사업
장비형태	셀터단위의 전자장비
평가기준	고장탐지율 90% 이상
평가방법	1) 능동소자, 수동소자에 따른 BIT대상 품목 선정 2) 소자 탈거후 고장 징후 관찰

B사업은 고장탐지율에 대한 기준을 설정하고, 부품별 BIT 가능품목과 기능회로시험(Functional Circuit Test) 대상품목을 선정하였다. 장치류에 대해서는 주요 기능에 대한 고장 유발 후 BIT 구현 여부를 확인하고, 회로카드조립체는 회로도에 BIT 종류별 구현 경로(Path)를 표시하였다.

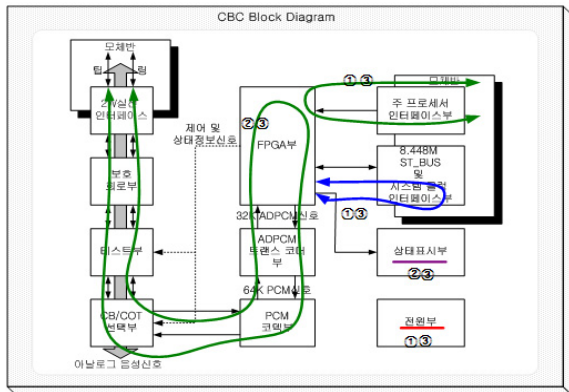


Fig. 3. The Example of Block Diagram

또한 B사업은 “BIT 탐지율”을 여러 기준을 설정하여 시험평가를 수행하였다.

Table 4. Definition of BIT Detection

구분	B사업
BIT 탐지율 1	$\frac{BIT \text{ 탐지 품목 수}}{BIT \text{ 대상 품목 수}}$
BIT 탐지율 2	$\frac{BIT \text{ 탐지 품목 수}}{\text{총 품목 수}}$
BIT 탐지율 3	$\frac{BIT \text{ 탐지 품목 고장율 합}}{\text{총 품목 고장율 합}}$

시험평가 간 시스템에서 주기능을 수행하는 능동소자 부품에 대하여 점검단자(Test Point)를 결정하였으며, 임의의 고장 삽입후 BIT 설계의 시험패턴 결과의 적절성을 평가하였다.

다. 교훈

BIT 평가는 고장격리의 검증을 통하여 평가를 수행하며, 이는 궁극적으로 고장을 탐지하고 격리하는 절차를 확인하는 것이다.

국내에서 수행했던 전력화지원요소 시험평가에서는 고객의 BIT와 관련된 요구사항이 초기에 명확하게 식별되지 않고, 주장비 및 BIT 설계가 동시에 진행되어 요구되는 BIT 사항이 설계에 반영되지 않으며, 시험평가 준비단계에 이르러 평가기준을 설정하는 등 사업 초기의 단계부터 정비성을 위한 BIT 설계 활동이 제한되고 있다.

우선적으로 “고장 탐지율”과 “BIT 탐지율”에 대한 정의가 운용자와 개발기관 간에 합의되어야 한다. BIT는 고장 탐지방법 중에 하나이며, 탐지율의 정의에 따라 설계 목표값이 3%~90%의 큰 차이가 있기 때문이다.

또한 운용자와 개발기관 간에는 BIT 관련 평가 지표에 대하여 해석상 차이점이 존재할 수 있다. 예를 들면, BIT 목표값에 대한 고객의 제시 및 개발 기관의 구현 방법은 타당인가? 고장 모드 또는 잠재적으로 일어날 수 있는 모든 고장에 대하여 언급하고 있는가? 탐지 능력은 고장 범위, 기계 시스템, 소프트웨어에 걸쳐 적용되고 진단 능력은 단지 일정한 전자 시스템과 같은 하드웨어에 적용 가능한 것인가?에 대한 것은 운용자와 개발자 입장에서 더 많은 연구가 필요하다.

4. 효율적인 BIT 설계 평가 방안

가. BIT 계획 및 정비성 평가

BIT 계획은 설계 초기단계에 포함되어야 하는 고려요소이다. BIT 계획 및 분석에 대한 기본자료는 시스템이 운용된다고 볼 때, 고장이 발생할 것이라고 예측되는 가능한 고장이 결정되어야 한다. 고장정보에 대한 근원은 신뢰성 공학에서 수행하는 고장유형, 영향 및 치명도분석(FMECA)에서 나온다. FMECA는 예측된 시스템의 모든 고장유형을 식별하기 때문에 BIT를 이

용하는 어떤 수준의 고장 식별 계획의 분석 시작점이 된다.

사용자와 개발자의 간의 계약 내용은 물론 주요 엔지니어링 설계 이슈는 고장에 대한 정의에 관련이 있다. BIT 성능은 단지 BIT로 취급할 수 있는 고장을 대상으로 할 것인지 또는 복잡한 통합 시스템에서 심각한 구성품의 고장으로 검토될 것인지에 대하여 충분한 이해와 협의 필요하다.

따라서 개발단계 초기의 시스템 상세기술서에 포함되어 하는 전형적인 BIT 관련 요구사항은 다음과 같은 것이 있다.

Table 5. The Scope of BIT Design Requirement

BIT 관련 요구사항
<ul style="list-style-type: none"> • 상태 감시 요구사항 • BIT를 사용한 고장범위에 대한 요구사항 • BIT감시만을 사용한 고장범위에 대한 요구사항 • 최대 수용할 수 있는 BIT 오진단에 대한 요구사항 • BIT 고장 대기시간에 대한 요구사항 • BIT를 사용하여 교체 가능한 부품에 대한 고장배제 요구사항 • BIT 자원(하드웨어, 메모리 용량, 무게, 전력, 시험소자)에 대한 요구사항 • BIT 하드웨어 신뢰성에 대한 요구사항

BIT를 포함한 적절한 정비성은 무기체계 설계에 통합되어야 한다. 고장탐지가 더 쉽고 빠르면 빠를수록 더욱 신속한 정비가 이루어질 수 있다. 장비설계에 있어서 과도한 BIT 능력은 정당화할 수 없는 중대한 장비의 비용 증가를 초래할 수 있다. 따라서 무기체계의 신뢰성, 정비성, 시험성, 장비의 성능 및 비용사이의 균형을 이루기 위해서 정비성 요구사항, BIT 계획 및 측정, 평가에 대한 조기의 체계적인 관리가 필요하다.

다음에 제시되는 사례를 통해 정비요원이 BIT하드웨어의 능력을 이용하였을 때 전체 평균수리시간(MTTR : Mean Time To Repair)에 미치는 영향을 파악해야 한다.

이렇게 측정된 MTTR은 운용시간동안 발생하는 총 보수정비시간(Total Corrective Maintenance Time)을 의미한다. 또한 예상되는 오검출 건수에 대한 정보도 확인할 수 있다.

다음 시스템은 BIT의 성능을 가진 5개의 LRU 시스템의 예를 나타낸 것으로, BIT가 아닌 정비요원에 의한 고장은 전체 운용가능도에 영향을 미치지 않는 단순고장 격리로 간주하여 MTTR을 0으로 가정하고 있다¹³⁾.

- 시스템의 성능
 - MTBF : 50시간
- 시스템의 운용환경
 - 연간운용시간(AOR) : 2500시간

Table 6. The Requirement of BIT Performance

구분	BIT의 설계값
요구 조건	탐지율 = 90% 격리율 = 90% (LRU 수준) 오검출율 = 5% (모든 BIT 징후를 포함)

BIT 탐지율, 격리율, 오검출율에 대한 설계값을 제시하였다. 이 설계값은 하드웨어 성능에 의하여 규정된다. 시스템의 고장 건수는 평균고장간 시간 MTBF (Mean Time Between Failure)에 의하여 고장 건수로 표현된다.

- 고장예상 건수 : 2500시간/50시간 MTBF = 50건
- BIT에 의한 고장탐지 건수 : 50건 × 90% = 45건
- BIT에 의한 고장격리된 건수 : 45건 × 90% = 40건
- 정비요원에 의해 고장격리된 건수 :
50건 - 40건 = 10건
- BIT에 의한 고장탐지건수(오검출 포함)
= BIT 탐지율 × 총 고장건수 + 오검출율 × BIT에 의한 고장탐지 건수(오검출 포함)
 $X = (0.9 \times 50) + (0.05 \times X)$
∴ $X = 47.36$ 건
- 오검출 건수
= 총 BIT 지시건수(IBIT) - 실제 BIT 지시건수
= 47.36 - 45 = 2.36건

위의 값을 종합해 보면 BIT로 탐지되는 고장건수는 47.36건 그 중 오검출되는 고장 건수는 2.36건, BIT가 아닌 정비요원의 능력으로 탐지되는 고장건수는 0.64건이 됨을 알 수 있다.

Table 7. The Requirement of Maintainability Evaluation

구분	정비성 평가 설계값
요구 조건	MTTR(w/BIT) : 2시간 (BIT 탐지 및 격리가 되는 고장의 MTTR) MTTR(no/BIT) : 5시간 (BIT 탐지만 가능한 고장의 MTTR)

정비성 평가는 BIT 탐지 및 격리가 되는 고장인 MTTR(w/BIT)과 BIT 탐지만 가능하고 정비요원이 고장을 배제하는 MTTR(no/BIT)로 구분된다.

- MTTR(w/BIT)
= 40건 × 2시간(MTTR w/BIT) = 80시간
- MTTR(no/BIT)
= 10건 × 5시간(MTTR no/BIT) = 50시간

오검출에 의한 정비시간을 MTTR(no/BIT)라고 가정한다면

- MTTR(no/BIT)
= MTTR(no/BIT) + 오검출에 의한 MTTR
= 50시간 + 2건 × 5시간 = 60시간
- BIT에 의한 총보수정비시간(TCM)
= MTTR(w/BIT) + MTTR(no/BIT)
= 80시간 + 60시간 = 140시간

따라서 BIT를 활용한 정비업무의 MTTR은 총 140시간의 총보수정비시간(TCM)이 소요된다는 것을 알 수 있다.

중요한 고려사항은 정확하게 어떤 고장을 BIT가 탐지할 수 있는가에 관련된다. 종종, 탐지가 가능한 고장의 80%가 드물게 발생하고 남은 20%가 예측 가능한 수준에 발생된다면, BIT 시스템은 비효율적으로 운용되는 것이다. 그러므로 BIT의 성능 측정을 구체화 하는 것은 전체 시스템 가용도 요구사항과 관련해서 중요하다.

오검출율은 구체화시키거나 또는 정확하게 측정하기에는 어려운 파라미터이다. 왜냐하면 어떤 오류도 존재하지 않는다고 가정하는 분석에 의해 수행되는 최초 오류 탐지는 BIT 시스템이 오류를 잘못 탐지했거나, 간헐적으로 허용한계를 초과하는 사례가 존재하

며, 고장이 존재하나 정비 환경에서 쉽게 고장이 재현되지 않을 수 있기 때문이다.

나. BIT 설계 프로세스

완제품의 정비성을 위한 BIT는 설계단계에서 거의 결정되며, BIT설계는 규정된 시간 내에 고장 부위 수리를 위한 고장 탐지 및 격리를 빠른 시간 내에 수행할 수 있도록 한다.

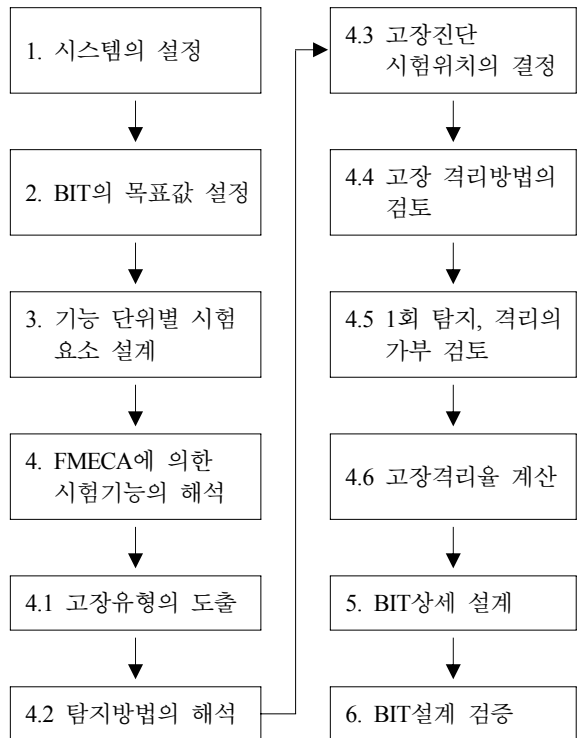


Fig. 4. BIT Design Process

Fig. 4에서 알 수 있듯이, BIT 설계는 연구개발 초기 단계에 시스템이 설정되는 시점부터 계획하여 설계 시에 반영하는 것이 필요하다.

선행연구 및 탐색개발 단계(단계 0, 단계 I)에서는 BIT를 설치하는 시스템을 설정하며, 무기체계의 목적, 기능, 성능, 사용조건, 가용도 등 무기체계의 요구사항을 확인하고 유사제품의 고장사례를 수집한다. 또한 BIT에 의한 고장 탐지율, 격리율 및 오검출 등의 목표치를 설정해야 한다. 시스템을 하부 시스템으로 분할하고 기능 블록선도를 작성해야 하며, 기능 단위별로 시험의 종류와 점검단자(Test Point)를 검토해야 한다.

시스템 설계 단계인 체계개발 단계(단계Ⅱ)에서는 계통도, 절차도, 계측제어도 및 하부 시스템별 고장사례를 분석하고 BIT 해석이 이용된 FMECA를 활용한다. FMECA를 통해 하부 시스템별 고장유형과 고장유형별 발생확률, 고장유형별 탐지방범 및 확인방법, 시험의 종류와 시험위치를 결정한다.

부품 설계단계에서는 시스템 설계 결과에 근거하여 하부 시스템 별로 시험항목, 고장탐지 위치(시험위치), 판정기준, 시험주기, 데이터의 종류와 수집, 고장 탐지율, 고장격리율의 최종 평가치 등 BIT 설계에 관련된 항목을 검토해야 한다.

BIT 설계 검증 단계에서는 BIT 기능을 확인하고 결과를 설계에 환류하는 업무를 수행한다.

다. BIT의 평가

1) 고장탐지 능력

BIT 설계에서 가장 핵심적인 부분은 “BIT 탐지하는 고장정후의 항목이 얼마나 현실적인가?”와 “BIT로 탐지하는 고장 품목이 시스템에서 구성하고 있는 부분에서 얼마나 차지하는가?” 이다.

BIT에 의해 고장탐지나 고장위치 선정의 정확도를 평가하는 방법은 고장탐지의 정확성과 고장위치의 지정율이 있다^[4].

$$\text{고장위치의 정확성} = \frac{\text{실제로 고장이 있었던 횟수}}{\text{시험으로 검출된 고장수}}$$

$$\text{고장위치의 지정율} = \frac{\text{고장탐지 가능한 하부시스템 및 시스템 수}}{\text{교환 가능한 모든 하부시스템 및 시스템 수}}$$

위의 고장위치의 지정율은 MIL-HDBK-470A (Designing and Developing Maintainable Products and System)에서 제시하고 있는 고장탐지율에 만족하는 공식을 보여준다. 따라서 BIT의 고장탐지능력을 고장위치 지정율로 표현할 수 있다.

앞서 설명한 “BIT 설계 모델” 이외에, 하드웨어에서 교환 가능한 모든 하부 시스템 및 시스템은 “기능확인 도표법” 또는 “기능확인 매트릭스법”을 활용하여 도출된 고장탐지 가능한 하부 시스템 및 시스템을 표현 할 수 있다.

C1부터 C5까지는 하부시스템을 나타내고 T1부터 T5는 “기능 발휘 여부를 확인”하기위한 시험위치를

적용된다.

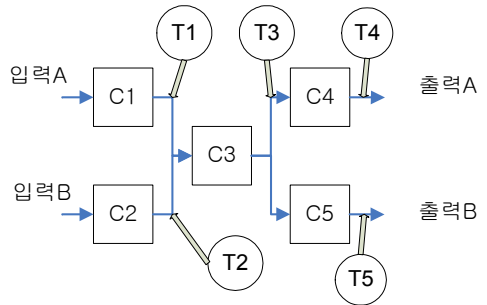


Fig. 5. Functional Block Diagram

Fig. 5의 T1에서 T5까지의 점검단자(Test Point)의 적절성을 평가함으로써 C1부터 C5까지의 하부 시스템이 고장격리 된다는 것을 검증할 수 있다. 시험위치의 적절성 평가는 각 하부 시스템에 대하여 적절히 시험점이 설계되었는가를 확인하는 것이다.

Table 8. Functional Check Chart

입력	하부시스템과 시험 위치										출력	
	C 1	T 1	C 2	T 2	C 3	T 3	C 4	T 4	C 5	T 5		
A	●	▲										A B
B			●	▲								
			▲	▲	●	▲						
				▲	▲	▲	●	▲	▲	▲		
						▲	▲	●	▲	▲		

A, B : 입력/출력 신호
● : 하부 시스템 ▲ : 시험위치

Table 8의 “기능확인 도표”로부터 시험위치의 부족 여부도 평가된다. 이 절차에서 확인된 시험위치는 고장탐지 대한 점검단자(Test Point)로 선정이 되고, 시험위치가 선정될 수 없는 하부 시스템은 시스템 단계에서의 BIT 설계 모델을 재평가 하여야 할 것이다.

Table 9와 같은 “기능확인 매트릭스법”은 Fig. 4의 기능 블록선도에 대하여 각 하부 시스템 점검단자(Test Point)의 고유한 시험패턴을 확인해 볼 수 있다. 고유한 시험패턴을 이용하여 정비요원에게 고장격리의 단서를 제공하게 된다.

Table 9. The Matrix Method of Functional Check

구 분		시험위치					시험패턴				
		T 1	T 2	T 3	T 4	T 5	T 1	T 2	T 3	T 4	T 5
유 니 트	C1	□		□	□	□	0	1	0	0	0
	C2		□	□	□	□	1	0	0	0	0
	C3			□	□	□	1	1	0	0	0
	C4				□		1	1	1	0	1
	C5					□	1	1	1	1	0

□ : 정상 1 : 정상 0 : 고장

2) 고장격리능력

고장 격리(FI : Fault Isolation)는 고장 탐지를 포함하며 BIT를 포함한 여러 수단을 활용하여 고장 부위를 결정짓게 된다.

고장격리율은 MIL-PRF-32070(Performance Specification Test Program Sets)에서 구체화되어 있다.

모호성 그룹(Ambiguity Group)은 고장 증세의 결과로 인해 고장이 나타날 수 있는 교체 가능한 부품(LRU/SRU)의 그룹(카테고리)을 말하며, 주어진 고장이 격리가 되고 실제 고장 부품(LRU/SRU)이 될 수 있는 부품의 그룹을 나타낸다.

고장격리는 모호성 그룹의 총 수량으로 나누어지는 n개 부품을 가진 모호성 그룹의 수이다. 그룹의 규모는 그룹에 속한 부품의 수량에 의해 결정된다. 부품은 하부 어셈블리 또는 구성품이며 단위시험에 대하여 요구되는 고장격리의 수준에 따라 정해진다^[15].

$$FI_n = FI_{n-1} + \frac{n \text{아이템을 가진 모호성 그룹수}}{\text{모호성 그룹의 총 수량}} \times 100$$

Table 10은 격리율의 요구사항을 나타낸 것으로, 진단율 모호성그룹의 크기에서 3개 이하는 100%, 2개 이하는 97%, 한 개 이하는 92%를 나타낸다.

1개의 부품(LRU/SRU)을 격리하여 184개의 모호성 그룹(고장징후 집단)을 해소할 때, 즉 1개의 LRU를 제거함으로써 대부분의 고장격리가 이루어진다. 또한 2개의 부품으로 10개의 모호성 그룹을 가지고, 3개의 부품으로 6개의 모호성 그룹을 가지고 있다고 가정한다.

Table 10. The Example of Diagnosis Rate

진단율	모호성그룹 크기
100%	3개 부품 이하
97%	2개 부품 이하
92%	1개 부품 이하

따라서 모호성 그룹의 총 수량은 184 + 10 + 6 = 200개 이다.

제시된 공식에 따라

- 1개의 부품 그룹 :
FI1 = [0 + (184 groups/200 groups)] × 100% = 92%
- 2개의 부품 그룹 :
FI2 = [0.92 + (10 groups/200 groups)] × 100% = 97%
- 3개의 부품 그룹 :
FI3 = [0.97 + (6 groups/200 groups)] × 100% = 100%

의 결과로 나타낸다.

이러한 고장격리를 규정하기 위해서는 고장 위치를 확인할 수 있는 점검단자(Test Point)가 존재하여야 한다. 고장위치를 확인하기 위해서는 사업 추진 초기부터 시험위치를 선정하고, 시험위치는 기능 블록선도 상에서 표현되고 구현되어야 한다.

5. 결론

초기 BIT 시스템은 대부분 현장 교환품목(구성품) 단위에서 고장을 격리하는 것으로 설계되었으며, 현재 추세는 고장을 하부 시스템 또는 비정상적 출력 신호 패턴을 탐지하는 BIT 시스템의 능력을 기반으로 부품(LRU/SRU) 수준에서 격리시키는 것이다.

본 연구에서는 정비성 향상을 위한 BIT 설계 및 검증 방안으로 BIT 계획 및 정비성 평가, BIT 설계 프로세스, 고장탐지 및 고장격리를 통한 BIT의 평가 방안을 제시하였다.

정비성 향상을 위한 BIT 성능의 요구사항은 시스템이 설계되는 초기에 구체화되어야 한다. 정비성에 대하여 설계를 할 때에는 BIT 능력의 포괄적인 요구사항을 설정하고, BIT가 탐지해야 하는 정확한 고장 범위와 고장탐지 능력과 고장 격리 평가 방법에 대하여 고

객(소요군)과 개발기관 간에 협의되어야 한다.

또한 개발기관은 정비성을 고려한 BIT 설계 프로세스를 적용하여 시스템 설계시 점검단자(Test Point)를 고려한 설계 기준과 모델을 설정하고 개발하여야 한다.

궁극적으로 BIT하드웨어 설계는 효율적인 고장격리 방법을 정비요원에게 제시하기 위한 수단이다. BIT 성능이 잘 구현된 무기체계는 정비성 향상시키고 총보수정비시간(TCM)을 감소시킴으로써 운용 가용도 향상에 큰 기여를 하게 될 것이다.

차후에는 BIT 구현을 위한 정비성 검증 및 평가 제도 발전 분야와, 효율적인 BIT 구현 및 고장배제검증을 위한 심도있는 연구가 필요하다.

References

- [1] James V. Jones, "ILS Handbook", Second Edition, p. 4.1, 2006.
- [2] Dario R. Beniquez, "BIT Adequacy-Evaluation Methodology For Air-Vehicle System", Proceedings Annual Reliability and Maintainability Symposium, 1995.
- [3] MIL-STD-2165(Testability Program for Electronic System and Equipment), DOD, 1985.
- [4] MIL-STD-471(Maintainability Verification/Demonstration/Evaluation), DOD, 1973.
- [5] James V. Jones, "ILS Handbook", Second Edition, p. 3.12, 2006.
- [6] 허장욱, "정비성설계기술", 응보, p. 100.
- [7] 허장욱, "정비성설계기술", 응보, p. 33.
- [8] Handbook of Reliability, Availability, Maintainability and Safety in Engineering Design, pp. 396~397.
- [9] James V. Jones, "ILS Handbook", Second Edition, p. 4.15, 2006.
- [10] 허장욱, "정비성설계기술", 응보, p. 177.
- [11] MIL-HDBK-470A(Designing and Developing Maintainable Products and System), 1995.
- [12] "종합군수지원 개발 실무지침서", 방위사업청, pp. 209~213.
- [13] Handbook of Reliability, Availability, Maintainability and Safety in Engineering Design, pp. 395~396.
- [14] 허장욱, "정비성설계기술", 응보, p. 109
- [15] MIL-PRF-32070(Performance Specification Test Program Sets), p. 15, 2002. 1.