

SEMI F47을 만족하는 10kW급 3상 전압 새그 보상기 개발

채승우¹, 조현식¹, 이일용¹, 공세일¹, 한병문², 차한주[†]

Development of Three Phase 10kW Voltage Sag Compensator

Seung-Woo Chae¹, Hyunsik Cho¹, Il-Yong Lee¹, Se-Il Kong¹, Byung-Moon Han² and Hanju Cha[†]

Abstract - 3-Phase voltage sag compensator protects a critical load from grid sags. The paper presents an algorithm and design of 3-phase voltage compensator. Compensator algorithm consists of a 3-phase voltage sag detection, thyristor commutation method and inverter output voltage control. The compensator satisfies SEMI F47 standard and 10kW 3-phase voltage sag compensator prototype is assembled. Validity of the proposed compensator is verified by simulation and experiment.

Keywords: SEMI F47, voltage sag, sag detection, sag compensator

1. 서 론

최근 들어 고도 정보화 사회를 맞이하여 컴퓨터 및 정밀기기 등의 수요가 증가함에 따라 모든 전자장비의 시스템 운영에 일치하는 양질의 전력을 공급할 수 있어야 한다. 계통 사고나 새그 발생 시 중요부하에 막대한 악영향을 초래하며, 실제적인 예로 구미 공단의 반도체 공정 과정 중에 발생한 계통 전력의 새그 현상으로 매년 수백억의 손실이 조사되고 있다. 따라서 계통 사고나 새그 시에도 빠르게 검출하여 부하에 안정된 전원을 공급할 수 있는 수단이 요구된다. 즉 불안정한 전력으로부터 중요부하의 보호가 요구된다. 본 연구에서는 사고나 새그 현상을 빠르게 검출하여 중요부하를 계통으로부터 분리시키고 수퍼커패시터에 저장된 에너지를 공급하는 전력 보상 장치를 제안하였다. 새그 검출을 위해 개선된 MAPF (Modified all-pass filter) 기법^[1]을 적용하여 전압 새그를 검출하고, 빠른 보상이 이루어질 수 있는 보상장치 개발 과정을 기술하였다. 아울러 대표적인 중요부하의 예인 반도체 공정에 안정된 전력이 요구됨에 따라 SEMI F47^[2] 전기 품질 규정에 만족하는 보상기를 설계하였다. 그림 1의 SEMI F47 기준은 전압 새그 정

도에 따라 보상기에 요구되는 보상 시간을 나타낸다. 이와 같은 전력품질요건을 만족시키는 전압 보상기의 논문으로 최근에 3개의 단상 인버터를 병렬로 연결하여 3상 전압 새그 보상기를 구현하였으며, DFT를 이용하여 전압 새그를 검출한 논문이 발표되었으나^[3], 다수의 스위치를 사용하여 전체 시스템이 상대적으로 복잡하다.

2. 3상 전압 새그 보상기

2.1 3상 전압 새그 보상기 구조

3상 전압 새그 보상기는 그림2에서와 같이 3상 계통 전압, 양방향 싸이리스터, 변압기, DC/AC 인버터, 수퍼커패시터, TMS320F28335를 이용한 컨트롤러로 구성되어 있다. 계통 정상 상태에서는 양방향 싸이리스터를 통해 부하는 계통과 연결되고, 병렬로 연결된 보상기는 변압기와 DC/AC 전력변환기기를 통해 수퍼커패시터를 기준 정전압으로 유지하는 동작을 하여 계통 이상 시에 대비하는 동작을 한다. 계통 새그나 사고 발생 시 빠르게 이상상태를 검출하여 싸이리스터를 통해 계통과 부

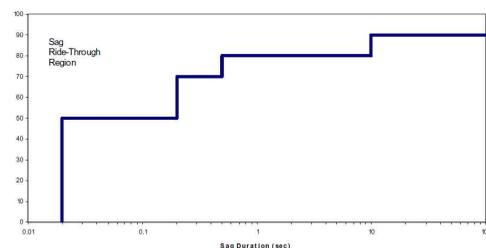


Fig. 1 SEMI F47 standard for sag voltage

Paper number: TKPE-2012-17-3-2 ISSN: 1229-2214
[†] Corresponding author: hjcha@cnu.ac.kr, Dept. of Electrical Eng., Chungnam National University
 Tel: +82-42-821-7006 Fax: +82-42-821-8895
¹ Dept. of Electrical Eng., Chungnam National University
² Dept. of Electrical Eng., Myongji University
 Manuscript received Oct.11, 2011; accepted Jan. 6, 2012
 — 본 논문은 2011년 전력전자학술대회 외부장학금 수혜논문임

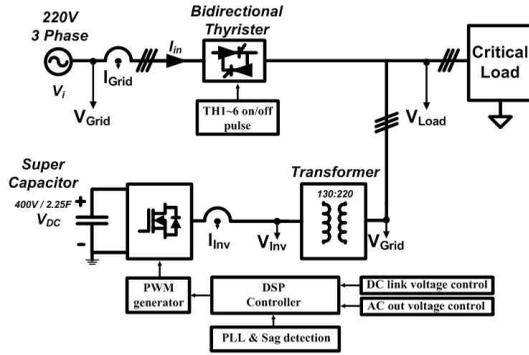


Fig. 2 Configuration of 3phase sag voltage compensator

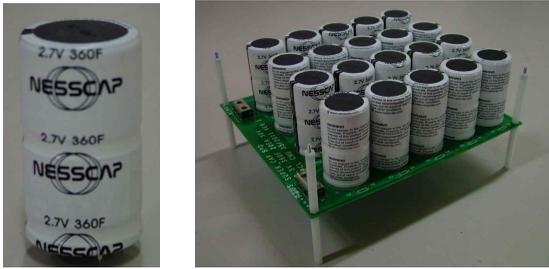


Fig. 3 Super capacitor (a) NESSCAP company's 2.7V 2.7V super capacitor (b) 20EA series module

하를 분리하여 불안정한 전력으로부터 중요부하를 보호하고 슈퍼커패시터에 충전된 전력을 DC/AC 인버터를 통해 부하에 공급한다. 본 논문에서는 3상 전압 새그 검출기법, 싸이리스터를 통한 계통 차단기법, 인버터 출력 전압 제어기법을 제안한다.

2.2 슈퍼커패시터 뱅크

보상 가능 시간은 부하의 크기와 슈퍼커패시터뱅크 용량에 따라 결정되므로, 부하의 최대 용량을 산정 후 이에 맞는 슈퍼커패시터의 용량을 산정한다.

$$E = \frac{1}{2} C (V_{\max}^2 - V_{\min}^2) = P_{\text{load}} \times t_{\text{comp}} \quad (1)$$

슈퍼커패시터 뱅크는 NESSCAP사의 슈퍼커패시터를 직렬로 연결하여 구성하였다. 슈퍼커패시터는 8%의 여유를 고려하여 최대 동작전압은 2.5V로 사용하였으며, 최소 동작전압은 60%인 1.5V로 선정하였다. 따라서 슈퍼커패시터뱅크의 운전 영역은 최소 240V에서 400V까지 운전하고 160개를 직렬 연결하여 제작하였다. 슈퍼커패시터의 저장용량은 115kJ이며 10kW부하 보상 시 11.5초간 보상 가능하다.

2.3 3상 새그 검출 기법

새그 전압 보상기의 성능을 좌우하는 것은 새그 발생 시 얼마나 빠른 시간 내에 새그 상황을 검출하여 부하 측에 안정된 전력을 공급할 수 있는지에 따라 결정된다.

Table 1 Specification of supercapacitor

Items	Value
Rated Voltage	2.7V
Capacitance	360F
Internal Resistance	3.2Ω
Max Current	226A
Leakage Current	0.75mA
Storage Temperature range	-40°C ~ 70°C
Cycle Life(25°C)	500,000 cycle

따라서 새그 여부를 확인하는 빠른 피크전압 검출 기법이 매우 중요하다. 새그 검출을 위해 일반적인 단상 피크 전압 검출 기법에서 3상으로 확장한 형태의 검출 기법을 채택하였다. 각 상별로 피크 검출이 이루어지며 3상 중 1상의 새그 발생 시에도 검출이 가능하다.

2.3.1 일반적인 전대역 필터와 문제점

일반적으로 전압강하 보상기는 피크 전압을 검출하는 알고리즘이 필수이다. 기본적으로 예전에는 RMS 기법을 이용한 피크 전압 검출 기법을 주로 사용하였으며, 기타 여러 검출 기법이 제안되었지만 최근에는 피크 전압과 위상 정보를 한번에 검출 할 수 있는 장점이 있으므로 DPLL을 사용하는 추세이다. 본 알고리즘 또한 DPLL의 알고리즘을 기초로 구성되었으며, 단상 DPLL의 가상파형을 전대역 필터를 통해 생성한다. 전대역 필터는 위상의 특성을 변화시키는 필터로서 식 (2)는 전대역 필터의 전달 함수이고 식 (3)은 디지털 전대역 필터의 위상 지연각 설정을 위한 계인 c 를 구하는 식으로 T_c 와 ω 는 각각 샘플링 타임과 각속도($2\pi f$)를 의미한다. 식 (4)는 디지털 전대역 필터를 나타내는 수식이다. 하지만 기존의 전대역 필터가 전압 강하나 상승 시 위상에 따라 다른 특성이 나타남을 확인하였다.

$$H(s) = \frac{s - \omega}{s + \omega} \quad (2)$$

$$c = \frac{T_c \omega - 2}{T_c \omega + 2} \quad (3)$$

$$V_{qs}(k) = -cV_{qs}(k-1) + cV_{ds}(k) + V_{ds}(k-1) \quad (4)$$

그림 4(a)는 위상 $0^\circ \sim 90^\circ$, $180^\circ \sim 270^\circ$ 의 전대역 필터를 이용한 가상파형 생성 시 정상적인 가상파형이 생성되는 것을 보여주고 있다. V_{ds} 는 실제 계통 전압이며 V_{qs} 는 전 대역 필터를 통해 생성된 가상 파형이다. V_{ds} 의 감소에 따라 즉 새그 현상이 발생하였을 때, V_{qs} 의 크기도 감소하는 방향으로 출력되므로 피크검출 및 위상 추종 과정에서 지연이 발생하지 않는다.

2.3.2 수정된 전대역 필터

기존의 전대역 필터의 문제점을 해결하기 위해 수정된 전대역 필터를 사용하였다. 문제점의 근본적인 원인

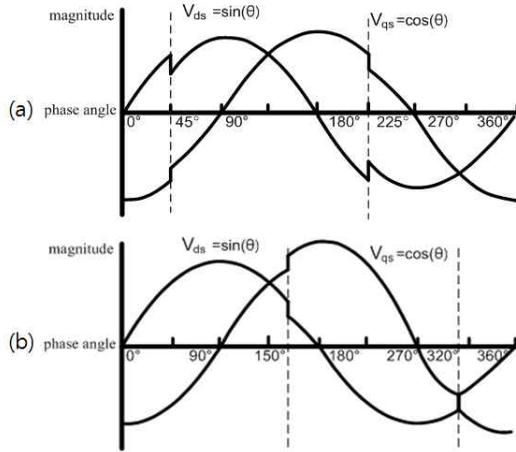


Fig. 4 Operation of all-pass filter when sag voltage occurrence (a)Normal operation of all-pass filter (b)Abnormal operation of all-pass filter

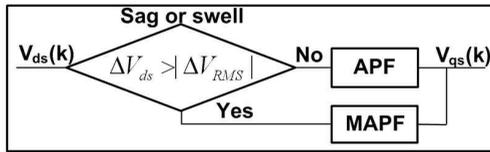


Fig. 5 Block diagram of modified all-pass filter

은 전대역필터가 가상의 90°지연된 파형을 생성할 때, 그림 4(b)처럼 위상 90°~180°, 270°~360°의 구간에서 V_{ds} 의 크기가 감소 시 V_{qs} 의 크기는 역으로 증가하기 때문에 발생한다. 이는 전대역 필터의 구조상 자연스럽게 나타나는 현상으로 기존의 전대역 필터를 사용하는 시스템은 전압강하 시 피크검출과 위상추종의 지연이 불가피하다. 수정된 전대역 필터의 식 (5)는 $V_{ds}(k)$ 와 $V_{ds}(k-1)$ 의 차이를 이용하여 ΔV_{ds} 를 구하면 $\cos(\theta_k)$ 와 같으며 크기는 실제 계통 전압보다는 작은 값을 갖는다. ΔV_{qs} 도 동일하며 $\sin\theta$ 의 형태를 갖는다. 식(5)과 (6)를 이용하여 식(7)을 도출하고 전압 강하의 발생 여부를 판단 한다. 이를 판단하여 수정된 전대역필터를 식(8)로 교체하여 동작하게 하면 역으로 증가하는 V_{qs} 의 크기를 최소화 가능하며 피크검출 및 위상 추종 시 발생하는 오차를 줄일 수 있어 DPLL의 피크전압검출 시간의 지연을 줄일 수 있다.

$$\Delta V_{ds} = V_{ds}(k) - V_{ds}(k-1) = \cos(\theta_k) \quad (5)$$

$$\Delta V_{qs} = V_{qs}(k) - V_{qs}(k-1) = \sin(\theta_k) \quad (6)$$

$$\Delta V_{RMS} = \sqrt{\Delta V_{ds}^2 + \Delta V_{qs}^2} \quad (7)$$

$$V_{qs}(k) = -cV_{qs}(k-1) + cV_{ds}(k-1) + V_{ds}(k-1) \quad (8)$$

2.3.3 새로운 피크전압 검출기법

수정된 전대역 필터를 적용하여 지연시간을 감소시킬 수 있었지만 영점 교차 부분과 다른 위상에서의 지연이

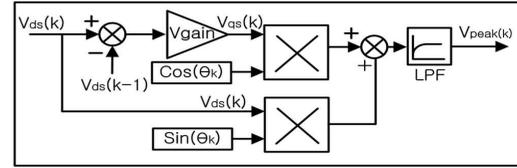


Fig. 6 Block diagram of new fast peak detector

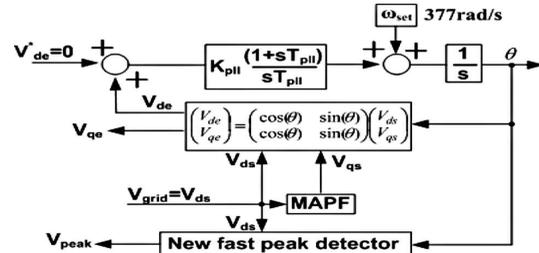


Fig. 7 Overall block diagram of proposed fast peak detector

발생하여 새로운 피크전압 검출기법을 사용한다.

식 (9)은 새로운 피크전압검출기법에 사용되는 계통 전압의 크기를 생성하는 계인 값을 구하는 식이며 $V_{qe}(k-1)$ 와 ΔV_{RMS} 는 전 샘플링 값의 피크값과 식 (7)을 통해 구해낸 값이다. 식 (10)은 가상의 90도 지연되는 파형을 손실 없이 만들기 위해 원계통 파형인 $V_{ds}(k)$ 를 이용하여 생성하였다. $V_{qs}(k)$ 는 기존 전대역 필터의 값과 비슷하지만 새그 발생시 역으로 발생하는 증가분을 생성하지 않는다. 식 (11)을 이용하여 식 (12)의 피크전압을 도출할 수 있다. 그림 6에서는 새로운 피크전압 검출기의 블록다이어그램을 보여주고 있으며, 그림 7에서는 전체적인 DPLL과 같이 동작하는 수정된 전대역 필터, 새로운 피크전압검출기의 전체적인 블록다이어그램을 보여준다.

$$V_{gain} = V_{qe}(k-1)/\Delta V_{RMS}(k-1) \quad (9)$$

$$V_{qs}(k) = (V_{ds}(k) - V_{ds1}(k-1)) * V_{gain} \quad (10)$$

$$\cos^2(\theta_k) + \sin^2(\theta_k) = 1 \quad (11)$$

$$V_{peak}(k) = V_{qs}(k) * \cos(\theta_k) + V_{ds}(k) * \sin(\theta_k) \quad (12)$$

2.4 양방향 사이리스터 동작

계통전압 정상시, 양방향 사이리스터는 턴은 되어 중요부하는 계통을 통해 전력을 공급받고 보상은 이상 상태에 대비하여 수퍼커패시터에 일정 DC전압을 유지하여 에너지를 저장하는 준비상태 모드로 동작한다. 이때 전류의 방향은 부하 조건 및 부하와 병렬로 연결된 보상기에 유입되는 양방향 전류를 모두 흘려줄 수 있어야 한다. 계통 이상 시, 즉 새그나 사고 발생 시 사이리스터는 빠르게 턴 오프 상태가 되어 불안정한 계통 전력으로부터 중요부하를 분리하고 인버터가 정상 전력을 부하 측에 전달할 수 있도록 한다. 새그 신호 검출 시 사이리스터가 오프 되지 못한 상태에서 인버터가 보상

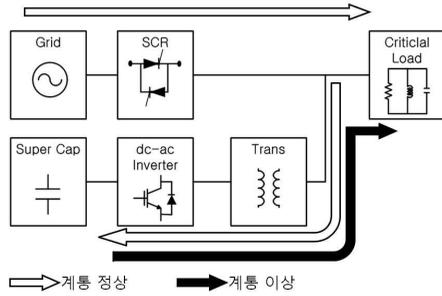


Fig. 8 Power flow of the compensator

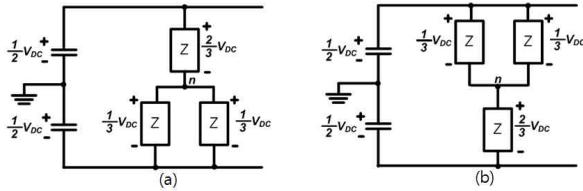


Fig. 9 Output phase voltage of inverter

을 시작하게 되면 계통 전압과 인버터 출력전압의 전위차가 발생하여 시스템이 소손될 우려가 있다.

계통이상 시, 즉 새그 검출 신호가 감지되면 싸이리스터를 턴 오프 하기위해 인버터는 싸이리스터에 흐르는 전류를 모두 소호시켜 주어야 한다. 이 때 인버터는 싸이리스터에 흐르는 전류의 방향에 따른 극성을 결정하고, 전류의 크기에 따른 보상 시간을 결정하여 인버터 출력 전압으로 싸이리스터의 오프 동작을 수행한다. 인버터 보상 시간은 식 (14)의 간단한 전압 방정식으로 계산 가능하며, 보상시간이 결정되면 마진을 고려한 보상 주기를 더하여 최종적인 보상 주기를 결정한다. 그림 9는 인버터 스위칭 상태에 따른 인버터의 출력 상전압을 나타내며, 총 8개의 스위칭상태 중 제로 벡터인 2가지 경우를 제외하고 6가지의 스위칭 상태에 따라 각 상의 출력전압 V_{inv} 가 결정된다. L은 변압기의 누설인덕턴스를 나타낸다.

$$i_L = \frac{1}{L} \int V_L dt$$

$$i_L = \frac{1}{L} \int V_{inv} - V_{grid} dt = \frac{1}{L} (V_{inv} - V_{grid}) \times t \quad (13)$$

$$t = \frac{i_L \times L}{(V_{inv} - V_{grid})} \quad (14)$$

$$N_{out\ samp} = \frac{t}{T_{sampling\ time}} + N_{margin} \quad (15)$$

$$V_{inv} = \pm \frac{1}{3} V_{dc}, \pm \frac{2}{3} V_{dc} \quad (16)$$

2.5 인버터 출력전압 제어

계통 전원의 새그나 사고 발생 시 싸이리스터는 빠르게 계통과 부하를 분리하는 동작을 수행한 후 인버터는 부하 측에 안정적인 전력공급을 해야 한다. 정상 상태의

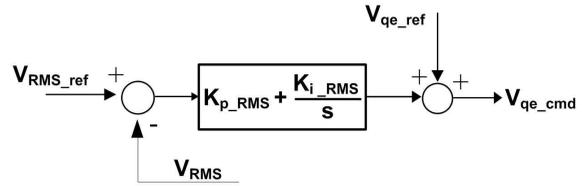


Fig. 10 Block diagram of inverter output controller

Table 2 System parameter

Item	value
Rated voltage	3Φ 220V
Rated frequency	60Hz
Rated capacity	10kW
DC capacitance	2.25F
Transformer	10kVA 220V:130V
leakage transformer	500uH
IGBT	600V, 120A
Switching frequency	10kHz

계통 주파수와 크기의 전력을 부하 측에 공급하며 이는 PI제어를 통해 구현 하였다. 그림 10은 RMS제어의 블록도를 나타낸다.

3. 시뮬레이션 및 실험 결과

제안한 알고리즘과 제어를 검증하기 위하여 시뮬레이션 및 실험을 수행하였다.

3.1 시뮬레이션

본 연구에서 제안하는 새그 전압 보상기의 시뮬레이션은 PSIM 소프트웨어를 사용하여 수행하였으며 운전 조건은 표 2과 같다.

그림 11과 12는 각각 위상 135°, 315°에서 새그 전압 발생 시 피크전압 검출 시뮬레이션 결과이다. 기존의 전대역 필터를 이용하면 2,4사분면에서 Vqs의 역방향 증가분으로 인한 지연이 발생 하였지만 수정된 전대역 필

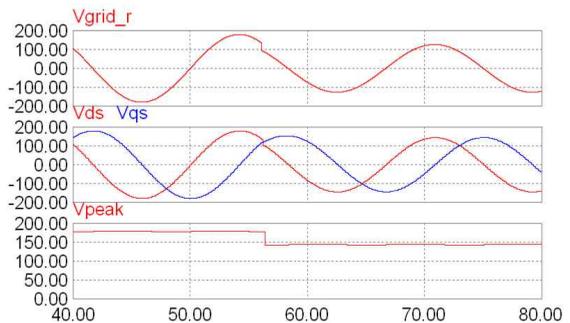


Fig. 11 Simulation result for one phase sag(30%), degree 135° (a)Grid voltage (b)Vds,Vqs (c)Peak voltage

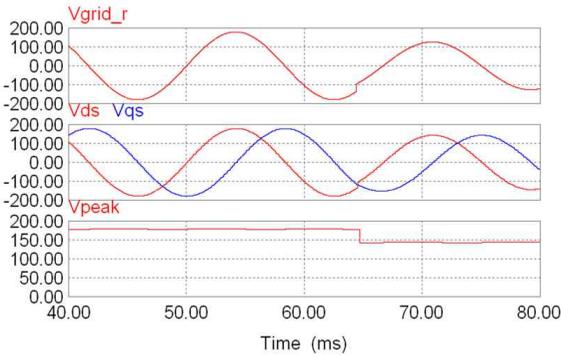


Fig. 12 Simulation result for one phase sag(30%) degree 315°(a)Grid voltage (b)Vds,Vqs (c)Peak voltage

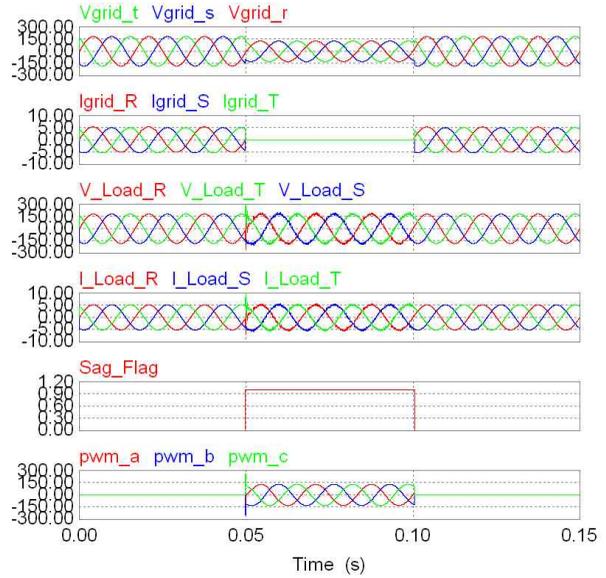


Fig. 14 Simulation result for three phase sag(30%) (a)Grid voltage (b)Grid current (c)Load voltage (d)Load current (e)Sag detection (f)PWM command

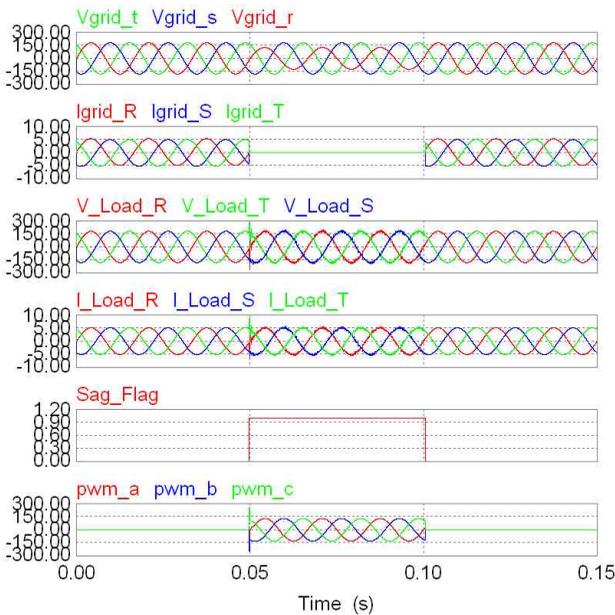


Fig. 13 Simulation result for one phase sag(30%) (a)Grid voltage (b)Grid current (c)Load voltage (d)Load current (e)Sag detection (f)PWM command

터 사용함으로써 Vqs의 역방향 증가분을 감소시키는 동작을 하여 전 구간에서 1msec이내에 피크 전압 검출이 이루어짐을 확인하였다.

그림 13은 계통 전압의 새그에 따른 각 부의 시뮬레이션 결과 파형을 나타내고 있다. 최초 계통 전압이 30% 새그가 발생하면 인버터는 싸이리스터를 보호시키는 작용을 하여 싸이리스터 턴 온 신호를 내보내지 않고 계통 전류의 상태를 0으로 만드는 작용을 한다. 이후 인버터는 정상 시 계통 전압과 동일한 크기와 주파수의 전력을 부하 측에 전달하게 된다. 그림 14는 3상에 30% 새그가 동시에 발생할 때의 시뮬레이션 결과이다.

3.2 실험 결과

제안된 알고리즘 및 제어기의 성능을 검증하기 위하여 10kW의 전압새그 보상기 실험 세트를 구성하여 실험을 수행하였고 그림 15와 같이 구성되어 있다.

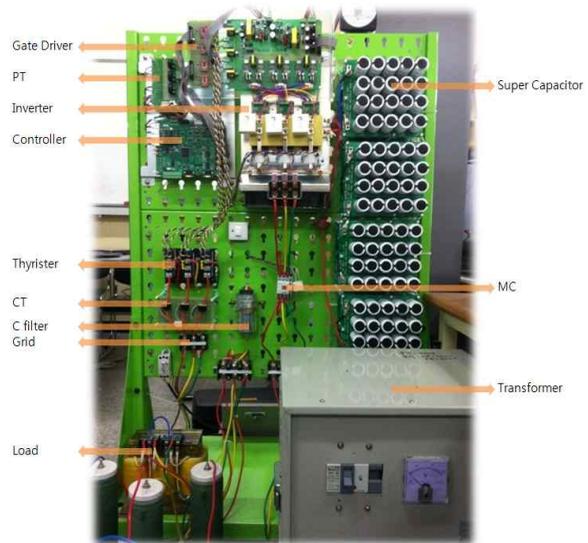


Fig. 15 Prototype of proposed sag compensator

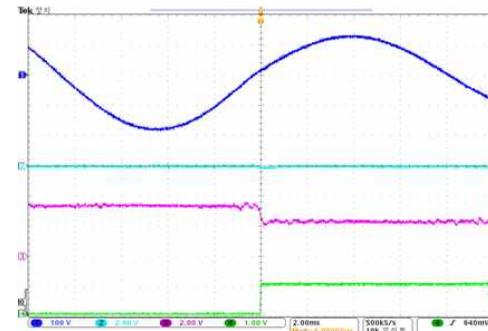


Fig. 16 Experimental result for voltage sag, 30% sag, phase 0°(a)Grid voltage (b)Vde (c)Vqe (d)Sag detection

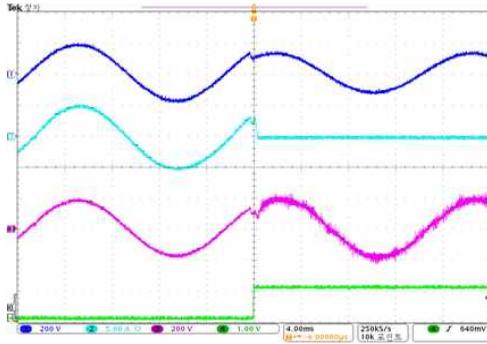


Fig. 17 Experimental result for voltage sag, 30% sag, phase 45°(a)Grid voltage (b)Grid current (c)Load voltage (d)Sag detection

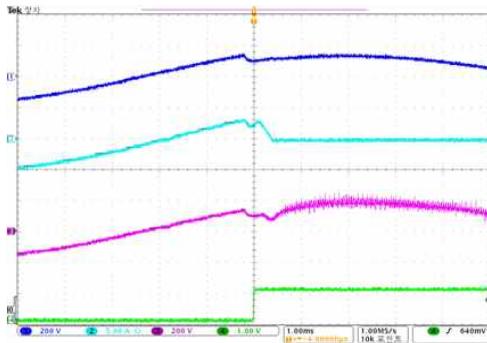


Fig. 18 Experimental result for voltage sag(expanded waveform), 30% sag, phase 45°(a)Grid voltage (b)Grid current (c)Load voltage (d)Sag detection

그림 16은 0°구간에서 새그 전압을 발생시키고 피크검출 기법을 이용하여 새그 검출 시간을 확인하였다. 기존의 피크 전압 검출 기법에서 지연이 가장 많이 발생하는 구간은 영점 교차 구간과 2,4사분면 구간이다. 사용된 피크 전압 검출 기법에 의해 전 위상에서 1msec 이내에 새그가 검출되는 것을 확인하였다.

그림 17, 18은 계통 전압의 새그 발생 시 양방향 싸이리스터의 턴 오프 동작을 수행하여 계통과 부하/보상기 시스템을 분리 후 DC/AC인버터가 슈퍼커패시터에 충전된 전력을 부하 측으로 공급하는 실험이다. 최초 (a)의 계통 전압에 새그가 발생하고 (d)의 새그 신호가 검출되면 (b)의 계통 전류는 빠르게 소호되어 싸이리스터가 오프 됨을 확인 하였다. 이후 인버터는 정상 계통과 동일한 크기와 주파수의 전력을 부하 측으로 전달하여, (c)의 부하전압은 정상 시 계통 전압과 동일한 크기와 주파수로 인버터를 통해 전력이 공급 되고 있음을 확인하였다.

그림 19, 20은 새그 발생 시간에 따른 보상 실험 결과이다. 그림 19는 단주기(120msec)의 30% 새그 전압이 발생 하였을 때의 실험 결과이다. 단주기와 장주기 모두 새그 발생 구간동안 안정된 전력 공급이 이루어짐을 확인할 수 있었다. SEMI F47규정을 충분히 만족하는 전력 보상 수행이 가능함을 확인하였다.

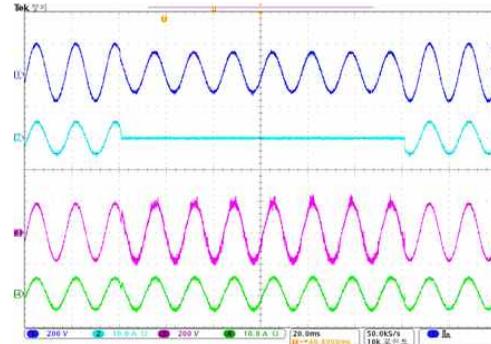


Fig. 19 Experimental result for voltage sag, 30% sag, 120msec (a)Grid voltage (b)Grid voltage (c)Load current (d)Load current

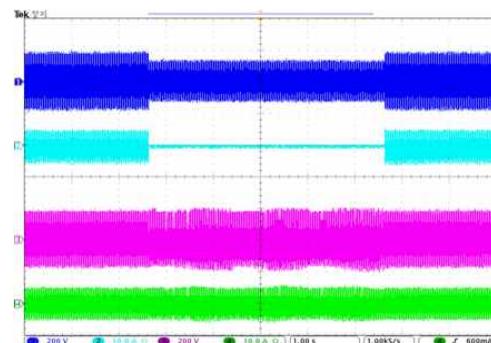


Fig. 20 Experimental result for voltage sag, 30% sag, 5sec (a)Grid voltage (b)Grid voltage (c)Load current (d)Load current

4. 결 론

본 논문에서는 안정된 전력이 요구되는 중요 부하를 보호하는 새그 전압 보상장치의 알고리즘 및 설계 과정을 소개하였다. 새로운 피크 전압 검출기법을 통해 전 구간에서 1msec 이내에 불안정한 계통의 새그를 빠르게 검출할 수 있었다. 또한 계통을 통해 유입되는 전류의 크기와 방향을 센싱하여 싸이리스터 전류를 소호하기 위한 최소 시간을 계산하여 안정하게 싸이리스터를 턴 오프하였다. RMS제어 기법을 이용하여 인버터가 부하 측에 정상계통과 동일한 크기와 주파수의 전원을 공급 하였다. 제안된 알고리즘을 시뮬레이션과 시작품 제작을 통해 실험적으로 검증하였고, 제안된 새그 전압 보상기가 중요 부하에 안정된 전력을 공급 가능함을 입증하였다.

본 연구는 2010년도 지식경제부의 재원으로 한국 에너지 기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다. (No. 2010T100200213)

참 고 문 헌

- [1] H. Cha, S. Lee, T. Vu, "A new fast peak detector for single or three-phase unsymmetrical voltage sags," *Energy Conversion Congress and Exposition*, pp. 434-440, 2010.
- [2] SEMI F47, IEC61000-4-11, pp. 4-34.
- [3] B. Han, J. Jeong, J. Lee, "Three-Phase Line-Interactive Dynamic Voltage Restorer with a New Sag Detection Algorithm," *Journal of Power Electronics*, pp. 203-208, 2010.
- [4] Y. Kim, K. Kim, B. Kwon, "A fast and robust PLL of MCFC PCS under unbalanced grid voltages," *Power Electronics Specialists Conference*, pp. 4712-4716, 2008.
- [5] M. Newman, D. Holmes, J. Nielsen, F. Blaabjerg, "A dynamic voltage restorer with selective harmonic compensation at medium voltage level," *IEEE Trans. on Industry Applications*, Vol. 41, No. 6, pp. 1744-1753, 2005.
- [6] R. Naidoo and P. Pillay, "A new method of voltage sag and swell detection," *IEEE Trans. on Power Delivery*, Vol. 22, No. 2, pp. 1056-1063, 2007.



채승우(蔡昇佑)

1984년 3월 19일생. 2010년 충남대 전기공학과 졸업. 2012년 동 대학원 전기공학과 졸업(석사). 2012년~현재 LG전자 연구원.



조현식(曹賢植)

2011년 충남대 전기공학과 졸업. 2011년~현재 동 대학원 석사과정.



이일용(李日鏞)

2011년 충남대 전기공학과 졸업. 2011년~현재 동 대학원 석사과정.



공세일(孔世一)

2011년 충남대 전기공학과 졸업. 2011년~현재 동 대학원 석사과정.



한병문(韓炳文)

1976년 서울대 공대 전기공학과 졸업. 1988년 미국 Arizona State University 전기공학과 졸업(석사). 1992년 동대학원 전기공학과 졸업(공박). 미국 Westinghouse 중앙연구소 선임연구원. 현재 명지대 전기공학과 교수. 2011년 당 학회 회장.



차한주(車翰周)

1988년 서울대 전기공학과 졸업. 1990년 포항공대 졸업(석사). 2004년 미국 Texas A&M University, College station(공박). 1990년~2001년 LG산전 연구소 책임연구원. 2005년~현재 충남대 전기공학과 부교수. 당 학회 총무이사.