

언더필을 고려한 Sn-1.0Ag-0.5Cu 조성의 솔더볼을 갖는 플립칩에서의 보드레벨 낙하 및 진동해석

김성결*, 임은모⁺

(논문접수일 2012. 03. 08, 수정일 2012. 03. 21, 심사완료일 2012. 03. 27)

Board Level Drop Simulations and Modal Analysis in the Flip Chips with Solder Balls of Sn-1.0Ag-0.5Cu Considering Underfill

Seong-Keol Kim*, Eun-Mo Lim⁺

Abstract

Drop simulations of the board level in the flip chips with solder joints have been highlighted for years, recently. Also, through the study on the life prediction of thermal fatigue in the flip chips considering underfill, its importance has been issued greatly. In this paper, dynamic analysis using the implicit method in the Finite Element Analysis (FEA) is carried out to assess the factors effecting on flip chips considering underfill. The design parameters are size and thickness of chip, and size, pitch and array of solder ball with composition of Sn1.0Ag0.5Cu. The board systems by JEDEC standard is modeled with various design parameter combinations, and through these simulations, maximum yield stress and strain at each chip are shown at the solder balls. Modal analysis is simulated to find out the relation between drop impact and vibration of the board system.

Key Words : Flip chip(플립칩), Underfill(언더필), Drop simulation(낙하해석), Implicit method(내재적 방법), Modal analysis(모드해석)

1. 서론

IT 산업의 급격하게 발전함에 따라 소형 전자제품에 내장되는 마이크로 전자 패키징(micro-electronic packaging)기술 개발의 중요성이 증대되고 있다⁽¹⁾. 플립칩 패키징(flip-chip packaging)은 PCB나 리드프레임(lead-frame)과 같은 패키지 캐리어(carrier)와 다이(die:칩)를 전기적으로 연결하는 하나의 방식을 일컫는다. 기존의 와이어 본딩(wire bonding)과 달리 플립칩 패키징(flip-chip packaging)은 다이와 PCB를 다이 표면에 형성된 도체물

질인 범프(bump)를 이용하여 다이에 솔더 범프를 형성시킨 후 범프가 형성된 면을 PCB에 직접 접합하게 된다. 플립칩 접합은 일반적으로 솔더(solder)를 이용하여 접착하는 방식으로 새롭게 개발된 무연 솔더에 대한 기계적 신뢰성 평가 연구들이 수행되었다⁽²⁾. 그러나 플립칩의 성능에 영향을 주는 설계 매개변수의 변화에 따른 연구는 본 저자에 의해 처음 시도되었다⁽³⁾. 본 연구에서는 기존의 열·피로 해석에서 탁월한 효과를 보인 언더필(underfill)을 기계신뢰성 평가인 낙하해석⁽⁴⁾에 적용하고 매개변수에 변화를 주어 그 효과를 알아보려고 한다.

* 서울과학기술대학교 기계시스템디자인공학과 (rhett@seoultech.ac.kr)

주소: 139-743 서울시 노원구 공릉2동 172

+ 서울과학기술대학교 대학원 기계시스템디자인공학과

언더필은 칩과 PCB사이에 틈을 보강하여 칩을 고정시키는 접착제의 역할과 방열기능 그리고 충격을 흡수하고, 솔더 범프에 가해지는 장력을 감소시켜 패키지의 수명을 늘리는 효과가 있다. 이러한 언더필을 유한 요소 해석 프로그램인 ANSYS를 이용하여 JEDEC(국제 반도체 표준화 기구)시험규격에 명시된 보드레벨 낙하 시험에 대한 사항을 준수하여 언더필(underfill)을 고려한 플립칩의 매개 변수 변화에 따른 보드레벨 낙하 시뮬레이션을 수행하고자 한다⁽⁵⁾.

본 연구에서는 첫째, 유한요소 해석 프로그램을 이용하여 칩 패키지를 모델링하고, 낙하 시험과 등가의 조건을 설정하여 순간 가속도의 충격력을 가하는 내재적 방법을 적용한다. 플립칩의 설계변수로는 솔더볼의 지름, 솔더볼의 배열, 칩의 두께, 칩의 크기, 솔더볼의 간격 등이 있으며 낙하 충격시 솔더 볼에 가해지는 최대 응력을 계산하고자 하였다. 둘째, 낙하 해석의 결과를 통하여 시간에 따른 변위 데이터를 도출하고 푸리에변환을 통해 보드 낙하에 따른 가진 주파수를 알아보고자 한다. 또한 모드 해석을 통하여 구한 고유진동수와 가진 주파수를 비교하고자 한다.

2. 낙하해석 (Drop simulation)

본 해석을 위해, PCB 및 칩의 기하학적 크기와 모양은 Fig. 1과 같으며, 이 형상 및 크기는 JEDEC 기준(standard)에 따라 PCB, 칩 그리고 솔더 볼 등으로 구성되었다.

낙하해석은 이전의 해석방법과 동일하게 내재적 방법(implicit method)을 적용하였다. 이 방법은 실제 낙하와 등가의 조건으로 4개의 고정점을 갖는 보드시스템에 대해 0.05ms 동안 1,500g의 가속도 충격을 칩, 솔더 볼 그리고 보드 등에 가하고, 그 후 일정 시간 동안 모든 절점에서 해석결과를 얻을 수 있어 해석 시간은 외재적 방법에 의한 해석보다 거의 1/10 정도로 줄일 수 있다^(6,7).

2.1 해석방법

해석을 위한 프로그램은 상용 CAE 프로그램인 ANSYS

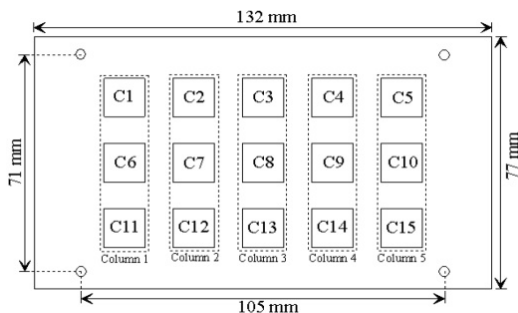


Fig. 1 Schematic of configuration of PCB for drop simulation

11.0이다. PCB 보드 전체를 모델링할 경우, 해석을 할 때 많은 데이터용량과 해석시간을 요구하여 본 연구에서는 시간의 효율성 및 해석 모델의 기하학적 적합성을 고려하여 전체 시스템을 1/2 크기로 모델링하였다. 또한, Fig. 2와 같이 칩은, 대칭경계 선상에 4개의 칩과 내부에 2개의 칩 등 6개로 모델링하였다.

내재적 방법을 이용한 시간이력해석(transient analysis)을 수행하였으며, 해석을 위해 필요한 입력 값들을 Table 1에 제시하였다⁽⁸⁾.

본 해석을 위해 사용된 재료의 물성치는 Table 2와 같으며, 새로운 조성의 솔더 볼에 대한 물성치 등은 국내의 N사에서 제공하였다.

```

ANTYPE, 4, ! Transient analysis
TRNOPT, FULL, ! Full solution method

!At time equals 0.00005s
DELTIM, 0.00005 ! Specifies the time step sizes
TIME, 0.00005 ! Sets time to 0.00005 seconds

KBC, 0 ! Ramped load step

OUTRES, ERASE ! Write every substep
OUTRES, ALL, ALL

BETAD, 0.0001432 ! Sets Damping Ratio to 1.432
.
.
.
!At time equals 0.00025s
TIME, 0.00025 ! Sets time to 0.001 second
KBC, 0 ! Ramped load step
ACEL, 0, 0, 14700000,
LSWRITE, 5,
.
.
.
    
```

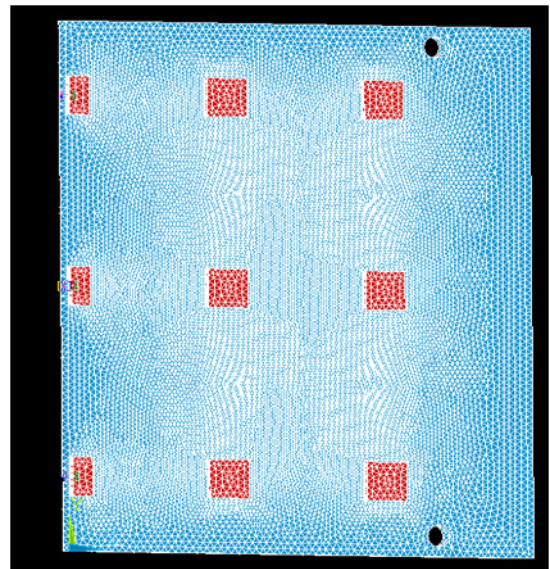


Fig. 2 A half FEA model of the board level PCB packaging

Table 1 Input parameters including damping ratio and analysis time for drop simulation

| Damping ratio | Time | Load steps |
|---------------|---------------|------------|
| 0.0001432 | 0.00s ~ 0.03s | 12 |

Table 3에서는, 본 해석에서 사용된 모델들을 보여주고 있으며, 각각 솔더 볼의 지름, 솔더 볼의 배열, 플립칩의 두께, 칩의 크기, 그리고 솔더 볼의 간격 등의 플립칩의 매개변수의 변화를 나타내고 있다. 이런 매개변수들의 변화는 국내 마이크로 시스템 패키징 회사인 N사로부터 솔더 볼 설계 시 적용할 수 있는 매개변수들의 조합으로 구성되어 있다. 각 모델에 대한 경계조건은 본 해석에서 사용된 1/2 모델의 경우, 2개의 구멍(hole)이 고정되어 있으므로 구멍 내부의 모든 자유도를 구속하였으며, 대칭 경계조건을 사용하였다. 시간이력을 적용한 낙하해석의 결과로, PCB, 칩 그리고 솔더 볼 등에서의 굽힘(bending)과 최대 응력(maximum von-Mises stress)의 크기 순서 및 위치 등을 구하였다. 또한 Fig. 3과 같이 다이(chip)와 기판사이 언더필의 재료로 에폭시를 채워 넣어 이전 열충격해석의 결과와 같이 보다 향상된 결과를 기대하고자 하였다.

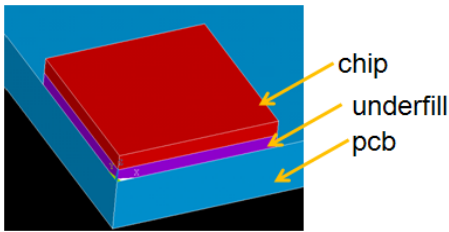


Fig. 3 A chip FEA model of the PCB considering underfill

Table 2. Material properties of the board-level packaging

| Elastic modulus(MPa) | | Poisson ratio | Density (kg/m ³) |
|----------------------|---------------------|---------------|------------------------------|
| Solder | Sn1.0Ag0.5Cu-0.05Ni | 33,400 | 0.3 |
| | Silicon | 131,000 | 0.278 |
| | PCB-FR4 | 22,000 | 0.28 |
| | Underfill | 10,000 | 0.3 |

Table 3. Modified design parameters of flip chips

| | Chip size (mm) | Chip array | Ball size (mm) | Pitch (mm) | Chip thickness (mm) |
|----------|----------------|------------|----------------|------------|---------------------|
| Original | 5.6 | 14*14 | 0.25 | 0.4 | 0.3 |
| Model 1 | 5.6 | 14*14 | 0.35 | 0.4 | 0.3 |
| Model 2 | 5.6 | 14*14 | 0.30 | 0.4 | 0.3 |
| Model 3 | 5.6 | 14*14 | 0.20 | 0.4 | 0.3 |
| Model 4 | 5.6 | 14*14 | 0.15 | 0.4 | 0.3 |
| Model 5 | 5.6 | 14*14 | 0.15 | 0.4 | 0.5 |
| Model 6 | 5.6 | 14*14 | 0.25 | 0.4 | 0.4 |
| Model 7 | 5.6 | 14*14 | 0.25 | 0.4 | 0.2 |
| Model 8 | 6.0 | 14*14 | 0.25 | 0.4 | 0.2 |

2.2 해석 결과

플립 칩의 설계 매개변수의 변화에 대한 해석결과는 각 매개변수에 따라 다르게 나타내었다. 결과 값은 각각의 매개변수마다 제시하였고, 언더필(underfill)의 유무에 따른 기계신뢰성평가를 실시하고 이를 비교하여 언더필이 주는 효과에 대해서 알아보려고 하였다. 또한 Table 3과 같이 총 8가지의 매개 변수 변화 모델에서 언더필(underfill)의 유무에 따른 그 경향을 확인하고자 하였다.

2.2.1 언더필 유무에 따른 솔더 볼의 크기 변화해석

Table 4, 5, 6의 모델 1에서 4까지의 결과 값들은 언더필을 고려한 보드에서 솔더 볼의 크기를 0.35mm에서 0.15mm까지 순차적으로 감소를 시킨 해석에 대한 결과이다. 언더필(underfill)을 고려하였을 때의 해석결과가 그렇지 않았을 때보다 모든 칩에 대해서 1/2배 이상 응력이 감소함을 보였다. 또한 솔더 볼의 배열을 작게 하면, 최대응력이 발생한 칩의 순서는 C5, C15 등 고정점이 되는 구멍의 근처의 칩들에서 가장 큰 응력이 발생하였다. 또한 보드낙하 시 가장 큰 변위가 발생하였던 C8, C13, C9 그 다음순서로는 C4, C14, C10의 순서로 최

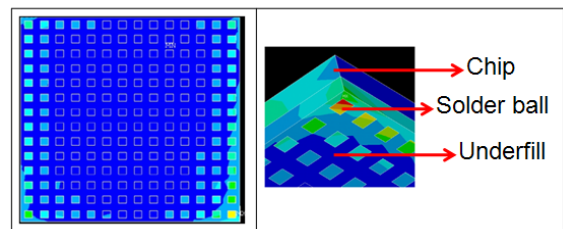


Fig. 4 Distribution of von-Mises stress in chip #10 of model 1

Table 4. Results of drop simulation by changing solder ball size

| | Original | | Model 1 | |
|-----|------------------------|----------------------|------------------------|----------------------|
| | Ball size (mm) 0.25 | Underfill | Ball size (mm) 0.35 | Underfill |
| | Maximum stress (MPa) | Maximum stress (MPa) | Maximum stress (MPa) | Maximum stress (MPa) |
| C5 | 219.80 | 103.80 | 104.88 | 49.22 |
| C15 | 190.16 | 102.66 | 102.11 | 47.28 |
| C3 | 129.57 | 66.25 | 88.54 | 41.33 |
| C8 | 108.44 | 63.25 | 86.89 | 37.77 |
| C13 | 103.61 | 56.53 | 71.11 | 33.01 |
| C9 | 102.92 | 55.10 | 67.88 | 30.01 |
| C4 | 95.93 | 49.41 | 65.22 | 31.44 |
| C14 | 86.14 | 32.18 | 55.41 | 27.04 |
| C10 | 68.62 | 30.23 | 42.44 | 21.00 |

Table 5. Results of drop simulation by changing solder ball size

| | Model 2 | | Model 3 | |
|-----|---------------------|---------------------|---------------------|---------------------|
| | Ball size (mm) 0.30 | Underfill | Ball size (mm) 0.20 | Underfill |
| | Maximum stress(MPa) | Maximum stress(MPa) | Maximum stress(MPa) | Maximum stress(MPa) |
| C5 | 251.08 | 139.21 | 249.96 | 111.62 |
| C15 | 259.22 | 140.09 | 238.70 | 111.21 |
| C3 | 137.35 | 69.77 | 147.89 | 71.90 |
| C8 | 124.33 | 64.23 | 146.62 | 65.31 |
| C13 | 129.90 | 70.78 | 139.77 | 64.96 |
| C9 | 89.99 | 39.98 | 124.55 | 58.18 |
| C4 | 87.65 | 41.22 | 120.08 | 58.06 |
| C14 | 88.26 | 44.26 | 112.87 | 53.94 |
| C10 | 58.03 | 27.33 | 79.33 | 32.73 |

Table 6. Results of drop simulation by changing solder ball size

| | Model 4 | |
|-----|---------------------|---------------------|
| | Ball size(mm) 0.15 | Underfill |
| | Maximum stress(MPa) | Maximum stress(MPa) |
| C5 | 356.44 | 141.23 |
| C15 | 372.22 | 134.42 |
| C3 | 199.65 | 79.22 |
| C8 | 242.66 | 76.22 |
| C13 | 197.32 | 73.11 |
| C9 | 191.09 | 63.22 |
| C4 | 187.44 | 62.11 |
| C14 | 161.32 | 59.24 |
| C10 | 124.66 | 45.78 |

대 응력값이 나타났다. 또한 기존 연구 결과와 동일하게 솔더 볼과 PCB사이에서 최대 응력이 발생됨을 확인할 수 있었다.

2.2.2 언더필 유무에 따른 칩의 두께 변화해석

Table 7과 8의 모델 5에서 7까지의 해석결과 값들은 언더필을 고려한 보드에서 칩의 두께를 0.50mm에서 0.20mm까지 순차적인 감소를 시킨 것에 대한 결과 값이다. 기존 연구와 같이 칩의 두께가 감소함에 따라 각 칩에서 발생하는 최대 응력이 감소하는 결과를 보였다. 최대 응력이 발생한 칩의 순서는 이전 해석과 동일하였으며 또한 언더필(underfill)을 고려하였을 때 그렇지 않은 모델 보다 최대 응력이 1/2배이상 감소함을 확인할 수 있었다.

2.2.3 언더필을 고려한 칩 크기 변화해석

Table 9의 모델 8은 언더필(underfill)을 고려한 보드의 칩의

Table 7 Results of drop simulation by changing chip thickness

| | Model 5 | | Model 6 | |
|-----|--------------------------|---------------------|--------------------------|---------------------|
| | Chip thickness (mm) 0.50 | Underfill | Chip thickness (mm) 0.40 | Underfill |
| | Maximum stress(MPa) | Maximum stress(MPa) | Maximum stress(MPa) | Maximum stress(MPa) |
| C5 | 230.01 | 93.11 | 184.77 | 88.51 |
| C15 | 237.11 | 97.00 | 184.00 | 89.11 |
| C3 | 133.68 | 59.24 | 98.60 | 34.11 |
| C8 | 147.78 | 61.22 | 113.00 | 37.78 |
| C13 | 137.91 | 64.41 | 94.33 | 34.12 |
| C9 | 119.57 | 46.11 | 78.22 | 27.55 |
| C4 | 117.99 | 38.14 | 66.62 | 27.22 |
| C14 | 106.11 | 41.22 | 59.77 | 23.44 |
| C10 | 68.22 | 29.87 | 54.22 | 19.56 |

Table 8 Result of drop simulation by changing chip thickness

| | Model 7 | |
|-----|-------------------------|---------------------|
| | Chip thickness(mm) 0.20 | Underfill |
| | Maximum stress(MPa) | Maximum stress(MPa) |
| C5 | 142.66 | 67.22 |
| C15 | 137.70 | 73.12 |
| C3 | 71.44 | 31.55 |
| C8 | 92.01 | 32.11 |
| C13 | 74.65 | 34.46 |
| C9 | 67.41 | 25.79 |
| C4 | 57.11 | 23.44 |
| C14 | 51.22 | 19.78 |
| C10 | 42.11 | 17.04 |

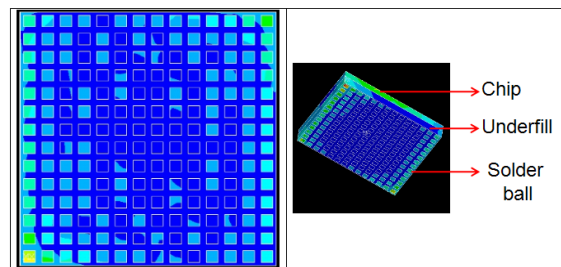


Fig. 5 Distribution of von-Mises stress in chip #8 of model 6

크기를 증가 시킨 것에 대한 결과 값이다. 기존 연구에서처럼 칩의 크기가 증가함에 따라 각 칩에서 더 큰 응력이 발생함을 확인할 수 있었다. 최대 응력이 발생한 칩의 순서는 이전과 동일한 고정점이 있는 구멍에서 가장 부분인 C5, C15 칩이었

Table 9 Result of drop simulation by changing chip size

| | Model 8 | |
|-----|--------------------------|---------------------|
| | Chip size(mm) 6.0×6.0 | Underfill |
| | Maximum stress(MPa) | Maximum stress(MPa) |
| C5 | 245.56 | 99.81 |
| C15 | 249.55 | 112.40 |
| C3 | 154.47 | 57.81 |
| C8 | 149.92 | 58.11 |
| C13 | 135.57 | 58.72 |
| C9 | 98.81 | 37.54 |
| C4 | 94.21 | 38.44 |
| C14 | 88.42 | 31.01 |
| C10 | 70.10 | 30.01 |

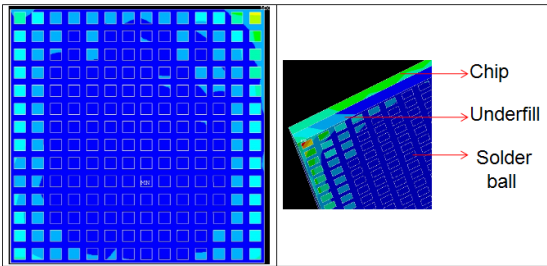


Fig. 6 Distribution of von-Mises stress in chip #5 of model 8

며, 다음은 최대 변위가 일어났던 중간 부분의 칩인 C3, C8, C13 그리고 다음 순서로 C9, C4, C14, C10의 순서로 나타났다. 또한 언더필(underfill)은 기존의 매개변수 변화에 따른 각 칩에 발생한 응력에 영향을 주지 않았으며 동일한 칩에 대해서 발생한 응력이 최소 1/1.8배에서 1/2.6배까지 응력이 감소하는 결과를 보여주었다. 이는 패키지(package) 밑에 언더필로 사용된 절연 수지가 낙하 충격과 PCB의 변위 충격을 흡수하고 솔더 범프에 가해지는 장력을 감소시켜 최종적으로 플립칩 패키지(flip-chip package)의 수명을 증가시키는 효과를 보인다고 할 수 있다.

3. 모드 해석(Modal analysis)

아주 짧은 시간 동안 가속 낙하를 한 보드는 전 주파수 영역대에서 충격을 받아 가진이 된다. 이론적으로 시간영역에서의 델타함수(delta function)를 푸리에 변환(Fourier transform)을 하면 주파수(frequency)영역에서는 0부터 무한대 주파수 영역까지 에너지가 전달된다. 이러한 원리로 아주 짧은 시간 동안 1,500g로 가속 낙하를 한 보드를 푸리에 변환을 통해 주파수 영역에서 살펴보면 0부터 상당히 큰 주파수 영역까지 그 에너

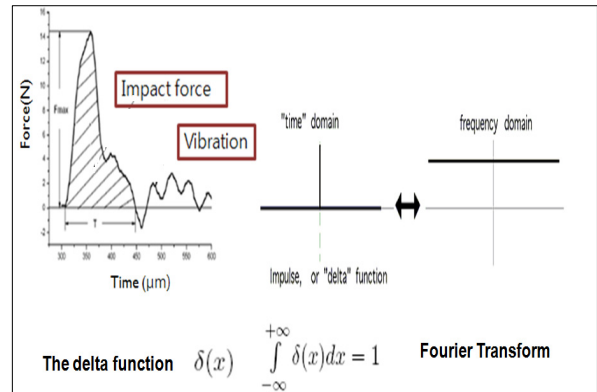


Fig. 7 The principle of Fourier transform

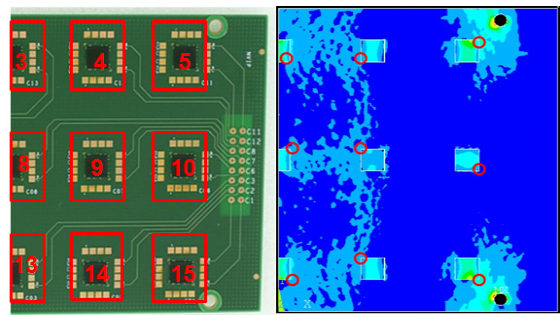


Fig. 8 Locations of maximum von_Mises yield stresses in chips by drop simulation for the half model

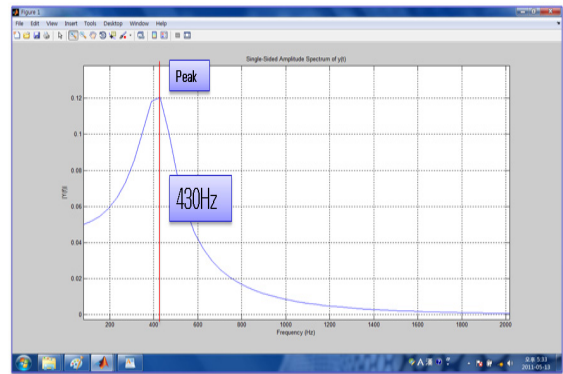


Fig. 9 Drop simulation by Fourier Transform in frequency domain

지가 전달되며, 각각의 칩에서 모든 고유모드들이 가진 됨을 뜻한다. 그러므로 칩이 실장된 PCB의 모드해석을 수행하는 것이 필요하며, 본 해석을 통해 가진 주파수와 공진주파수를 찾아 보았다.

Table 10의 오리지널 모델에 대한 낙하해석을 실시한 후 시간에 따른 z축 방향의 변위 데이터를 도출하고 이것을 MATLAB 프로그램을 이용하여 푸리에 변환을 실시한 결과 430Hz의 주파수에 피크가 나타남을 확인 하였다.

위의 Table 11은 유한 요소 해석 프로그램인 ANSYS를 이

Table 10 Original design parameters of solder balls

| | Size (mm) | Array | Ball (mm) | Pitch (mm) | Chip thickness (mm) |
|----------|-----------|-------|-----------|------------|---------------------|
| Original | 5.6 | 14*14 | 0.25 | 0.4 | 0.3 |

Table 11 The result of modal analysis for a half model

| Index of data sets on results file | |
|------------------------------------|------------------------|
| Mode | Natural frequency (Hz) |
| 1 | 430.24 |
| 2 | 706.12 |
| 3 | 1572.8 |
| 4 | 2236.8 |
| 5 | 3873.7 |
| 6 | 4852.2 |
| 7 | 5961.6 |
| 8 | 6160.7 |
| 9 | 7483.3 |
| 10 | 8603.8 |

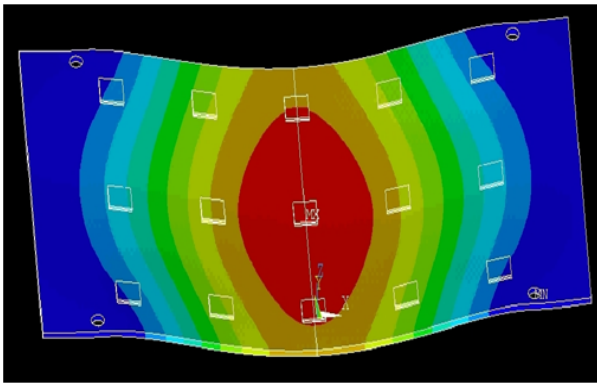


Fig. 10 The 1st model shape of an original model by modal analysis

용하여 모드 해석(modal analysis)을 한 결과이다. 낙하해석에서 사용된 동일한 1/2 모델에 대하여 모드해석을 수행하여 1차 고유진동수가 낙하해석에서 구한 해석결과와 동일하게 430Hz에서 나타남을 확인할 수 있었다. 두 해석의 동일한 결과로, 1,500g로 고속 낙하된 보드는 430Hz에서 보드의 1차 고유모드로 가진 됨을 알 수 있었다.

4. 결론

본 논문에서는 JEDEC조건에 맞게 언더필의 유무에 따른 보드레벨 낙하 충격해석을 실시하였다. 유한요소해석 프로그램인 ANSYS를 이용하였고 언더필을 고려한 플립칩 패키지의

매개변수인 솔더볼의 크기와 칩의 두께 그리고 칩의 크기를 변화시키면서 낙하해석을 실시하였다. 해석을 통해 알수 있었던 것은 다음과 같다.

첫째, 언더필을 고려한 플립칩의 설계 매개변수 변화에 따라 최대 응력의 크기 및 순서가 다르게 나타남을 확인할 수 있었다, 1/2 모델에 대한 최대 von-Mises 응력의 크기는 대부분의 해석에서 C5> C15> C3> C8> C13> C9> C4> C14> C10의 순서로 응력의 크기가 작아지는 것을 확인하였다. 이는 언더필을 고려하여도 최대 응력이 발생하는 위치 및 그 응력의 크기 순서는 이전 연구와 비교하여 변화가 없음을 알 수 있었다. 또한, 기존 연구와 동일하게 가장 연질의 재질인 칩과 PCB사이의 솔더 볼에서 가장 큰 응력이 발생하였으며, 고정을 위한 구멍 근처의 칩들에서 최대 응력이 발생이 하였다.

둘째, 언더필을 고려한 해석에서는, 보드에 가해지는 충격이 언더필을 고려하지 않은 해석보다 최소 1/1.8배에서 1/2.6배까지 감소하여 언더필이 완충제 역할을 하여 안정된 설계라고 할 수 있다. 이를 통해 플립칩을 설계할 때 언더필을 적용하면 낙하 충격에 의한 기계적 신뢰성을 향상시킬 수 있음을 알 수 있었다.

셋째, 낙하해석의 결과를 시간에 따른 변위 데이터를 푸리에 변환을 하여 얻은 주파수와 동일한 모델에 대한 모드해석을 통해 얻은 1차 고유진동수가 430Hz에서 일치하였다. 따라서 보드에 낙하충격으로 인한 강제진동과 보드자체의 1차 고유진동수가 일치하여 공진(resonance)발생되어 보드 내에 실장된 칩이 파괴됨을 알 수 있었다. 이를 통해 새롭게 개발하려는 플립칩에 대해 복잡하고 시간이 오래 걸리면서 가격도 비싼 낙하충격시험기를 사용하여 낙하충격에 의한 기계적 신뢰성을 평가하는 방법보다는 단순하고 간편한 진동가진기를 사용하여 플립칩의 기계적 신뢰성을 평가하는 방법을 제안한다.

참고 문헌

- (1) Tee, Y., Luan, J., Ng, H. S., Lim, C. K., Pek, E., and Zhong, Z., 2004, "Advanced Experimental and Simulation Techniques for Analysis of Dynamic Responses during Drop Impact," *54th Electronic Components and Technology Conference*, pp. 1088~1094.
- (2) Mattila, T. T., Marjamaki, P., and Kivilahti, J. K., 2006, "Reliability of CSP Interconnections under Mechanical Shock Loading Conditions," *IEEE Transaction on Components and Packaging Technologies*, Vol. 29, No. 4, pp. 787~795.
- (3) Kim, S. K., and Lim, E. M., 2011, "Dynamic Reliability of Board Level by Changing the Design Parameters of Flip Chips," *KSMTE*, Vol. 20, No. 5, pp. 559~563.

- (4) Kim, S. K., and Kim, J. Y., 2010, "Simulation of Thermal Fatigue Life Prediction of Flip Chip with Lead-free Solder Joints by Variation in Bump Pitch and Underfill," *KSMTE*, Vol. 19, No. 2, pp. 157~162.
- (5) JEDEC standard, 2003, *Board Level Drop Test Method of Components for Handheld Electronic Products*, JESD22-B111.
- (6) Kim, S. K., Kim, H. J., Lim, S. Y, Kim, S. Y., Yang, I. Y., and An, E. J., 2010, "Dynamic Reliability Assessment of Solder Balls on the Design Parameters of Flip Chips," *KSMTE*, Fall Conference, pp. 149~153.
- (7) Kim, S. K., 2011, "Board-Level Drop Analyses having the Flip Chips with Solder balls of Sn-3.0Ag-0.5Cu and Sn-1.0Ag-0.5Cu," *KSMTE*, Vol. 20, No. 2, pp. 193~201.
- (8) Kim, S. K., Kim, K. L., Bae, J. G., Park, S. H. and Lee, D. G., 2009, "Dynamic Analysis of Flip Chips with Solder Balls with Two Different Compositions," *KSPE, Fall Conference*, pp. 207~208.