

논문 2012-49SD-6-3

# 50MHz 2단 온도계 디코더 방식을 사용한 10 bit DAC 설계

(Design and Implement of 50MHz 10 bits DAC based on double step Thermometer Code)

정준희\*, 김영식\*\*

(Jun-Hee Jung and Young-Sik Kim)

## 요약

본 논문에서는 0.18- $\mu\text{m}$  CMOS 공정으로 제작된 무선 센서네트워크 송신기에 적용 가능한 50MHz/s 저전력 10비트 DAC 측정 결과를 제시한다. 제작된 DAC는 일반적 세그멘티드 방식과는 다르게 2단 온도계 디코더를 이용한 전류 구동 방식으로, 10비트를 상위 6비트와 하위 4비트로 나누어 구현하였다. 상위 6 비트의 온도계 디코더는 3비트의 행 디코더와 3비트의 열 디코더로 행과 열을 대칭적으로 구성하여 상위 전류 셀을 제어하였고, 하위 4비트도 온도계 디코더 방식으로 하위 전류셀을 구동하도록 설계하였다. 상위와 하위 단위 전류 셀은 셀 크기를 바꾸는 대신 바이어스 회로에서 하위 단위 전류의 크기가 상위 단위 전류와의 크기에 비해 1/16이 되도록 바이어스 회로를 설계하였다. 그리고 상위와 하위 셀간의 온도계 디코더 신호의 동기를 위해 입력 신호 및 디코딩 된 신호에 모두 동기화 래치를 적용하여 Skew를 최소화하도록 설계하였다. 측정결과 DAC는 50MHz클럭에서 최대 출력구동범위가 2.2Vpp이고, 이 조건에서 DC전원은 3.3 V에서 DC전류 4.3mA를 소모하였다. 그리고 DAC의 선형성 특성은 최대 SFDR이 62.02 dB, 최대 DNL은 0.37 LSB, 최대 INL은 0.67 LSB로 측정되었다.

## Abstract

This paper reports the test results of a 50MHz/s 10 bits DAC developed with 0.18 $\mu\text{m}$  CMOS process for the wireless sensor network application. The 10bits DAC, not likely a typical segmented type, has been designed as a current driving type with double step thermometer decoding architecture in which 10bits are divided into 6bits of MSB and 4bits of LSB. MSB 6bits are converted into 3 bits row thermal codes and 3 bits column thermal codes to control high current cells, and LSB 4 bits are also converted into thermal codes to control the lower current cells. The high and the lower current cells use the same cell size while a bias circuit has been designed to make the amount of lower unit current become 1/16 of high unit current. All thermal codes are synchronized with output latches to prevent glitches on the output signals. The test results show that the DAC consumes 4.3mA DC current with 3.3V DC supply for 2.2Vpp output at 50MHz clock. The linearity characteristics of DAC are the maximum SFDR of 62.02dB, maximum DNL of 0.37 LSB, and maximum INL of 0.67 LSB.

**Keywords :** DAC, Current cell, Thermometer-decoder, INL, DNL, SFDR.

## I. 서론

최근 반도체 기술의 발전과 무선 통신 시스템의 응용 범위가 증가하면서, 무선 통신시스템 SoC(System On Chip)에 대한 수요가 증가하고 있으며, 특히 무선 센서 네트워크 응용에서는 배터리 동작에 따른 전력 소모가 낮은 통신용 회로의 중요성이 높아지고 있다. 디지털

\* 학생회원, \*\* 정회원-교신저자, 한동대학교 정보통신 공학과

(Department of Information on Technology, Handong Global University)

※ 본 연구는 IDEC(반도체설계교육센터)의 MPW 프로그램 지원에 의해 수행되었음.

※ 본 연구는 교육과학기술부와 한국연구재단의 지역 혁신인력양성사업으로 수행된 연구결과임.

접수일자: 2011년12월22일, 수정완료일:2012년6월5일

변조방식을 사용하고 있는 최근의 무선 통신환경에서 DAC(Digital to Analog Converter)는 디지털신호를 아날로그 신호로 변환하는 필수적인 회로로써 고속 동작과 저전력 및 높은 선형성과 고해상도가 요구되고 있다.<sup>[1~2]</sup>

DAC에서 요구되는 주요 특성으로는 동작 클럭 속도와 전력소모, 점유 면적과 더불어 선형성 지표인 INL(Integral Non-Linearity), DNL(Differential Non-Linearity), SFDR(Spurious Free Dynamic Range), SNDR(Signal to Noise and Distortion Ratio)로 주어진다. 전류 구동방식의 DAC는 높은 클럭 속도와 직접 부하 저항을 구동할 수 있으며 우수한 선형성을 나타낸다.<sup>[1~2]</sup> 이러한 이유로 선형성이 요구되는 많은 응용분야에서 DAC는 주로 전류 구동 방식을 이용해 설계된다.<sup>[2]</sup> 그러나 전류 구동방식의 DAC는 비트수가 증가함에 따라 전류 셀의 수가 기하급수적으로 늘어나 복잡도가 증가하고, 전력 소모와 전류 셀간의 부정합으로 비선형성이 증가할 수 있는 단점을 가지고 있다. 부정합을 개선하기 위한 다양한 보정방법이 있지만 회로의 복잡도와 면적 증가에 따른 단점이 있다.<sup>[3]</sup> 이러한 문제를 해결하기 위해 DAC 설계에서 전류구동방식과 이중 가중치 구조를 병합한 세그먼트 구조를 많이 사용하고 있다.<sup>[1~4]</sup> 하지만 세그먼트 구조에서 상위 온도계코드와 하위 이중 가중치 구조의 정합과 스위치 제어 시간이 잘 맞지 않으면 DAC의 선형성 특성이 저하되고 글리치가 발생하여 오류를 유발한다는 단점을 가지고 있다.<sup>[5]</sup>

본 논문에서는 온도계방식의 DAC의 복잡도와 전력소모를 최소화하면서 동시에 세그먼트 방식의 글리치 문제를 해결할 수 있는 구조인 2단 온도계방식의 DAC를 제안한다. 본 논문의 구성은 다음과 같다. II장에서는 제안하는 DAC구조에 대하여 설명하고 회로 설계 방법을 제시한다. 그리고 III장에서 제작된 칩의 시험 결과를 제시하고 IV장에서 결론을 맺는다.

## II. 2단 온도계 디코더 DAC 구조 및 설계

### 1. 저전력, 소면적 구조

그림 1은 제안한 10비트 DAC의 구조를 보여주고 있다. 일반적인 단일 스테이지 단위 전류셀 구조를 사용하는 온도계 디코더 DAC의 경우엔 10 bit의 해상도를

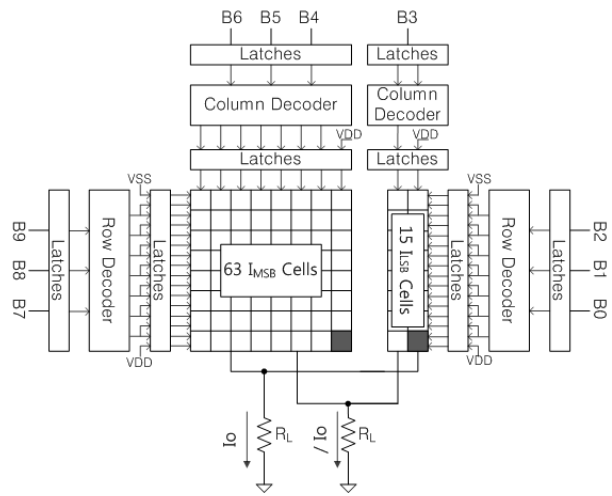


그림 1. 2단 온도계 방식의 10 비트 DAC 블록도  
Fig. 1. Block diagram for double step thermal codes 10bits DAC.

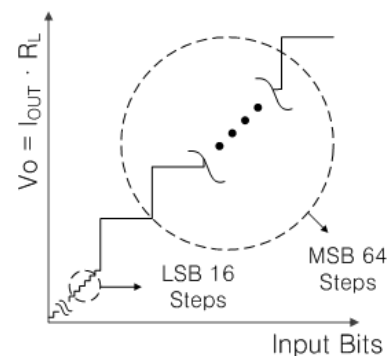


그림 2. 2단 온도계 방식의 MSB step / LSB step 관계  
Fig. 2. Relationship between MSB step and LSB step.

가지기 위해 1023개의 단위 전류 셀을 가지게 된다. 하지만 본 논문에서 제안되는 구조는 상위 전류셀 63개와 하위 전류셀 15개를 이용해 구현된다. 따라서 단일 스테이지 온도계 디코더 구조에 비해 열배 이상의 면적을 줄일 수 있고, 단위 전류셀의 수가 줄어들어 따라 소모하는 전류의 양도 줄일 수 있게 되어 저전력 동작이 가능해진다. 뿐만 아니라 적은 개수의 전류셀을 제어하기 위한 비교적 간단한 제어회로를 가질 수 있다.<sup>[6]</sup>

본 설계에서는 하위 4개의 bits가 15개의 하위 전류셀을 제어하고, 상위 6개의 bits가 63개의 상위 전류셀을 제어하여 그림 2와 같은 입력별 출력 파형을 갖게 된다. 상위 전류셀과 하위 전류셀의 레퍼런스 단위 전류의 비는 식 (1)과 같이 각 제어에 필요한 bits 수로 정해진다. 또한 온도계 디코더 셀들에서 출력되는 전류의 합은 식 (2)와 같고, 이는 식 (3)에서 살펴볼 수 있듯

이 DAC의 출력 Dynamic Range를 결정하게 된다.

$$I_{MSB} = 2^N \cdot I_{LSB} \quad (N: \text{Number of LSB}) \quad (1)$$

$$I_O = I_{MSB} \cdot (2^9 \cdot b_9 + 2^8 \cdot b_8 + \dots + 2^4 \cdot b_4) + I_{LSB} \cdot (2^3 \cdot b_3 + \dots + 2^0 \cdot b_0) \quad (2)$$

$$V_{OUT} = I_{OUT} \cdot R_L \quad (3)$$

식 (3)에 따르면  $R_L$  값이 충분히 커지면 소량의 전류를 가지고도 충분한 Dynamic Range를 가지도록 설계할 수 있음을 알 수 있다. 그러나 식 (4)는  $R_L$ 의 증가는 선형성의 문제를 주게 되는 것을 보여준다.<sup>[7]</sup>

$$INL = \frac{I_{UNIT} \cdot R_L^2 \cdot N^2}{4 \cdot Z_{imp}} \quad (4)$$

$I_{UNIT}$  : 1 LSB current,  $N$  : 단위 전류원 총 개수

$R_L$  : 부하저항,  $Z_{imp}$  : 출력임피던스

따라서 설계 초기에 단위 전류를 설정하거나  $R_L$ 을 설정할 때 둘 사이의 tradeoff 관계를 고려해주는 것이 중요하다.

### 2. 단위전류 셀과 바이어스 회로의 구조

그림 3은 단위 전류 셀의 구조를 보여준다. 위의 식 (4)에 따르면 단위전류원의 높은 출력임피던스는 출력 신호에 따른 전류원의 전류량 변화를 작게 한다.<sup>[7]</sup>

전류 셀은 PMOS로 설계하여 n-well공정에서 발생할 수 있는 substrate잡음을 최소화 하고, NMOS 스위

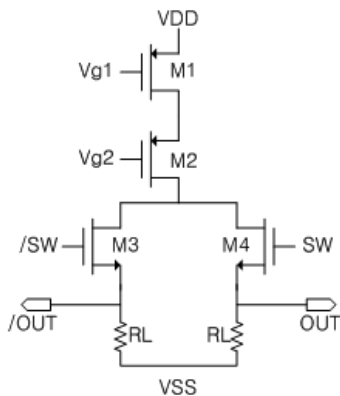


그림 3. DAC 캐스코드 단위 전류 셀  
Fig. 3. Cascode Unit current cell for DAC.

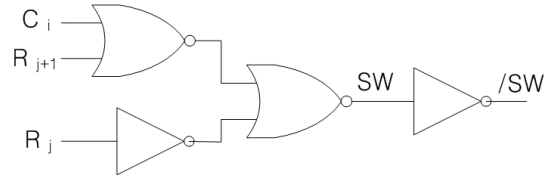


그림 4. 단위 전류셀 제어 회로  
Fig. 4. Unit Current Cell Control Logic.

치를 사용하여 최적의 속도를 가지도록 설계하였다.

각 단위 전류원은 Row/Column 온도계 코드를 통해 생성되는 제어신호를 통해 켜지거나 꺼진다. 그림 4는 Row/Column 신호가 각 전류원을 제어하는 논리회로를 보여준다.

Row 온도계 디코더와 Column 온도계 디코더가 생성하는 온도계 코드에 따라 식 (5)와 같은 논리로 단위 전류셀을 제어하는 것을 알 수 있다.

$$\begin{aligned} SW &= R_j(R_{j+1} + C_i) \\ &= R_j R_{j+1} + R_j C_i \\ &= R_{j+1} + R_j C_i \end{aligned} \quad (5)$$

그림 3의 Vg1과 Vg2는 단위 전류원의 기준 전류를 생성하여주는 바이어스 전압이다. 이는 바이어스 생성 회로를 이용하여 공급하였다. 그림 5는 본 설계에서 사용한 바이어스 전압 생성 회로를 보여준다.

본 설계는 6비트의 상위 전류 셀과 4비트의 하위 전류 셀을 가지는 구조이기 때문에 기준 전류의 비는 1:1/16의 비를 가진다. 이러한 기준 전류의 비를 만들어 내기 위해서 소자의 크기를 조절하는 대신, 바이어스 회로를 이용하여 동일한 전류셀에 흐르는 전류의 양을 조절하는 방법을 사용했다. 그림 5의 vg1과 vg2는 상위 6비트가 제어하는 MSB 단위 전류 셀에 인가 되는 바이어스 전압이고 vg3과 vg4는 하위 4비트가 제어하는

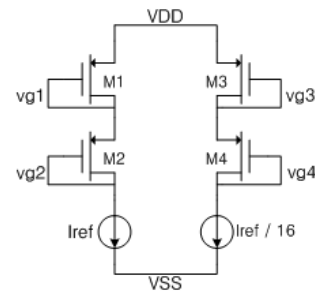


그림 5. 단위 전류셀의 바이어스 전압 생성기 회로  
Fig. 5. The Bias Voltage Reference Generator for the Unit Current Cells.

LSB 단위 전류 셀의 바이어스 전압이다.

그러나 PVT(Process, Voltage and Temperature) 변화로 인한 상위와 하위 전류셀의 전류 미스매치가 발생하는 경우 글리치가 발생하며 선형성 저하에 원인이 된다.

본 설계의 테스트에서는 바이어스 생성기의 기준전류를 테스트 회로 외부에서 미세하게 조절하여 후보정을 수행하여 미스매칭으로 일어나는 오류를 줄였다. 또한 각 전류셀들의 스위치 제어 신호들 간의 Skew 문제를 해결하기 위해 입력되는 비트와 Row/Column 온도계 디코더의 출력 신호를 모두 Latch를 통해 인가하고 제어 Clock의 skew를 최소화하도록 하였다.

### III. 실험 및 측정 결과

설계된 DAC는 0.18 $\mu$ m 1P6M CMOS 공정으로 제작하였다. 측정에서 10 비트 DAC 디지털 입력은 Spartan3E FPGA 보드를 통하여 인가하였다. DAC 출력 측정은 Tektronix사의 MSO4034 오실로스코프와 주파수 대역 확인을 위해서 Tektronix사의 TDS3052B 오실로스코프를 이용하였다. 측정을 위해 PCB 보드를 제작하였고 그림 6은 보드의 모습을 보여준다.

그림 7은 4MHz의 클럭 속도에서 FPGA로 10비트 카운터를 만들어 1씩 증가 또는 감소하면서 최소에서 최대(0-1023)범위 내의 10비트 코드를 변화시킨 경우 입력코드에 따른 출력 전압 특성을 보여주고 있다. 최대 출력은 차동으로 2.2V<sub>pp</sub>으로 측정되었다.

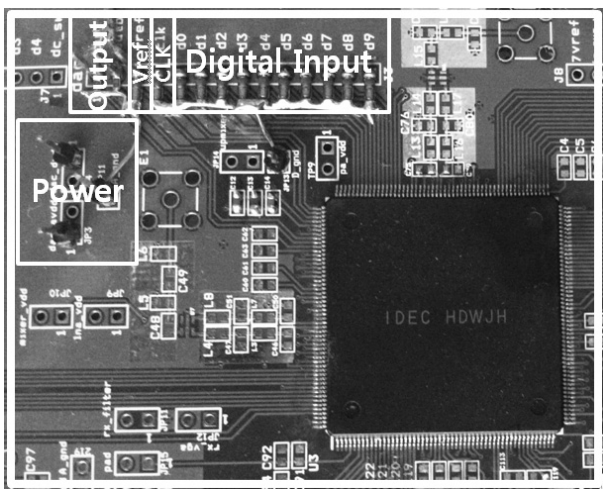


그림 6. 테스트용 PCB  
Fig. 6. A PCB Layout for test DAC.

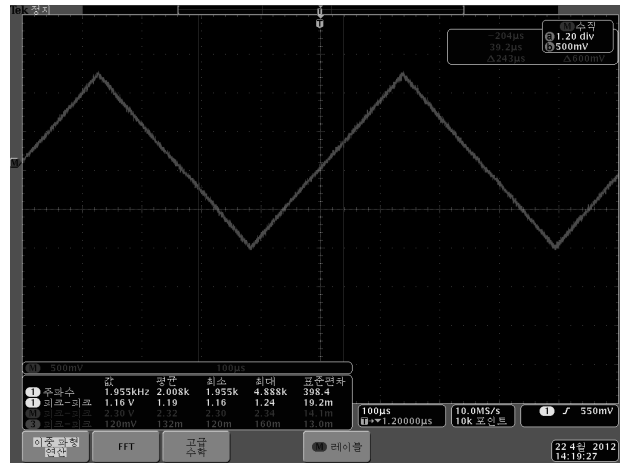


그림 7. Ramp 신호 테스트 CLK@4MHz  
Fig. 7. Ramp signal test clk@4MHz.

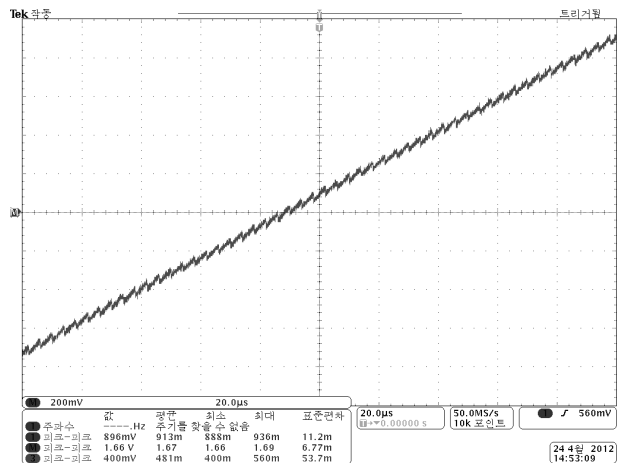


그림 8. 보정 전 Ramp 신호 확대.  
Fig. 8. Ramp signal without calibration.

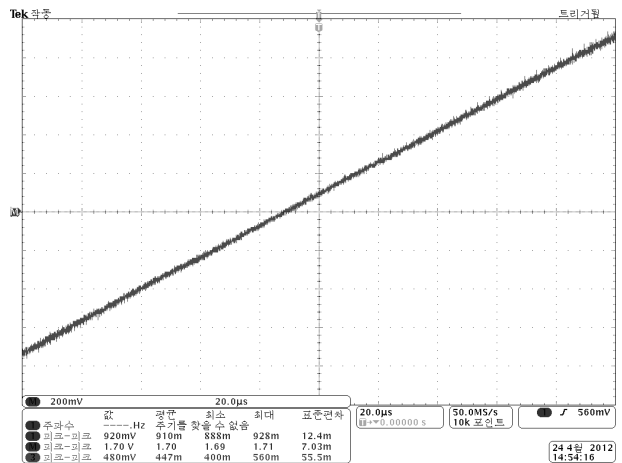


그림 9. 보정 후 Ramp 신호 확대.  
Fig. 9. Ramp signal with calibration.

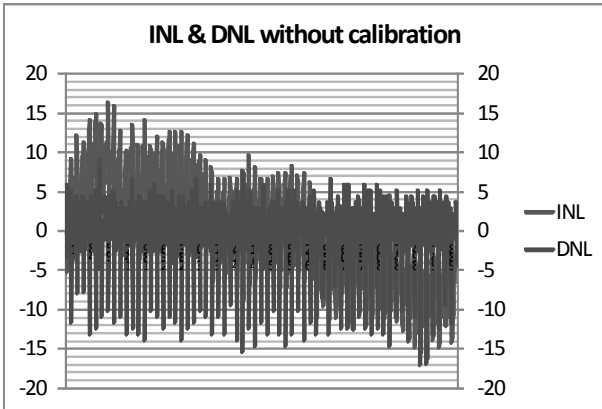


그림 10. 보정 전 INL/DNL 특성.  
Fig. 10. INL and DNL characteristic without calibration.

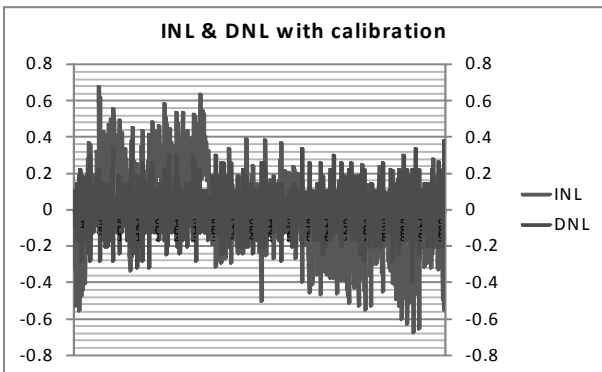
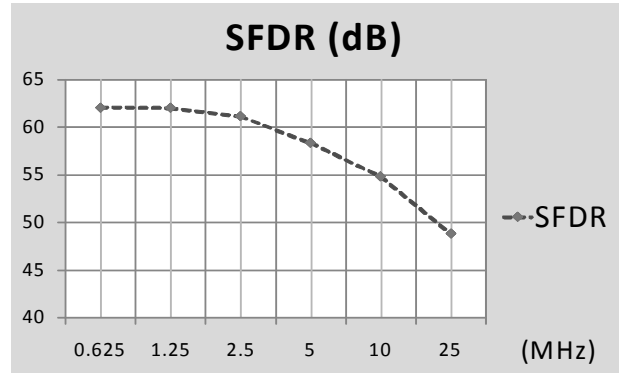


그림 11. 보정 후 INL/DNL 특성.  
Fig. 11. INL and DNL characteristic with calibration.

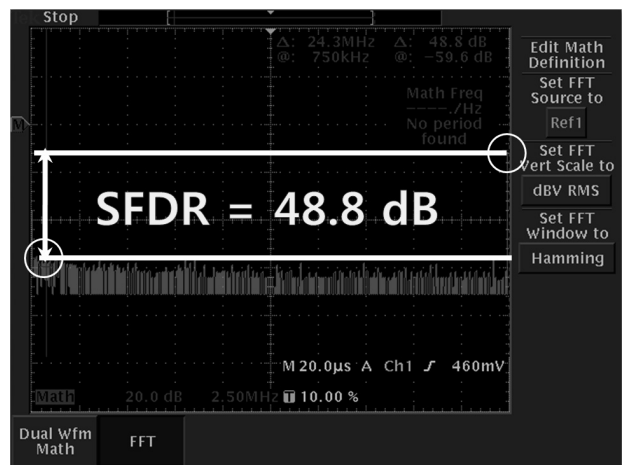
외부 바이어스 후보정 효과를 보기 위해 보정 전과 보정 후의 차이를 관찰한 결과는 그림 8과 그림 9와 같다. 상위 전류셀과 하위 전류셀의 기준 전류비 차이에 따라 상위가 하나씩 켜지는 순간마다 클리치가 발생 것을 확인할 수 있다. 외부 바이어스 보정 효과에 따른 선형성의 향상 정도를 측정하기 위해 INL과 DNL 특성을 추출하였다. 그림 10과 그림 11은 각각 보정전과 보정 후의 결과를 보여주고 있다. 보정 전 INL/DNL 최대 16.29 LSB / 17.02 LSB에서, 보정 후 INL 최대 0.67 LSB, DNL 최대 0.37 LSB가 측정되는 것을 확인할 수 있었다.

정현파 테스트를 위해 50MHz의 DAC 클럭 환경에서 각 주파수별 정현파를 입력하여 SFDR 특성을 확인해 보았다. 그 결과 그림 12와 같이 최대 SFDR은 62.02 dB으로 측정되었고, 나이퀴스트 주파수(25MHz)에서 48.8 dB로 측정되었다.

표 1에 제작된 DAC 측정결과를 정리하였다. 설계된 DAC의 입력 및 출력 도선과 I/O 패드의 면적을 제외한



(a)



(b)

그림 12. (a) 주파수별 SFDR 특성.  
(b) 나이퀴스트 주파수(25MHz)에서 SFDR 특성 (수직 : 20.0 dB/div, 수평 : 2.5MHz/div)

Fig. 12. (a) SFDR characteristic vs frequency  
(b) SFDR characteristic at Nyquist frequency (25MHz).

표 1. DAC의 측정결과 요약

Table 1. Summary of the designed DAC.

Parameter	Result
DC power / Current	3.3 V / 4.38mA
Resolution	10 bits
Sampling Clock	< 50MHz
Output Dynamic Range	2.2 Vpp
INL / DNL	< 0.67 LSB / < 0.37 LSB
SFDR	< 62.02 dB
Active Die Area	0.572 mm <sup>2</sup> (1.1mm x 0.52mm)

코어의 점유 면적은 0.572mm<sup>2</sup>으로 그림 13에서 레이아웃 패턴을 보여준다. 설계된 DAC는 비교적 저전력의 특성을 보여주는데, 50MHz, 3.3V 전원에서 4.3mA의 DC전류를 소모하는 것으로 측정되었다. 표 2에는 본

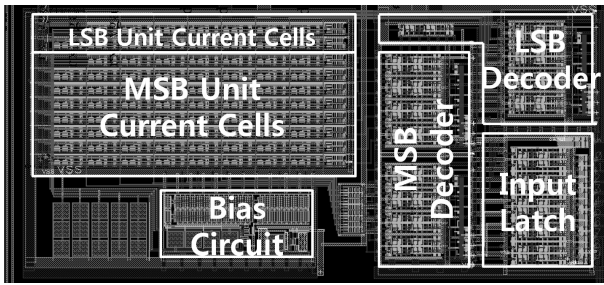


그림 13. 설계한 DAC Layout Result  
Fig. 13. Layout Result of the DAC.

표 2. 기 발표된 논문과의 비교.  
Table 2. Comparison among the previous results.

참고문헌	본 논문	[8]	[9]	[5]
해상도 [Bit]	10	10	10	10
변환속도 [MHz]	50	250	75	80
전력소모 [mW]	14.19	22	170	48
INL/DNL [LSB]	±0.67 / ±0.37	±0.1 / ±0.1	±0.6 / ±0.24	±0.38 / ±0.32
SFDR [dB]	62.02 (625 kHz)	62.3 (122.5 MHz)	58.12 (1MHz)	60.4 (1MHz)
전원 [V]	3.3	1.8	5	1.8
Technology	0.18um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS

논문과 유사한 다른 연구자들의 DAC의 주요 성능을 비교하고 요약하였다.

#### IV. 결 론

본 논문에서는 면적과 전력소모 및 선형성을 최적화하기 위해, 2단 온도계 코드 방식의 단위 전류셀을 가지는 10 bit DAC구조를 제안하였다. 제안된 DAC는 6비트의 상위 온도계 코드와 4비트의 하위 온도계 코드로 구성하였으며, 전류셀은 PMOS 캐스코드 구조의 전류셀과 NMOS 스위치로 구현하여 출력 임피던스를 높이고 잡음과 동작 속도를 최적화 하였다. 후보정 작업을 통해 소자간 미스매칭에 의해 선형성 어긋나는 것을 최소화하였고, 또한 라우팅 복잡도를 최소화하기 위하여 온도계 코드는 Row와 Column으로 분리하여 레이아웃을 작성하였다. 설계된 DAC는 0.18um CMOS공정으

로 제작하고 측정 결과를 제시하였다. 제작된 칩의 면적 0.572mm<sup>2</sup>이고, 설계된 DAC는 50MHz, VDD=3.3V의 전원에서 4.3 mA DC전류를 소비한다. 최대출력은 2.2 Vpp이며 INL이 0.67 LSB, DNL이 0.37로 측정되었고, 50MHz 샘플링 주파수에서 최대 SFDR은 62.02dB로 측정되었고, 나이퀴스트 주파수에서의 정현파 출력은 48.8dB로 측정되었다.

#### 참 고 문 헌

- [1] A.Van den Bosch, Marc A. F. Borrenmans, Michel S J. Steyaert, and Willy Sansen, "A 10-bits 1Gsamples/s Nyquist Current-Steering CMOS D/A Converter," *IEEE J. Solid-State Circuit*, vol. 36, no. 3, pp. 315-324, Mar. 2001.
- [2] Jose Bastons, Augusto M. Marques, Michel S. J. Steyaert, and Willy Sansen, "A 12 bits Intrinsic Accuracy High Speed CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1959-1969, Dec. 1998.
- [3] 황태호, 김차동, 최희철, 이승훈, "세그먼트 부분 정합 기법 기반의 10비트 100MS/s 0.13um CMOS D/A 변환기 설계," 전자공학회 논문지, 제47권 SD 편, 62-68쪽, 2010년 4월.
- [4] Samiran Halder, Swapna Banerjee, Arindrajit Ghosh, Ravi sankar Prasad, Anirban Chatterjee, Sanjoy Kumar Dey, "A 10-bit 80-MSPS 2.5-V 27.65-mW 0.185-mm<sup>2</sup> Segmented Current Steering CMOS DAC", *Proc. 18<sup>th</sup> International Conference on VLSI*, 2005.
- [5] 황정진, 선종국, 박리민, 윤광섭, "스위칭 잡음 감소기법을 이용한 10비트 80MHz CMOS D/A 변환기 설계," 전자공학회 논문지 47권 SD편, 35-42쪽, 2010년 5월.
- [6] Ji Hyun Kim and Kwang Sub Yoon, "An 8-bit CMOS 3.3-V-65-MHz Digital-to-Analog Converter with a Symmetric Two-Stage Current Cell Matrix Architecture", *IEEE Circuits and Systems II: Analog and Digital Signal Processing*, vol.45, pp.1605-1609. 1998.
- [7] P. Aliparast, Z. D. Koozehkanai, J. Sobhi. "Design of a 10-bit Low Power Current-Steering Digital-to-Analog Converter Based on a 4-D Thermometer Decoding Matrix", *IEEE MIXDES*, p243-246, 2010.
- [8] Jurgen Deveugele, Michiel Steyaert, "A 10b 250MS/s binary-weighted current-steering DAC", *IEEE International solid-state circuit*

conference session20, pp.362-363, 2004.

- [9] T. Wu, C. Jih, J. Chen, and C. Wu, "A low glitch 10-bit 75-MHz CMOS Video D/A converter", *IEEE J. Solid-State Circuits*, pp.68-72, Jan. 1995.
- [10] C. H. Lin and K. Bult, "A 10bit 500MSample/s CMOS DAC in 0.6 mm<sup>2</sup>", *IEEE J. Solid-State Circuits*, vol. 33, pp.1948-1958, Dec. 1998.

---

### 저 자 소 개



정 준 희(학생회원)  
2011년 한동대학교 전산전자  
공학부 학사 졸업.  
2011년~현재 한동대학교 정보  
통신공학과 석사 과정.

<주관심분야 : RFID/USN, VLSI 설계, PLL 및  
주파수 합성기 설계, RF/아날로그 IC설계 >



김 영 식(정회원)-교신처자  
1993년 포항공과대학교 전자전기  
공학과 학사 졸업.  
1995년 포항공과대학교 초고주파  
공학과 석사 졸업.  
1999년 포항공과대학교 초고주파  
공학과 박사 졸업.

1999년~현재 한동대학교 전산전자공학부 정교수  
<주관심분야 : 센서 네트워크 개발, RFID, 무선 송  
수신용 RF/Analog IC설계, 무선통신용 모뎀 설  
계>