

논문 2012-49SD-7-5

OFDM-기반 WPAN 시스템을 위한 패킷 검출 및 반송파 주파수 오프셋 추정/보정 구조 설계 및 분석

(Packet Detection and Frequency Offset Estimation/Correction
Architecture Design and Analysis for OFDM-based WPAN Systems)

백 승 호*, 이 한 호**

(Seungho Back and Hanho Lee)

요 약

본 논문은 mmWave OFDM-기반 WPAN 시스템을 위한 패킷 검출과 주파수 오프셋 추정 및 보정 구조를 제안하고 성능 분석 결과를 보여준다. 패킷 검출 블록은 반복된 훈련 심볼의 자기상관 관계를 이용하고 상관된 값이 일정 문턱 값을 넘을 때 패킷 시작점을 검출하는데 사용된다. 적용한 자기상관 알고리즘 구조는 기존의 패킷검출에 사용한 알고리즘에 비해 간단하게 하드웨어를 구현 할 수 있다. 주파수 오프셋 추정 구조는 기존구조와는 다른 위상 천이 처리 블록, 하드웨어 사이즈를 줄여주는 내부비트 줄임 블록 및 look-up table의 사이즈를 줄인 주파수 오프셋 조정 블록을 설계하였다. 추정된 주파수 오프셋 값은 설계한 보정 블록을 통해 수신 신호를 보정함으로써 주파수 오프셋에 대한 영향을 줄일 수 있다. 설계 검증틀을 이용한 성능 분석 결과 제안된 구조는 하드웨어 구현복잡도가 감소함을 보여 주었고 기존구조에 비하여 게이트수가 감소함을 보였다. 따라서 제안된 구조는 OFDM-기반 WPAN 시스템의 초기 동기화 과정에 적용 될 수 있고 고속 저전력 WPAN칩에 사용 될 수 있다.

Abstract

This paper presents packet detection, frequency offset estimation architecture and performance analysis for OFDM-based wireless personal area network (WPAN) systems. Packet detection structure is used to find the start point of a packet exactly in WPAN system as the correlation value passes the constant threshold value. The applied autocorrelation structure of the algorithm can be implemented simply compared to conventional packet detection algorithms. The proposed frequency offset estimation architecture is designed for phase rotation process structure, internal bit reduction to reduce hardware size and the frequency offset adjustment block to reduce look-up table size unlike the conventional structure. If the received signal can be compensated by estimated frequency offset through the correction block, it can reduce the impact on the frequency offset. Through the performance result, the proposed structure has lower hardware complexity and gate count compared to the conventional structure. Thus, the proposed structure for OFDM-based WPAN systems can be applied to the initial synchronization process and high-speed low-power WPAN chips.

Keywords : Packet detection, frequency offset estimation, architecture, mmWave, OFDM, WPAN.

I. 서 론

* 학생회원, ** 정회원, 인하대학교 정보통신공학부
(School of Information and Communication
Engineering, Inha University)

※ 이 논문은 2012년도 정부(교육과학기술부)의 재원으로
한국연구재단의 기초연구사업 지원을 받아 수행
된 것임.(2012R1A1A2007740)

접수일자: 2011년6월13일, 수정완료일 2012년6월21일

IEEE802.11ad 표준기반의 시스템^[1]은 PC와 HDTV
및 프로젝터 등의 디스플레이, 디지털 가전기기 사이에
1~7 기가비트의 전송속도로 10미터 범위 내에서 정보
를 주고 받는 WPAN 표준 중에 하나이다. Division

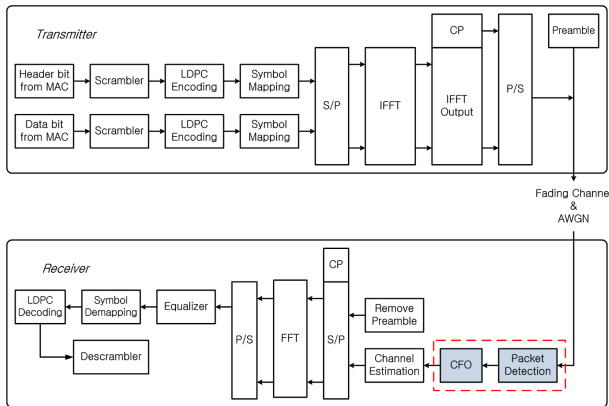


그림 1. 60GHz WPAN시스템에서 OFDM 물리계층부 (PHY layer)의 블록도^[1]
Fig. 1. Block diagram of OFDM PHY layer in 60GHz WPAN system^[1].

Multiplexing OFDM 시스템은 기존 반송파 통신 시스템과 비교하여 많은 장점을 가지고 있는데 유무선 데이터 전송 시스템 표준에 채택되어 적용되었다.^[2] 특히 다중 반송파를 사용하고 높은 전송률을 가지며 단일 반송파 방식에 비해 주파수 선택적 페이딩과 시간 영역 충격 잡음에 강한 OFDM 변조 방식이 적용되었다. IEEE.802.11ad 표준은 밀리미터파 (mmWAVE: Millimeter Wave)대역 기가비트급 WPAN 시스템의 표준 중의 하나로 SC(Single Carrier), OFDM 등의 전송 모드를 지원하고 있다. 밀리미터파 대역은 밀리미터 단위의 파장을 갖는 57~66 GHz의 비허가 및 ISM (Industrial Scientific Medical)대역으로 최근 전 세계적인 주파수 자원의 부족으로 인하여 이를 극복할 해결책으로 주목 받고 있다. 60 GHz 주파수 대역은 초광대역을 사용하여 고속의 데이터 전송이 가능하고 간섭에 강하다. 또한 보안성이 뛰어나고 주파수 재사용이 용이하며 파장이 짧은 특성으로 소자 및 기기의 소형화가 가능한 장점이 있다. 밀리미터파 대역을 사용하는 기가비트 WPAN 시스템은 블루투스(Bluetooth)나 UWB (Ultra Wide Band)와 같은 기존 WPAN 시스템에 비해 전송속도가 6~12배 이상 향상되어 비 압축 무 손실 멀티미디어 영상 전송, 스트리밍 서비스, 초단거리 통신기기를 비롯한 다양한 분야에서 응용이 가능하다.

WPAN 시스템은 랜덤 액세스 네트워크이므로 수신기는 신호의 시작점을 정확히 알지 못한다. 따라서 송수신 간의 패킷 방식의 통신에서는 시작점을 찾는 것이 그 시스템의 성능에 크게 영향을 미치며 패킷의 검출부분이

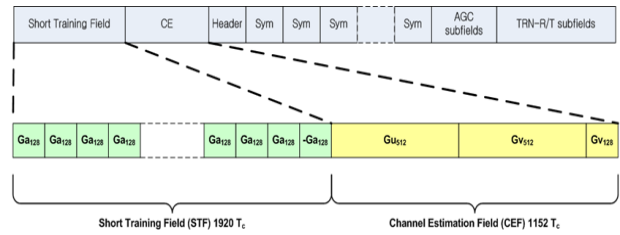


그림 2. 60GHz WPAN 시스템의 전치 부호 구조^[1]
Fig. 2. Preamble structure in 60GHz WPAN System^[1].

필요하다. 또한, OFDM 시스템의 성능에 영향을 미치는 주파수 오프셋에 대한 영향을 줄이기 위해 주파수 오프셋에 대한 추정이 매우 중요하다^[1~3].

기존의 패킷 검출 방법은 수신된 신호의 전력을 이용한 것으로 반송파 주파수 오프셋에 영향을 받지 않지만 정확한 타이밍 동기가 어렵고 패킷뿐만 아니라 모든 수신 신호를 검출 하는 문제점이 있다^[4]. 또한 교차 상관 후 자기상관 검출 방법^[5]은 뛰어난 패킷검출 성능을 가지고 있지만 높은 하드웨어 복잡도를 갖는다. 자기상관을 이용한 방법^[6]은 교차상관 후 자기상관 패킷 검출과 비교해 검출성능은 조금 떨어지지만 하드웨어 복잡도가 작다는 장점을 가지고 있다. 반송파 주파수 오프셋 추정에 있어 기존의 CP(Cyclic Prefix)를 이용한 방법은 훈련 신호가 필요 없이 추정하는 방식^[7]으로 주파수 사용 효율은 좋지만 채널 응답이 긴 다중 경로 환경에서는 성능이 떨어져 오차한계 현상을 보인다.

그림 1은 WPAN 시스템의 OFDM 물리 계층부 구조를 보여 준다. 그림 2는 IEEE802.11ad에서 정한 WPAN 시스템의 전치부호 구조로서 Golay sequence로 구성된 짧은 훈련 필드(Ga128×15)와 채널 추정 필드(Gu512, Gv512, Gv128)로 구성되어 있다^[1]. 짧은 훈련 필드의 심볼은 패킷 검출과 AGC(automatic gain control), 동기화를 수행하고 주파수 오프셋 추정을 하는데 이용된다. 채널 추정 필드는 시스템에 사용된 채널을 추정하는데 사용 된다.

그림 1에서 패킷검출 및 반송파 주파수 오프셋 블록은 수신된 전치부호 신호 중 연속적으로 반복된 짧은 훈련 심볼 간의 상관을 통해 수신 신호를 검출하고 주파수 오프셋(을) 추정은 r_i 를 짧은 훈련 심볼의 i 번째 샘플과 r_{i-128} 의 훈련 심볼에 관한 상관 값을 이용하고 식 (1)과 같이 정의 된다^[4, 8].

$$Auto\ correlation = \frac{1}{128} \sum_{i=k-128+1}^k r_i \cdot r_{i-128}^* \quad (1)$$

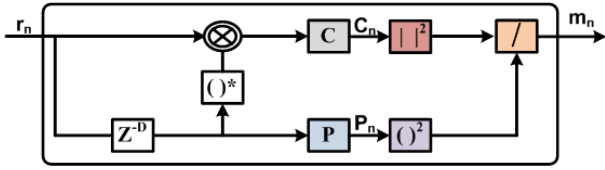


그림 3. 패킷검출 구조^[8]
Fig. 3. Packet detection structure^[8].

그림 1의 CFO부분에서는 식 (2)를 사용하여 추정 각도를 연산하고 추정된 값은 주파수 오프셋 보상블록의 입력으로 사용된다^[8].

$$\hat{\theta} = \frac{1}{128} \angle \left(\sum_{i=k}^{k+127 \times n-1} r_i^* r_{i+128} \right) \quad (2)$$

본 논문에서는 OFDM-기반 WPAN 시스템을 위한 패킷 검출부와 반송파 주파수 오프셋 추정 및 보정구조를 제안한다.

본 논문의 구성은 다음과 같다. II장에서 기존의 패킷 검출과 반송파 주파수 오프셋 추정을 위한 방법 및 구조에 대해 설명한다. III장에서는 제안된 패킷 검출과 주파수 오프셋 추정 구조 설계를 위한 성능 분석을 보여주고 IV장에서는 제안된 패킷 검출 및 주파수 오프셋 추정 구조와 보정 구조를 설명한다. V장에서는 패킷검출 및 반송파 주파수 오프셋 블록에 대한 시뮬레이션 결과 및 성능 분석 결과를 보인다. 마지막으로 VI 장에서 본 논문의 결론을 맺는다.

II. 기존의 패킷 검출과 주파수 오프셋 추정을 위한 방법 및 구조

1. 상관관계와 수신된 신호의 전력을 이용한 패킷 검출 방법 및 구조

그림 3은 수신된 신호의 지연과 상관성을 이용한 것으로 C는 수신된 신호와 D만큼 지연된 신호의 상관된 값에 의해 나온 값의 정규화 된 값이며 P는 상관 값을 계산하는 동안 수신된 신호의 전력의 값이다. 이 두 값은 패킷의 검출에 사용되고 식 (3)과 같다^[9].

$$c_n = \sum_{k=0}^{L-1} r_{n+k} r_{n+k+D}^*$$

$$p_n = \sum_{k=0}^{L-1} r_{n+k+D}$$

$$m_n = \frac{|c_n|^2}{(p_n)^2} \quad (3)$$

2. 반송파 주파수 오프셋 추정 방법 및 구조

그림 4는 주파수 오프셋을 추정하는 과정으로 수신된 신호의 상관관계를 이용한다. 식 (4)는 송·수신된 신호의 주파수 영향을 나타내는 것으로서 s_n은 반복적인 훈련신호이고 f_Δ는 반송파 주파수 오프셋을 나타낸다. 주파수 오프셋의 영향을 받은 수신된 신호를 통해 주파수 오프셋의 값을 추정하는 것은 식 (5)와 같다. D는 반복되어진 두 가지 심볼의 동일한 샘플들 사이의 지연을 나타내며 추정된 오프셋의 값은 식 (6)과 같다^[9].

$$\begin{aligned} r_n &= s_n e^{j2\pi f_{tx} n T_s} e^{-j2\pi f_{rx} n T_s} \\ &= s_n e^{j2\pi (f_{tx} - f_{rx}) n T_s} \\ &= s_n e^{j2\pi (f_{\Delta}) n T_s} \end{aligned} \quad (4)$$

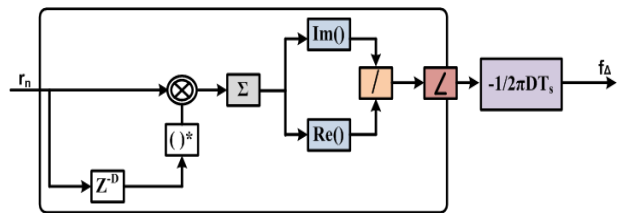


그림 4. 반송파 주파수 오프셋 구조^[9]
Fig. 4. Carrier frequency offset structure^[9].

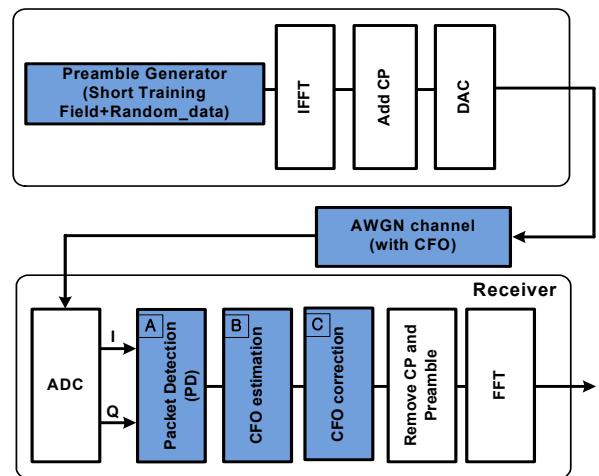
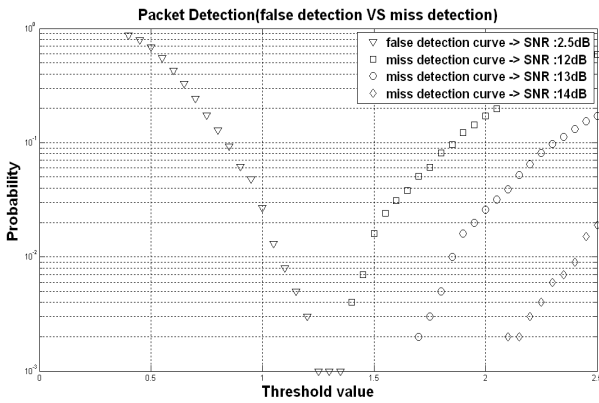


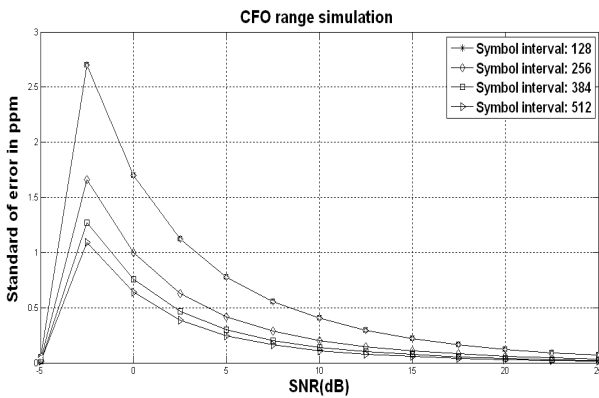
그림 5. 성능 분석 시뮬레이션 모델.
Fig. 5. Simulation model for performance analysis.

$$\begin{aligned}
 z &= \sum_{n=0}^{L-1} r_n r_{n+D}^* \\
 &= \sum_{n=0}^{L-1} s_n e^{j2\pi f_{\Delta} n T_s} (s_{n+D} e^{2\pi f_{\Delta} (n+D) T_s})^* \\
 &= \sum_{n=0}^{L-1} s_n s_{n+D}^* e^{j2\pi f_{\Delta} n T_s} e^{-2\pi f_{\Delta} (n+D) T_s} \\
 &= e^{-j2\pi f_{\Delta} D T_s} \sum_{n=0}^{L-1} |s_n|^2
 \end{aligned} \tag{5}$$

$$\hat{f}_{\Delta} = -\frac{1}{2\pi D T_s} \angle z \tag{6}$$



(a)



(b)

그림 6. (a) 패킷 검출 블록의 임계값 설정을 위한 false 검출 곡선과 miss 검출 곡선, (b) 주파수 오프셋 추정 범위를 고려한 샘플 간격에 따른 주파수 오프셋의 추정오차 곡선

Fig. 6. (a) False detection and miss detection curve for setting threshold value in packet detection block, (b) Carrier frequency offset estimation error curve according to sample interval considering frequency offset estimation range.

III. 제안된 패킷 검출과 주파수 오프셋 추정 블록 설계를 위한 성능 분석

1. 패킷 검출 블록 및 주파수 오프셋 추정 블록 성능 분석

고정소수점 시뮬레이션은 IEEE802.11ad 표준의 전치 부호 중 짧은 훈련 필드와 전송할 데이터를 생성해 그림 5와 같은 성능 분석 시뮬레이션 모델을 사용하여

성능 분석을 수행하였고 채널은 주파수 오프셋의 영향을 고려한 AWGN채널을 사용하였다. 패킷 검출 블록을 설계하기에 앞서 패킷을 검출하기 위해선 기준점인 임계(threshold)값을 설정해야 한다. 이에 대한 성능 분석은 그림 6(a)에 보는 것처럼 1000개의 프레임을 보낼 때 신호 대 잡음비(SNR) 변화에 따른 false 검출곡선과 miss 검출곡선을 통해 false 검출과 miss검출이 일어나지 않는 지점을 임계값으로 설정하였고 패킷 검출 블록을 설계하였다.

그림 6(b)는 심볼 간 간격에 따른 반송파 주파수 오프셋 추정오차에 대한 결과이다. 주파수 오프셋 추정을 하기 위해 우선 반송파 주파수 허용 기준과 함께 고려해야 할 것은 반송파 주파수 오프셋의 추정범위이다. 이는 식 (6)과 같이 반복된 두 훈련신호 사이의 거리 D에 의해서 결정된다. 거리와 샘플수의 변화에 따라 주파수 오프셋이 변화하고 이에 따라 수신신호의 위상에 변화가 생긴다. 그림 6(b)의 성능 분석 결과를 통해 반송파 주파수 오프셋 추정에 사용될 두 신호 사이의 거리를 심볼 간 간격인 128 샘플로 설정하고 반송파 주파수 오프셋 추정 블록을 설계하였다.

2. 패킷 검출 블록 및 반송파 주파수 오프셋 추정 블록 설계를 위한 BER 특성 분석

그림 7은 OFDM 시스템에서 이상적인 심볼 동기화가 이뤄진다는 조건하에 주파수 오프셋 추정/보정 블록에 대한 BER(bit error rate)성능 분석 결과이다. 이러한 고정 소수점 시뮬레이션을 통해 입력 비트 수는 총 6 비트로 설정하였다. 주파수 오프셋 추정/보정 블록에 대한 BER 성능은 그림 7과 같이 AWGN 채널에 IEEE802.11ad 표준의 60 GHz 반송파 주파수와 샘플링 주파수 2.64 GHz를 성능분석 채널에 적용하여 주파수 오프셋의 영향을 각각 7ppm과 5ppm으로 설정하고 OFDM시스템에 적용하여 그림 5와 같은 시뮬레이션

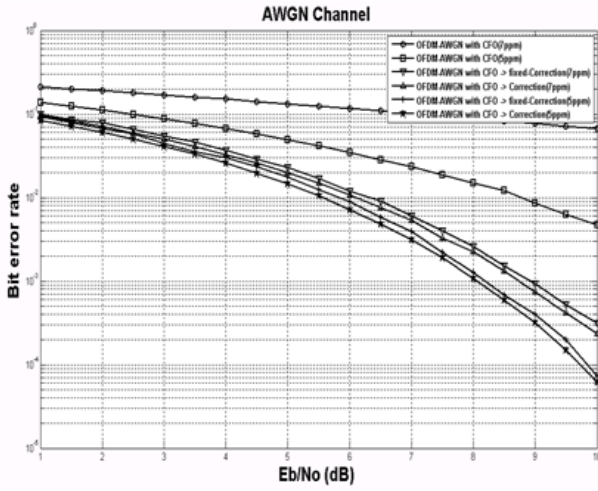


그림 7. OFDM 시스템에서 주파수 옵셋 추정/보정 블록에 대한 BER 특성 곡선
 Fig. 7. BER characteristic curve for carrier frequency offset estimation and correction.

모델을 통해 패킷 검출과 주파수 추정 및 보정 블록에 대한 BER 성능을 분석하였다. 그 결과 10 dB SNR에서 7ppm 인 경우, BER 성능이 10^{-1} 에서 10^{-3} 으로 향상되었고 5ppm인 경우는 BER 성능이 10^{-2} 에서 10^{-4} 로 향상되는 것을 확인 할 수 있었다.

IV. 제안된 패킷 검출과 주파수 옵셋 추정/보정 블록 구조

1. 패킷 검출 블록 구조

그림 8은 수신된 신호의 지연을 위한 메모리 부분과 지연된 값과 현재 수신된 신호의 상관관계를 계산하기

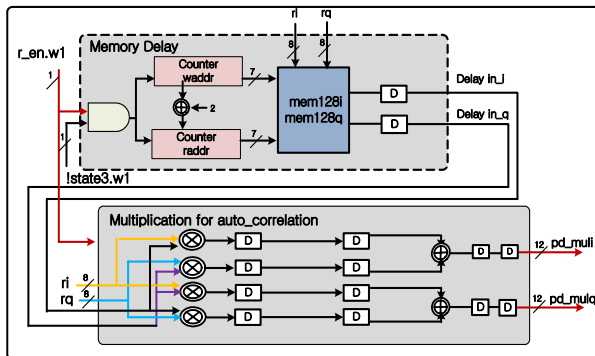


그림 8. 패킷 검출을 위한 메모리 지연블록과 자기 상관블록
 Fig. 8. Memory block and auto correlation block for packet detection.

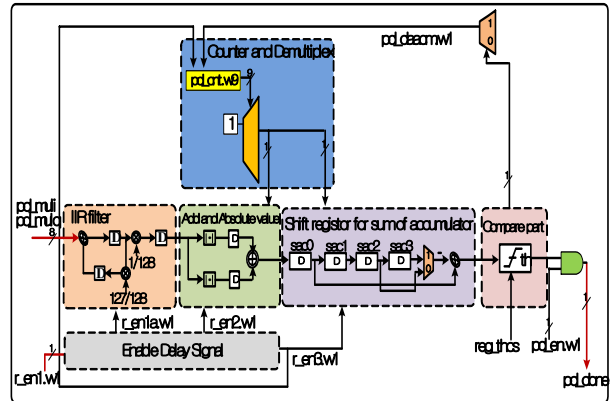


그림 9. 패킷 검출 블록
 Fig. 9. packet detection block.

위한 블록으로서 패킷검출과 주파수 옵셋 추정에서 공유하는 구조이다. 또한 상관 값 계산을 위한 기존의 복소곱셈기의 연산을 고속으로 처리하기 위해 3단 파이프라인 Booth 곱셈기를 사용하였다.

그림 9는 메모리 지연 블록과 자기 상관 블록을 통과한 값을 받아 패킷검출을 수행한다. IIR 필터는 스케일링 값 1/128, 127/128을 이용하고 축적되는 연산을 간략하게 수행 할 수 있게 한다. 특히 IIR 필터는 앞의 자기상관블록에서 나온 값을 유효신호 컨트롤 블록을 통해 스케일링된 값의 IIR 필터 최종 값을 출력하고 동시에 다음 블록 구조를 수행하기 위한 유효신호를 보낸다. 유효신호 컨트롤 블록에서 생성된 유효 신호를 통해 9-비트 카운터가 동작하고 그 인덱스는 상관관계로 계산된 축적된 값을 임계값과 비교하기 위해 이동시키는 동작을 조절하는 역할을 하고 그 인덱스에 해당하는 값을 다중화기를 통해 출력하게 한다. 기존 구조에서는 패킷을 검출하는 비교기준을 수신된 신호의 전력 값과 상관 값의 나눗셈 연산을 통해 신호를 검출하였지만 제안한 그림 9의 구조에서는 상관된 값의 축적된 값이 시프트 레지스터 블록으로 들어가 sac0와 sac3 레지스터에서 나온 값의 차와 레지스터에 미리 저장해 놓은 임계값을 비교해 임계값보다 클 경우 패킷 검출을 확인 할 수 있도록 설계하였다.

2. 주파수 옵셋 추정/보정 블록 구조

주파수 옵셋 추정을 하기 위한 전체 구조의 블록도는 그림 10과 같다. 주파수 옵셋 추정은 제어신호 블록을 통해 추정에 필요한 값이 입력 값으로 들어오고 주파수 옵셋 값을 출력한다. 그림 11에서 볼 수 있듯이 입력된 신호를 이용해 위상 값을 더 세밀하게 추정하기 위해

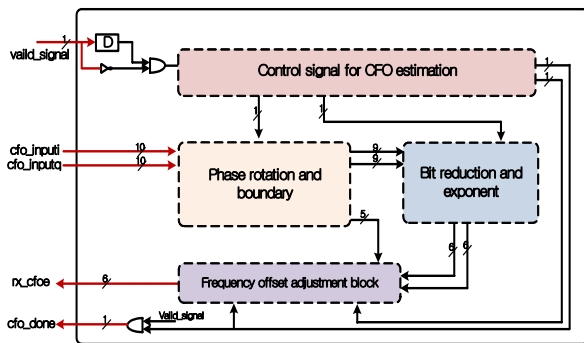


그림 10. 주파수 오프셋 추정 블록
Fig. 10. Frequency offset estimation block.

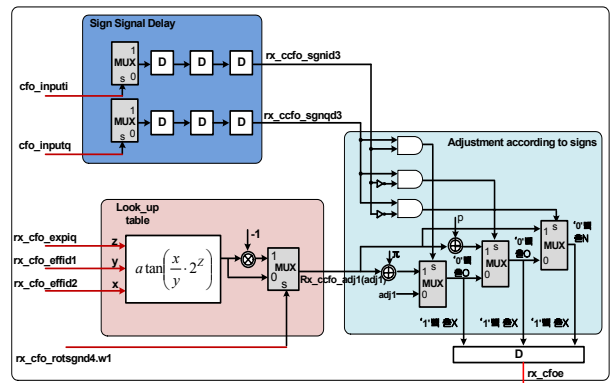


그림 13. 주파수 오프셋 조정 블록
Fig. 13. The frequency offset adjustment block.

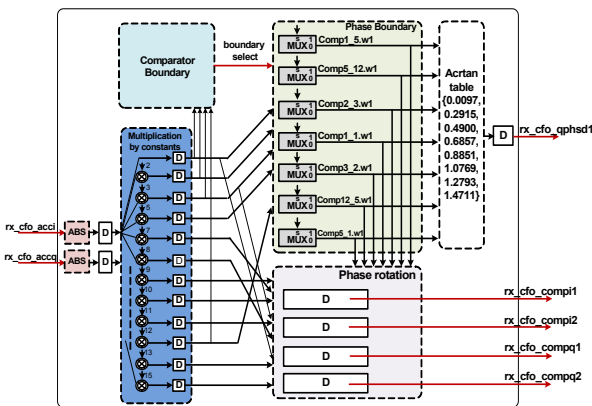


그림 11. 주파수 오프셋 추정 블록 중 페이지 경계와 회전 블록
Fig. 11. Proposed Phase boundary and rotation block of carrier frequency offset estimation block.

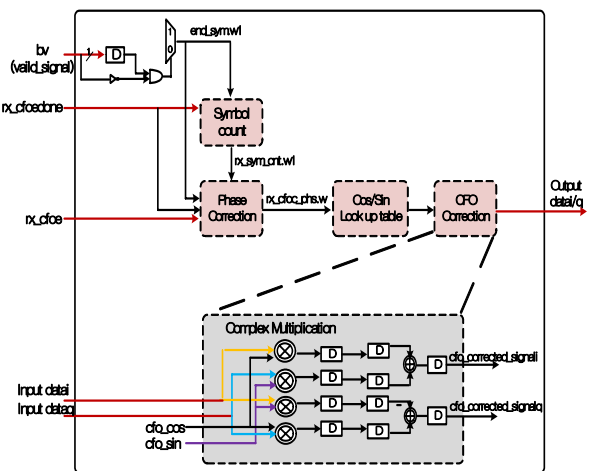


그림 14. 추정된 주파수 오프셋을 이용한 주파수 오프셋 보정 블록
Fig. 14. Frequency offset correction block using estimated frequency offset.

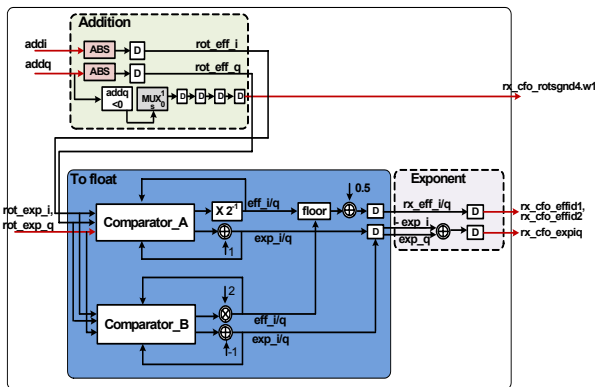


그림 12. 비트 줄임 블록
Fig. 12. Bit reduction block.

위상에 대한 경계를 8개 영역으로 나눈다. 이렇게 나누어진 경계에 해당하는 영역의 입력 값과 위상 값은 그림 10의 look-up table(LUT) 블록에서 사용하게 된다. 주파수 오프셋 추정 블록은 패킷검출 블록과 공유하는 수신된 신호의 상관에 대한 값을 처리하는 블록으로부터

입력 값을 받는다. 주요 블록인 위상 천이 블록은 입력된 값의 조합을 통해 위상을 정하고 그 값을 출력하도록 설계하였다. 그림 12는 주파수 오프셋 값을 계산하기 위한 내부 비트수를 줄여 주기 위한 bit reduction 블록이다. 이 블록은 Comparator_A/B 블록을 통해 조절되고 설정된다. rot_exp_i/q값은 Comparator_A의 입력 값으로 내부의 설정 값과 비교를 통해 값이 크면 2-1을 곱해주고 주파수 오프셋의 추정 계산에 사용하게 될 LUT의 2z의 지수 값에 사용될 값인 exp_i/q값에 1을 더해준다. Comparator_B는 반대로 작으면 rot_exp_i/q 값에 2를 곱해주고 exp_i/q값에 -1을 해 주도록 설계하였으며 데이터 값을 지수로 표현하기 때문에 원래의 데이터 보다 더 많은 데이터로 표현 할 수 있다. 그림 11의 출력 값 rx_cfo_compi/q1과 rx_cfo_compi/q2를 이

표 1. 패킷검출 구조 성능 비교

Table 1. Performance comparison of packet detection.

	CMOS 공정	게이트 수 (gates)	면적 비율
This work	90-nm	24,243	42.6%
Packet detection ^[10]	130-nm	56,900	100%

표 2. 반송파 주파수 오프셋 구조 성능 비교

Table 2. Performance comparison of carrier frequency offset architecture.

	CMOS 공정	게이트 수 (gates)	면적 비율
This work	90-nm	5,038	71.8%
Carrier frequency offset ^[11]	250-nm	5,460	77.8%
Carrier frequency offset ^[12]	250-nm	7,009	100%

용해 rx_cfo_rotsignd4 신호를 발생시켜 LUT의 크기 값을 줄이기 위해 입력 값을 모두 양수로 표현하였다.

그림 13은 추정 블록에 입력된 신호의 부호 값을 가지고 주파수 오프셋을 추정하며 추정 값을 0~90도 이내로 표현하기 위한 것으로 부호의 변화에 따라 위상 값에 변화를 줘서 최종 주파수 오프셋 값을 계산할 수 있고 이를 통해 LUT의 사이즈를 줄일 수 있다. 또한 주파수 오프셋 추정의 비트 줄임 블록의 출력 값 중 천이에 사용된 값의 부호 값을 이용해 주파수 오프셋 추정 값을 계산할 수 있도록 하였다. 그림 14는 추정된 주파수 오프셋의 차이를 이용하여 수신된 신호의 페이즈(Phase)를 보정하는 주파수 오프셋 보정블록이다. 주파수 오프셋 추정 페이즈를 cos과 sin함수로 구현한 LUT의 입력으로 하여 페이즈의 보정 신호를 얻는다. 이 신호는 수신 신호에 복소수 곱하기를 수행하여 주파수가 보정된 신호를 얻는다.

V. 시뮬레이션 및 고찰

제안한 패킷 검출 및 반송파 주파수 오프셋 추정/보정 블록은 먼저 C 언어로 설계하여 성능 분석을 수행하고,

Verilog-HDL로 설계하여 Function 시뮬레이션 비교를 통해 검증하였다.

RTL 코딩에 앞서 그림 5의 고정 소수점 방식의 시뮬레이션은 IEEE.802.11ad 시스템에 맞는 구조 설계를 위해 표준에 있는 전치부호를 이용하고 60 GHz인 반송파 주파수와 2.64 GHz의 샘플링 주파수를 고려한 채널을 설계하였다. 이를 통해 IEEE.802.11ad 표준 OFDM시스템에 적용하여 제안한 구조 설계에 필요한 주요 파라미터를 설정하는 시뮬레이션을 진행하였다. 그 결과 그림 6과 같은 결과를 얻을 수 있었다. 그림 6(a)를 통해 설정된 임계값 1.35를 기준으로 제안한 패킷검출 블록은 보다 정확한 패킷 검출을 수행할 수 있었다. 또한, 반송파 주파수 오프셋 추정/보정 구조는 추정 범위에 영향을 미치는 샘플간격의 설정은 그림 6(b)의 결과를 통해 128로 하였다. 송·수신간의 통신에 있어 주파수 오프셋의 영향에 대한 반송파 주파수 오프셋 구조의 성능은 그림 7의 BER 특성 곡선을 통해 10 dB에서 10^{-2} 향상 되는 것을 확인하였다. 이를 통해 제안한 패킷 검출 및 반송파 주파수 오프셋 추정/보정 구조의 입력 비트 수는 6비트로 설정하였다. 또한 각각의 구조들은 C언어를 이용한 상위레벨 설계를 통하여 검증하였다. 이 결과를 바탕으로 60 GHz 기반의 시스템에 주파수 오프셋의 영향을 채널에 반영하고 IEEE802.11ad 표준의 전치부호를 이용할 수 있는 구조를 설계하였다.

Verilog-HDL로 설계된 패킷 검출 및 반송파 주파수 오프셋 추정/보정 블록에 대해 90-nm CMOS 라이브러리와 Synopsys 사의 Design Compiler를 통해 로직 합성을 수행하고 성능 분석을 하였다. 제안된 구조 중 패킷검출 구조는 기존 방식^[10]에 비해 하드웨어적인 면에 있어서 57.4%로 면적이 감소되었다. 이는 기존 구조^[10]는 상관관계를 계산하는 블록 이외의 신호의 전력을 계산하는 블록과 정합필터를 사용하기 때문에 하드웨어의 복잡도가 커지기 때문이다. 반송파 주파수 오프셋의 경우 기존 구조^[11]와 비교하여 7.8%의 면적이 감소하였다. 클럭 속도 향상을 위해 3단 파이프라인 Booth 곱셈기를 사용하여 330 MHz 클럭 속도를 얻었다. 본 연구는 하드웨어적인 측면을 중점적으로 고려해서 고속 저전력 WPAN칩에 사용할 수 있도록 설계하였다.

VI. 결 론

본 논문에서는 60 GHz OFDM기반 WPAN의 물리 계층부를 위한 패킷검출과 주파수 오프셋 추정/보정 블록 구조를 제안하고 성능 분석을 수행하였다. 제안한 구조는 IEEE802.11ad 표준의 전치부호를 이용하고 그에 따른 성능 분석을 통해 정확한 패킷 신호를 검출할 수 있었고, 제안한 주파수 오프셋 추정 및 보정을 통해 시간 영역에서의 송수신간의 반송파 주파수 오프셋의 영향을 줄일 수 있었다. 클럭 속도 향상을 위해 3단 파이프라인 Booth 곱셈기를 사용하였고 330 MHz 클럭 속도를 얻었다. 또한 하드웨어 사이즈를 줄이기 위해 bit reduction block과 입력 부호 값을 이용하여 look up table의 크기를 줄이는 방법을 사용하였다. 성능 분석 결과 제안된 주파수 오프셋 구조가 기존구조^[11]보다 8.2% 면적의 감소를 보였다. 따라서 제안된 구조는 클럭 속도의 향상과 하드웨어 면적의 감소를 통해 60 GHz WPAN시스템의 OFDM 물리 계층 부구조에 적용 될 수 있고, 고속 저전력 WPAN칩에 사용할 수 있다.

참 고 문 헌

- [1] IEEE P80211ad/D0.1, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications - Amendment 6: Enhancements for Very High Throughput in the 60GHz Band, June. 2010.
- [2] 하준형, 정요성, 조용훈, 장영범, "Pipeline CORDIC 을 이용한 저전력 주파수 오프셋 동기화기 설계 및 구현," 전자공학회 논문지, 제 47권 TC편 제 10호, pp. 49-56, Oct. 2010.
- [3] L. Najjar and M. Siala, "A new scheme for preamble detection and frequency acquisition in OFDM systems," IEEE Int. Conf. on Electronics, Circuits, and Systems, pp. 1008-1011, Dec. 2009.
- [4] T. M. Schmidl, D. Cox, "Robust frequency and timing synchronization in OFDM," IEEE Trans. on Comm., vol. 45, pp. 1613-1621, Dec. 1997.
- [5] Z. Liang, M. Saito, "A new symbol timing synchronization for OFDM based WLANs," IEEE Int Symposium on Personal, Indoor and Mobile Radio Communications., vol. 2, pp. 1210 - 1214, Sept. 2004.
- [6] H. Minn, V. K. Bhargava, and K. B. Letaief, "A robust timing and frequency synchronization for

- OFDM systems," IEEE Trans. Wireless Commun., vol. 2, no. 4, pp. 822 - 839, July 2003.
- [7] Y. Yao, G. B. Giannakis, "Blind carrier Frequency offset estimation in SISO, MIMO, and multiuser OFDM systems," IEEE Trans. on communications., vol. 53, no. 1, pp. 173-183, Jan. 2005.
- [8] K. Shi and E. Serpedin, "Coarse frame and carrier synchronization of OFDM systems: A new metric and comparison," IEEE Trans. Wireless Comm., vol. 3, no. 4, pp. 1271 - 1284, July 2004.
- [9] K. Wang, J. Singh, and M. Faulkner, "FPGA Implementation of an OFDM-WLAN Synchronizer," 2nd IEEE International Workshop on Electronic Design, Test, and Applications (DELTA'04), pp. 89-94, Jan. 2004.
- [10] W. Fan, C.-S. Choy, K. N. Leung, "Robust and low complexity packet detector design for MB-OFDM UWB", IEEE. Int. Symposium on Circuits and Systems, pp. 693-696, May 2009
- [11] J.-W. Han, Y.-B. Jang, "A Residual Frequency Offset Synchronization Scheme Using a Simplified CORDIC Algorithm in OFDM Systems", IEEE Int. Conf., Communications Theory Workshop, pp. 67-70, Mar. 2009.
- [12] K.-I. Lee, J.-H. Lee, J.-K. Lee and Y.-S. Cho, "A Compact CORDIC Algorithm for Synchronization of Carrier Frequency Offset in OFDM Modems," IEICE Transactions on Communications, vol. E89-B, no. 3, pp. 952-954, March 2006.

— 저 자 소 개 —



백 승 호(학생회원)
 2009년 인하대학교 정보통신공학
 학사 졸업
 2011년 인하대학교 정보통신공학
 석사 졸업
 <주관심분야 : 통신용 VLSI 및
 SoC설계>



이 한 호(정회원)
 1993년 충북대학교 전자공학과
 학사 졸업
 1996년 Univ. of Minnesota
 전기컴퓨터공학
 석사 졸업
 2000년 Univ. of Minnesota 전기
 컴퓨터공학 박사 졸업
 2000년~2002년 Member of Technical Staff,
 Lucent Technologies(Bell Labs.), USA.
 2002년~2004년 Assistant Prof. Dept. of
 Electrical and Computer Engineering,
 Univ. of Connecticut, USA.
 2004년~현재 인하대학교 정보통신공학부 교수
 <주관심분야 : 통신용 VLSI 및 SoC설계>