

技術論文

J. of The Korean Society for Aeronautical and Space Sciences 41(12), 1018-1024(2013)

DOI:<http://dx.doi.org/10.5139/JKSAS.2013.41.12.1018>

차세대 위성탑재 컴퓨터의 표준 구조 설계에 관한 개념 연구

이윤기*, 김지훈**

A Conceptual Study on Standard Architecture Design
for the Next Generation Satellite OBC

Yunki Lee* and Jihoon Kim**

Satellite Electronics Department, Korea Aerospace Research Institute*

Division of Electrical and Information Technology Engineering, Chungnam National University**

ABSTRACT

On-Board computers (OBC) for LEO & GEO satellites have been developed with their own dedicated architecture so far even though they have many similar functionalities. In this paper, we present a conceptual study results of standard OBC architecture design and propose the domestic development plan for the next generation satellite OBC. Proposed architecture is highly flexible and can be used at LEO/MEO/GEO and Moon Explorer/Deep Space Probe. Also, we introduce current status of standard OBC which is under development.

초 록

저궤도와 정지궤도 위성을 위한 위성 탑재 컴퓨터 (OBC)는 서로 유사한 기능을 가짐에도 불구하고, 지금까지 별도의 구조로 개발되어왔다. 본 논문에서는 OBC의 표준 구조에 대한 개념 연구 결과를 제시하며, 차세대 위성용 OBC를 개발하기 위한 방안을 제안한다. 제안된 구조는 가변성이 매우 높은 구조이며, 저/중/정지궤도 그리고 달 탐사선/심 우주 탐사선에 모두 사용되도록 하는 것을 목표로 하고 있다. 또한 현재 개발 진행 중인 표준형 OBC의 개발 현황을 소개한다.

Key Words : OBC(탑재 컴퓨터), LEO(저궤도 위성), GEO(정지궤도 위성)

1. 서 론

현재 한국항공우주연구원에서는 저궤도 위성인 다목적 실용위성과 정지궤도 복합위성을 개발 중에 있다. 이 중에서 위성탑재컴퓨터(OBC) 분야는 저궤도와 정지궤도용 탑재컴퓨터가 서로 유사한 기능을 많이 가짐에도 불구하고, 별도로 나누어서 개발해왔다. 그 이유는 궤도에 따른 우주

방사능 환경이나 잉여(Redundancy)구조가 다르기도 했지만, 실제로는 기술을 주도해온 선진국의 롤 모델이 달랐기 때문이다. 하지만 최근 선진국의 OBC개발 추세는 저/중/정지궤도에 공통으로 사용할 수 있는 범용 컴퓨터를 개발하는 것에 있다. 최근 국내에서도 다양한 궤도와 다양한 미션 (저궤도/정지궤도 위성, 심 우주 탐사선)을 지원하는 범용 OBC를 개발함으로써, 별도의 형

† Received: April 5, 2013 Accepted: November 22, 2013

** Corresponding author, E-mail : jihoonkim@cnu.ac.kr

<http://journal.ksas.or.kr/>

pISSN 1225-1348 / eISSN 2287-6871

태로 개발하는 것에 비해서 개발 기간과 검증을 위한 노력을 최소화 하여 궁극적으로는 개발 비용을 최소화하기 위한 시도가 이루어지고 있다. 따라서 본 논문에서는 선진국에서 개발되고 있는 위성 탑재컴퓨터들의 개발 경향을 살펴보고, 현재 국내에서 개발 중인 저/중/정지궤도 그리고 탐사선에 모두 사용되는 것을 목표로 하는 차세대 위성용 OBC의 주요 연구 결과와 방안을 제안한다.

II. 본 론

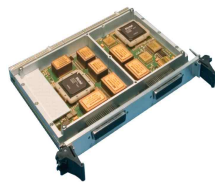
2.1 선진국의 대표적인 범용 컴퓨터들

미국의 경우, 주로 프로세서모듈을 보드 레벨로 개발/판매하며, 전체 컴퓨터 유닛 레벨의 개발은 각 미션에 맞는 형태로 개발하는 추세이다. 다음 Fig. 1은 대표적으로 RAD750 CPU를 사용하여 만든 BAE사의 RAD750 SBC (Single Board Computer) 와 Maxwell사에서 상용 PowerPC 750FX을 TMR (Triple Module Redundancy)로 구성한 SCS750보드와 그 사양이다. 하지만 미국의 PowerPC계열은 미국 ITAR의 EL (Export License)이 엄격하여 칩 단품 레벨로는 판매하지 않고, 개발된 CPU보드 레벨로만 구입 후 유닛을 개발할 수 있어서 PowerPC의 높은 성능에도 불구하고, 현실적으로 국내에서 차세대 CPU로 사용하기에는 제약이 많다.

탈 미국화를 추진 중인 유럽은 대표적으로 EADS Astrium이 Aeroflex Gaisler에서 개발한 RTL (Register Transfer Level) Leon3 코어를 기반으로 SCOC3 ASIC을 개발하였고, 이를 바탕으로 CPU모듈과 DC/DC 컨버터모듈만 장착된 범용 컴퓨터 OSCAR (Optimized Space Computer Architecture with Reconfigurable LEON3)를 개발하였으며, 궤도에 따라 4가지 형태의 전자파트 등급만 교체 장착하는 개념으로



- BAE RAD750 SBC -
(성능 : 260 MIPS @132MHz
IF : SpaceWire, 1553B, UART, PacketWire, OBDH, CAN, PCI)



- Maxwell SCS750 -
(성능 : 1800 DMIPS @800MHz
IF : 1553B, UART, PCI)

Fig. 1. SBCs of USA

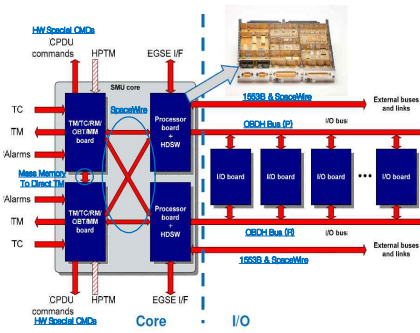


Fig. 2. Internal Architecture of SMU

개발하였다. 또 RUAG에서는 Leon2 코어를 탑재한 COLE ASIC을 사용하여 CPU, TCTM (Up/Downlink), RU, IO, Converter를 가지면서 Fig. 2와 같은 구조를 갖는 범용 컴퓨터 SMU (Spacecraft Management Unit) 2010을 개발하여, 저/중/정지궤도와 심 우주 탐사에 모두 사용할 수 있도록 하였다.

2.2 국내 개발한 저/정지궤도 컴퓨터 구조

EADS Astrium의 TerraSAR OBC를 롤 모델로 하고, 미국 TRW Heritage회로를 바탕으로 국내에서 저궤도용으로 독자 개발한 IBMU (Integrated Bus Management Unit)는 내부 잉여 구조를 가지도록 설계되었으며, 다음 Fig. 3과 같은 SpaceWire를 이용한 Point-to-Point구조로 개발되었다. 하지만 IBMU의 경우, EADS Astrium이 개발한 MCMERC32SC가 2014년 이후에는 단종될 위기에 있으며, TCTM 및 IO와 통신을 위해 사용된 SMCS332/116 SpaceWire 칩셋은 채널의 확장에 있어서 제약이 많아서 범용성이 떨어지는 단점이 있다.

EADS Astrium과 공동 개발한 SCU (Space Computer Unit)는 외부 잉여 구조를 가지도록 설계되었으며, 다음 Fig. 4와 같이 내부 특화된

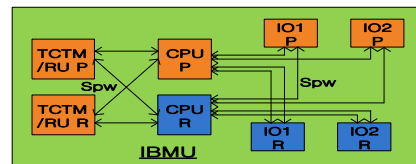


Fig. 3. Internal Connection of LEO OBC

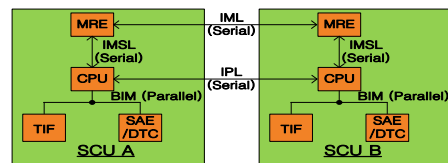


Fig. 4. Internal Connection of GEO OBC

병렬 버스와 Point-to-Point 동기 시리얼라인을 이용하여 개발되었다. 하지만, SCU의 경우, 오래된 MAS31750 CPU를 사용함으로써 최근 시스템 요구에 비해 성능이 부족하며, 특화된 직렬/병렬 버스를 사용함으로써 인터페이스 표준화가 취약하다. 또한 병렬버스로 IO모듈을 연결하기 때문에 향후 내부 잉여 구조로 변경이 어려운 구조이다.

2.3 국내 표준형 OBC개발 방안

정지궤도의 Hot Stand-By 잉여구조 OBC와 저궤도의 Cold Stand-By 잉여구조 OBC는 Power 구조를 제외하고는 다음과 같은 공통 기능을 가지고 있기에 표준형 형태로 만들 수 있으며, 이 기능들은 달/심 우주탐사선에서 OBC가 해야 할 임무와도 같다.

- ① 임베디드 CPU에서 FSW를 구동 시키는 것.
- ② 지상의 상향 명령을 받고, 상태를 모아서 지상으로 하향 전송하는 것.
- ③ 타 유닛과 표준 인터페이스 (1553, UART 등...)을 통해서 통신하는 것.
- ④ 자세제어 유닛들을 직접 제어하고, 상태 수집하는 것.
- ⑤ 각종 위성안의 온도나 야날로그 전압, 디지털 로직 신호를 수집하거나 TTL/차동 구동하는 것.
- ⑥ 절대 시간 (GPS 1PPS) 혹은 Master CPU의 시간에 동기하는 것.
- ⑦ 위성 안 혹은 OBC안 오류 상황에 지상 접속 없이 안전 조치 취하는 것.

따라서 이러한 공통 기능들을 지금껏 각각 설계한 저궤도 OBC와 정지궤도 OBC는 표준형 형태로 구현하고, 전자 파트 등급(저궤도/정지궤도 파트 등급 변화)의 변환만으로 구현할 수 있다.

Table 1. Requirement Comparison

| | 저궤도, 정지궤도 OBC별도 개발 | | 저궤도, 정지궤도 OBC공통 개발 |
|--------------|--|---|--|
| | 저궤도 OBC | 정지궤도 OBC | 표준형 OBC |
| CPU처리 속도 | 16MIPS at 20MHz | 16MIPS at 20MHz | 65MIPS at 80MHz |
| HW의 복잡도 | 내부 신호에 많은 Direct Line사용 =>> 복잡도 높 | 특화된 통신과 Local Bus 사용, RU로직을 회로 사용 =>> 복잡도 중 | 표준화된 CAN, PCI등의 사용 =>> 복잡도 하 |
| 전력 요구 | P와 R합하여 65W미만 | P와 R합하여 90W미만 | P와 R합하여 65W미만 |
| Radiation 요구 | SE : LETh > 60Mev-cm ² /mg, TID : 15Krad이상 at 두께 150mil | SE : LETh > 60Mev-cm ² /mg, TID : 100Krad이상 at 두께 150mil | SE : LETh > 60Mev-cm ² /mg, TID : 100Krad이상 at 두께 150mil 같은 파트를 사용하지만, 저궤도, 정지궤도의 파트 등급 차이로 TID는 저궤도, 정지궤도 요구 만족 |
| Mass 요구 | P와 R합하여 15kg미만 | P와 R합하여 30kg미만 | P와 R합하여 20kg미만 |
| Mission기간 요구 | 5년~7년 | 11년~15년 | 같은 파트를 사용하지만, 저궤도, 정지궤도의 파트 등급 차이로 미션 기간은 저궤도, 정지궤도 요구 만족 |
| 신뢰도 요구 | 0.9730이상 | 0.8110이상 | 같은 파트를 사용하지만, 저궤도, 정지궤도의 파트 등급 차이로 신뢰도는 저궤도, 정지궤도 요구 만족 |
| 가변성 | 특화된 개발로 새로운 요구에 대응하는 설계 어려움 | | 범용 개발로 새로운 요구에도 설계 변경 용이 및 보드 확장 용이 |
| 개발 비용 | 특화된 개발로 각 설계/판정 시험 비용 필요 | | 범용 설계로 한번의 설계/판정 시험 비용 |

기존의 저궤도, 정지궤도 OBC를 별도로 개발하는 방법과 표준형 OBC로 통합하여 개발하는 방법에 대해서는 다음 Table 1과 같이 요구 사항 위주로 장단점 분석이 가능하다.

이렇게 표준형 OBC의 공통 기능을 빠르게 융합, 분리할 수 있는 근본적인 방향(철학)과 구조의 제시가 요구되었으며, 다음은 그 결과 도출 사항들이다.

2.3.1 AMBA SOC버스 기반 FPGA 설계

위성 컴퓨터를 개발하기 위해서는 Space급으로 판매하는 단품 칩에서 제공되지 않는 많은 기능들이 특화되어서 설계되어야 하며, 이 기능들은 대부분 우주 방사능에 강인한 FPGA에 구현되어 왔다. 하지만 이러한 기능들이 새로운 프로젝트가 시작되면, 같은 기능임에도 불구하고, 유닛 내부 통신 인터페이스 변경에 따라서 조금씩 계속 변형이 되어야 하는 한계가 지속적으로 존재해왔다. 따라서 표준형 OBC는 모든 FPGA내부에 구현되어야 할 기능을 AMBA SOC버스에 불임으로서 내부 통신 인터페이스와 상관없이 구성할 수 있도록 하였다. 이러한 SOC버스 개념은 이미 상용 CPU (Mobile CPU등)에서는 일찍이 사용되어 프로젝트의 개발 기간을 단축하였으며, 유럽의 Aeroflex Gailser에서는 VHDL코드로 AMBA에 연결하는 수많은 FPGA기능들을 구현하여서 우주 분야에서도 그 실효성을 거두고 있다. 다음 Table 2는 현재 국내 저궤도/정지궤도 OBC에서 사용한 기능들을 표준형 OBC에서 AMBA Bus에 연결하기 위해서 국내 개발 중인 기능 리스트이다.

2.3.2 CPU및 CPU주변 단품 칩단종에 둔감한 내부 PCI 기반의 CPU보드

CPU는 항상 원하는 기능을 모두 갖춘 제품을 구매할 수 없기 때문에 주변 기능을 갖춘 우주급 단품 칩 (1553B, SpaceWire 칩 등등)구매와 직접 구현한 주변 FPGA (Flash Control, IPL등등)을 느린 IO영역에 연결하여 기능을 구현하게 된다.

Table 2. Domestic Developing AMBA IPs

| Number | IP (Source) | Company | AMBA Connection |
|--------|--------------------------------------|---------|------------------------|
| 1 | DMA-UART | 업체 1 | AHB Master & APB Slave |
| 2 | TDBI (Time Division BiLevel Input) | 업체 2 | APB Slave |
| 3 | VBPO (Variable BiLevel/Pulse Output) | 업체 2 | APB Slave |
| 4 | DTC (Direct Telecommand) | 업체 2 | APB Slave |
| 5 | DTM (Direct Telemetry) | 업체 2 | APB Slave |
| 6 | SADE (Solar Array Drive Electronics) | 업체 2 | APB Slave |
| 7 | TDE (Torque Load Drive Electronics) | 업체 2 | APB Slave |
| 8 | RWE (RWA Electronics) | 업체 2 | APB Slave |
| 9 | RWA Tacho | 업체 2 | APB Slave |
| 10 | AD Conversion | 업체 2 | AHB Slave & APB Slave |
| 11 | High Level CAN Serial Bus | 업체 2 | AHB Master & APB Slave |
| 12 | Core8051-FT | 업체 3 | AHB Master |
| 13 | Uplink (PSS-04/CCSDS Selectable) | 업체 4 | AHB Master & APB Slave |
| 14 | Decryption | 업체 4 | AHB Slave & APB Slave |
| 15 | Mass Memory Manager | 업체 4 | AHB Master & APB Slave |
| 16 | Downlink | 업체 4 | AHB Slave & APB Slave |
| 17 | CAN IP for Spc. CMD | 업체 4 | APB Slave |
| 18 | RU WDT | 업체 4 | APB Slave |

하지만, 해당 CPU가 단종되는 경우에는 기존 FPGA에 구현한 기능들이 CPU 인터페이스가 변경됨으로서 Heritage가 보장이 되지 못하며, 주변 기능 칩이 단종이 되는 경우에는 대체 부품을 사용하거나 직접 기능을 FPGA에 구현하여야 한다. 따라서 표준형 OBC는 CPU 코어를 제외한 주변 기능은 모두 FPGA내 AMBA에 연결되도록 구현하고, PCI/AHB Bridge를 이용하여 CPU와 표준/고속 PCI로 연결하였다. 이를 통해서 PCI 인터페이스를 가지는 CPU이면, 바로 교체해서 사용하여도 CPU주변 기능은 그대로 사용할 수 있도록 하였다. 다음 Fig. 5는 현재 표준형 OBC에서 개발 중인 CPU주변 통신 FPGA 개념으로서 대부분 Aeroflex Gaisler에서 개발한 IP와 국내 개발하는 일부 IP를 사용하였다.

PCI를 사용할때의 우려사항은 PCI Grant를 항상 받아야 Shared Bus를 동작시킴으로서 생기는 Overhead인데, 이는 CPU를 제외한 칩들의 PCI의 동작을 Target모드로만 동작시키고, CPU만 Master가 된다면, PCI Grant를 받는 시간은 항상 일정할 수 있다. 다음 Table 3은 PCI Grant시간이 일정할 때, 일반 IO Access와 PCI Access에 있어서 Burst Data전송시간을 이론적으로 비교한 것이다. 전반적으로 AMBA Grant을 얻는데 걸리는 시간 불확실성이 다소 존재할 수 있으나, PCI는 Burst Data Access (SpaceWire, CAN, 1553등의 대량 Data)에서 확실한 장점이 있을 수 있다.

한편 PCI to AHB Bridge를 이용한 이와 같은 보드내의 칩간 연결 방식은 다수의 FPGA Chip

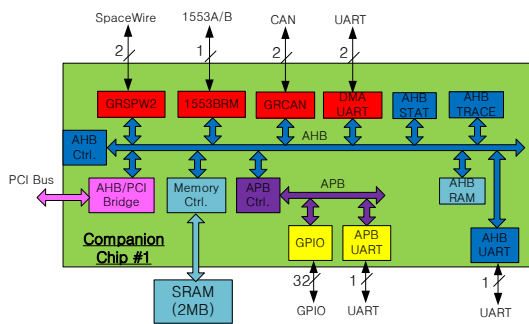


Fig. 5. Comm. FPGA Concept for CPU Board

Table 3. IO Access vs. PCI Access

| | | |
|-------------|--|--|
| | PCI 33MHz로 72Words AHB RAM Access (PCI Grant는 즉각 가정, AMBA Grant는 AMBA Clock 20MHz로 다른 Burst 16Cycle용 가정.) | AT697F 80MHz, IO Wait 10으로 72Words Access |
| CPU의 Access | CPU to PCI Bridge : $72 * 30ns = 2.16\mu s$ | $72 * 12.5ns * 10 = 9\mu s$ |
| | PCI to AMBA Grant 획득 : $16 * 50ns = 0.8\mu s$ | |
| | PCI Bridge to AHB Slave : $72 * 50ns = 3.6\mu s$ | |
| | ==> 총 : $2.16\mu s + 0.8\mu s + 3.6\mu s = 6.56\mu s$ | |

간 연결에도 사용하도록 응용 폭을 넓히는 방안도 검토 중에 있다.

2.3.3 소프트웨어기반의 가변 가능한 RU

위성 컴퓨터는 상용과 달리 위성내의 오류 상황에 대해서 자동으로 조치를 취하는 RU (Reconfiguration Unit)를 탑재하는데, OBC내에서 각 프로젝트에 따른 별도의 요구에 따라서 가장 많이 변경되는 요소 중의 하나이다. 하지만 이러한 시스템 요구사항은 항상 OBC 하드웨어 개발 시작보다 늦게 도출되는 문제가 있으며, 시스템 조립, 테스트 과정 중에서도 언제든지 오류에 대한 시스템 설계 변경이 일어날 수 있다. 따라서 표준형 OBC에서는 이러한 시스템요구를 하드웨어 FPGA로 고정하지 않고, 낮은 성능이지만, 실패율이 매우 낮은 강인한 CPU를 장착하여 소프트웨어로 RU의 기능을 구현하도록 하였다. 이를 통해서 OBC 하드웨어의 설계와 RU에 들어갈 시스템 오류 기능 설계는 완전히 독립적/병렬적이 되도록 하였다. 다음 Fig. 6는 Actel Core8051s IP를 이용하여 표준형 OBC의 RU 프로세서로 사용하기 위해서 Actel FPGA에 구현 중인 RU 개념이다.

한편 Core8051s FT는 기존 Microsemi Actel의 Core8051s에 비해서 첫째, 내부 레지스터에 EDAC기능을 추가함은 물론 이중 ROM Bank 및 RAM에 대한 EDAC RAM을 추가한다. RU는 먼저 지상에서 충분한 유닛 레벨, 시스템 레벨 시험을 수행할 것이며, CPU코어 내부 레지스터에 비트 에러오류 삽입기능을 추가하여 저궤도 시험위성에 Payload로서 먼저 탑재한 후, 시험위성이 발사된 후에도 지상 CMD에 의한 비트 에러 삽입을 CPU코어에 수행하여, 우주 방사능에 의한 Single/Double Bit Event에서도 안전할 수 있음을 증명할 것이다. 둘째, Aeroflex Gaisler에서 개발한 AMBA에 AHB Master로서 접속되도록 구현하여, 8Bit CPU에 의한 AMBA에 연결되는

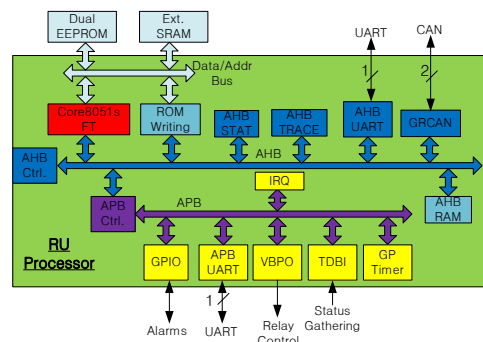


Fig. 6. RU FPGA Concept of RU Board

Table 4. RU Design Comparison

| | 저궤도 OBC | 정지궤도 OBC | 표준형 OBC |
|----------|--|--|--|
| RU의 회로구성 | FPGA + 8개 Memory Relay | FPGA + 복잡한 Oring Diode 회로 + 22개 Memory Relay | FPGA (CPU포함) + 2*EEPROM, SRAM + 20개 Memory Relay |
| 포장 구성 | Fix된 포장으로 Event 5개 감시 후, 상황에 맞는 Fix된 재구성 | Fix된 회로로 Event 15개 감시 후, 상황에 맞는 Fix된 재구성 | 가변적 SW로 Fix된 Event 15개 감시 및 추가 Event 추가 가능, 상황에 맞는 가변적 재구성 |
| 복잡도 | HW 간단 | HW 회로로 복잡 | HW는 CPU보드로 간단, SW설계와 검증 복잡 |
| 가변성 | 하 (간단하지만, HW 거의 수정 불가) | 하 (HW 회로 변경의한 운영적 Side Effect고려 필요) | 상 (HW고정 후, SW변경 가능) <이전 저궤도, 정지궤도 운영이 아닌 요구도 수용 가능.> |
| HW적 신뢰도 | 상 (FPGA와 Relay Failure Rate) | 하 (회로의 SPF요소 높음) | 상 (FPGA와 EEPROM, SRAM, Relay Failure Rate) <SW신뢰도 추가 필요> |

모든 IP로의 32Bit 워드단위 데이터전송 시작이 가능토록 한다. 한편 RU를 CPU로 구현할 경우, 다음 Table 4와 같이 기존 저궤도, 정지궤도 RU에 비하면, 가변성은 확실히 개선되지만, 신뢰도와 SW설계로 인한 복잡성은 높아질 수 있다.

2.3.4 Serial Bus을 이용한 OBC 모듈 연결구조

CPU와 IO모듈의 경우 단위 시간당 통신량이 작기 때문에 확장성을 고려하면 SpaceWire는 표준형 OBC에서는 큰 필요성이 없다. 따라서 IO는 저속의 Serial Bus로 연결함으로써 시스템 테스트 과정에서의 모니터링도 용이하면서 SpaceWire와 같은 고도의 신호 품질 통제부담도 줄일 수 있다. 이러한 Serial Bus의 후보로는 실용 위성과 군에서 주로 사용한 1553B Bus (1Mbps)와 소형 위성과 상용 자동차 등에서 많이 사용한 CAN Bus (Max. 1Mbps)등이 있다. 이 중 1553B Bus는 CAN Bus에 비해서 신뢰성이 매우 높은 반면 파워 소모가 크며, Bus Coupler등의 연결로 인해서 부피가 크다. 또 항상 Bus Master만이 통신의 주체가 될 수 있는 중앙 집중형 시스템에만 적합하다. 이에 반해 CAN Bus는 아직 실용 위성에는 적용 초창기 단계이지만, 그 안정성은 여러 상황이 좋지 않은 환경(고온, 진동, 노이즈 등등...)의 상용 분야에서 검증이 된 상태이며, Multi-Master가능 구조여서 미래의 지능형 분산 시스템에 적합하다고 볼 수 있다. 한편 CAN과 같은 비동기 통신은 위성 OBC같은 임베디드 시스템에서 적합하지 않을 수 있으나, CANOpen마스터가 되는 FSU가 항상 정확한 시간에 Task로 깨어난 후에 대부분의 통신을 시도할 것이며, 대부분 CPU보드가 아닌 타 보드는 FSU의 요청에 의해서만 반응하는 구조를 택하도록 할 예정이다. 표준형 OBC에서 CAN Serial Bus는 CPU와 IO와의 연결뿐만 아니라, 추가적으로 2가지 형태의 Serial Bus에도 사용된다. 첫째는 CPU와 중요 보드간의 Data통신을 위한 Inter-Link Serial Bus로서 다음과 같은 역할들을 수행한다. 먼저 각 모듈의 APB에 연결된 Pulse Serial IP를 제어

Table 5. Serial Bus of Standard OBC

| | IO Serial Bus | Inter-Link Serial Bus | Pulse Serial Bus |
|--------------|------------------------|------------------------------|-------------------------------|
| 용도 | CPU와 IO 연결 | CPU와 TCTM등 Critical 모듈 연결 | TCTM, RU와 PDM, 외부 Pulse 모듈 연결 |
| 특징 | SDO를 통한 Point-To-Point | SDO + PDO를 통한 모듈 간의 Status공유 | PDO를 통한 Multiple HW CMD구동 |
| NMT Master | CPU P or R | CPU P/R or RU P/R | RU P or R |
| 저궤도 위성에서 대체 | CPU와 IO간 SpaceWire | Dedicated Hard Lines | Dedicated Hard Lines |
| 정지궤도 위성에서 대체 | CPU와 IO간 Parallel Bus | IMSL, IML, IPL | Dedicated Hard Lines |

하며, CPU간의 통신, RU간의 통신, CPU와 RU간의 통신에 사용된다. 또 FSU (Flight Software)의 문제 상황에서 잉여 CPU를 부팅시키는 동안 RU에 의한 지상 TLM 하향 전송을 가능토록한다. 두 번째는 유닛 혹은 위성 전체 형상을 바꾸는 Pulse Serial Bus로서 오류상황에서 FSU에 의존하지 않고, RU에 의한 유닛/위성 형상 변경 출력 전기 신호를 대체하는 CAN 메시지를 생성한다. 기존 위성에서는 각각의 TTL신호로 출력하였기 때문에 형상 변경 출력 신호의 증가에 의한 모듈간의 연결 하니스가 급격히 증가하는 문제가 있어서 이를 CAN Bus의 프로토콜로 대체하는 것이다. 또 지상에 의해서 FSU의존 없이 유닛/위성 형상을 변경하는 HW CMD전송 시 CAN 메시지를 생성한다. 따라서 표준형 OBC에서는 CAN Bus를 이용하며, 3개의 Serial Bus에 CANOpen상위 프로토콜을 적용하였으며, 특징들은 다음 Table 5와 같이 요약된다.

2.4 개발 중인 국내 표준형 OBC

지금껏 논의한 방안들을 바탕으로 어떠한 미션 (저궤도/정지궤도 위성, 심 우주 탐사선)에서도 빠른 개발/검증 기간을 가지면서 가변 가능한 표준형 OBC를 위한 구조는 Fig. 7과 같은 내부 잉여 구조형태로 개발되고 있다.

표준형 OBC 시스템의 하드웨어적인 중요 파

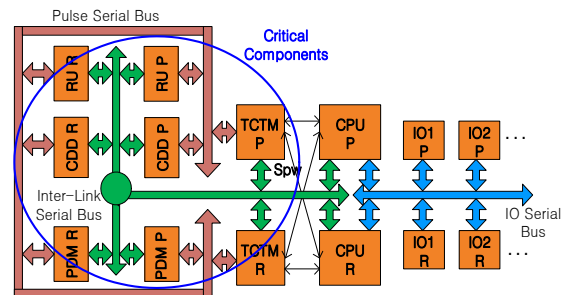


Fig. 7. Standard OBC Architecture on Developing

위/리셋 개념은 다음과 같다.

- 유닛 내부 계층 구조적으로는 TCTM이 가장 상위에서 지상 명령에 의해서 모든 보드의 리셋과 파워전환을 담당하며, RU가 2번째 상위로서 지상 접속 없이도 위성 오류에 대한 안전 조치를 수행하며, 평소 운영은 CPU에서 구동되는 FSW가 수행한다.

- 모든 모듈은 GEO를 위해서 Hot Stand-by로 운영될 수 있지만, CPU/IO Power Converter Module은 Cold 잉여 구조로 운영되도록 함으로서 GEO에서도 DC/DC 컨버터 실패에 의한 신뢰성 감소를 줄이며, 모든 모듈의 과전류와 DC/DC 컨버터출력의 저전압은 발견 즉시, RU에 보고한다. 이때 파워 오류 발견과 파워전환에 사용되는 고장 처리 전원은 관찰되는 전원과 분리된 전원을 사용한다. 다음 Fig. 8과 Fig. 9는 표준형 OBC의 파워와 리셋 개념을 보여준다.

표준형 OBC의 특징과 각 모듈이 하는 역할은 다음 Table 6과 같다.

Table 6. Standard OBC Features and Roles

| | |
|----------------|--|
| Power | 50V Input, Hot/Cold Redundancy모두 지원 |
| CPU | AT697F (86DMIPS at 100MHz) |
| CPU자원 | 2*1553B, 4*GRCAN, 3*GRSPW2, 4*DMAUART, External RTC, HW Floating-Point Matrix Multiplier |
| CPU 메모리 | Dual 2MB EEPROM, 4MB SRAM, 64KB PROM |
| TCTM | CCSDS/PSS-04 Selectable, Uplink Encryption, Low & High-Rate Downlink, 2GBit Mass Memory, RU WDT Monitoring |
| RU | Core8051s FT, Both LEO/GEO RU HW Resource |
| CDD | Critical DTC/DTM, Critical Status Gathering, Critical Pulse/Bilevel Output without FSW |
| PDM | Critical, CPU, IO Power Conversion |
| Digital IO | DTC, DTM, Status Gathering, Bilevel/Pulse Output, SADE, RWA Tachometer, Time Distribution |
| Analog IO | Max. 240Ch Analog Input, Flexible Single&Double Voltage/ Thermistor/AD590, Sun Sensor Input, TDE/RWE Driving |
| ETC | RU to Downlink, Flexible HW CMD |
| Pulse Priority | HW CMD > RU Output > FSW CMD |

현재 표준형 OBC는 PM (Prototype Model)이 개발되고 있으며, 향후 우주환경 시험을 (열환경, 열진공, 진동/충격, 전자파/간섭 등등)위한 QM (Quality Model)까지 개발할 예정이다. 본 구현에서는 일부 IO보드들은 매우 작은 채널 개수만으로 구현하고 있으나 CPU와 중요 보드들은 완벽한 성능 검증을 위한 하드웨어/소프트웨어를 개발 중에 있다. 다음 Fig. 10은 현재 PM모델의 CPU보드 사진이며, Fig. 11은 최종 유닛 체결 후 기구 예상도를 나타낸다.

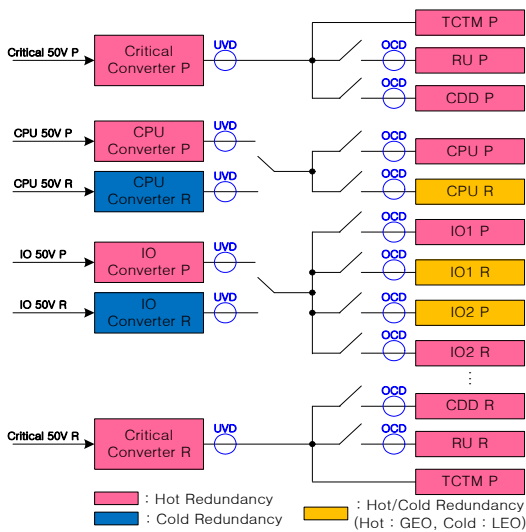


Fig. 8. Power Concept of Standard OBC

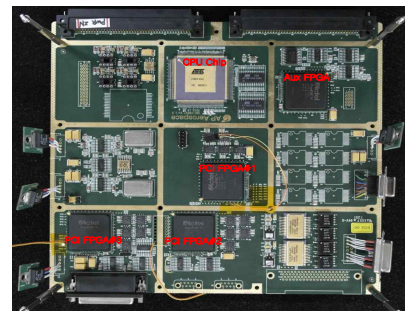


Fig. 10. CPU Board in Standard OBC PM

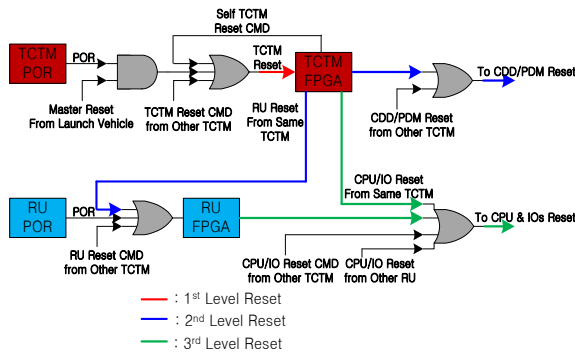


Fig. 9. Reset Concept of Standard OBC

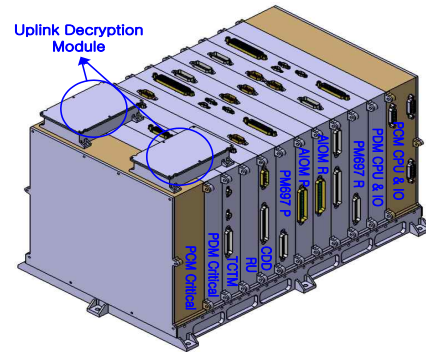


Fig. 11. Expected 3D Model of Standard OBC

III. 결 론

현재 국내에서는 저궤도, 정지궤도 위성 개발 과제뿐만 아니라 달 및 심 우주 탐사를 계획하는 과제들이 진행 중이다. 따라서 본 논문에서는 이러한 다양한 종류의 국내 위성개발 과제에서 필요로 하는 탑재컴퓨터를 적기에 저가로 공급하기 위한 탑재컴퓨터의 표준화 방안을 제시하였으며, 제안한 표준화 방안의 핵심적인 내용은 다음의 4가지를 기반으로 하고 있다.

- FPGA 구현 기능의 AMBA SOC Bus표준화
- CPU와 주변 통신 칩의 단종에 둔감한 표준 /고속 PCI 기반의 CPU와 주변 FPGA연결
- 다양한 시스템 오류 관리 요구에 부합할 수 있는 소프트웨어 기반의 RU
- CANOpen프로토콜 기반의 Serial Bus를 통한 OBC연결을 통해 OBC구조의 확장성 증가

후 기

본 논문의 내용은 한국연구재단의 우주핵심기술개발사업의 “표준형 위성 탑재컴퓨터 핵심모듈 개발”과제의 지원을 받아 수행된 것이며, 이에 주관기업 AP우주항공과 위탁기관 KAIST 인공위성연구센터, 기술 지원기관 한국항공우주산업의 관계자 여러분께 감사드립니다.

References

- 1) “A Study of Common OBC HW Architecture for LEO & GEO Satellite”, JC-SAT 2009, Yun Ki Lee, Joo Ho Won, Sang Kon Lee
- 2) “CPU Module Development for Next LEO Satellite”, Conference on Information and Control Systems 2011, Yun Ki Lee, Jeong Hwan Yang, Ki Ho Kwon, Sang Kon Lee
- 3) “CPU Trade-Off Study for Next LEO Satellite”, Conference on Information and Control Systems 2011, Yun Ki Lee, Jeong Hwan Yang, Ki Ho Kwon, Sang Kon Lee
- 4) “Current Satellite OBC Development Status”, Avionics Systems Symposium, Korea 2011, Young Ho Cho
- 5) “Serial Bus Development for the Remote Memory Access”, 2012 Fall Conference, The Korean Society for Aeronautical & Space Sciences, Yun Ki Lee, Young Jun Cho, Ki Ho Kwon, Sang Kon Lee, Young Tak Jung
- 6) “GRLIB IP Core User’s Manual Version 1.1.0 - B4108”, 2011, Aeroflex Gaisler.
- 7) “Rad-Hard 32-bit SPARC V8 Processor (AT697F)”, 2009, Atmel.
- 8) “PCI to SpaceWire and 1553 Bridge GR701A User’s Manual”, 2007, Aeroflex Gaisler.