

## 3차원 적층 패키지를 위한 ISB 본딩 공정의 파라미터에 따른 파괴모드 분석에 관한 연구

이영강<sup>\*,\*\*</sup> · 이재학<sup>\*\*,†</sup> · 송준엽<sup>\*\*</sup> · 김형준<sup>\*\*</sup>

<sup>\*</sup>과학기술연합대학원대학교 나노메카트로닉스학과

<sup>\*\*</sup>한국기계연구원 초정밀시스템연구실

### Fracture Mode Analysis with ISB Bonding Process Parameter for 3D Packaging

Young-Kang Lee<sup>\*,\*\*</sup>, Jae-Hak Lee<sup>\*\*,†</sup>, Jun-Yeob Song<sup>\*\*</sup> and Hyung-Joon Kim<sup>\*\*</sup>

<sup>\*</sup>Dept. of Nanomechatronics, UST, Daejeon 305-350, Korea

<sup>\*\*</sup>Advanced Manufacturing Systems Research Division, KIMM, Daejeon 305-343, Korea

<sup>†</sup>Corresponding author : jaehak76@kimm.re.kr

(Received November 6, 2013 ; Revised November 16, 2013 ; Accepted November 25; 2013)

#### Abstract

3D packaging technology using TSV (Through Silicon Via) has been studied in the recent years to achieve higher performance, lower power consumption and smaller package size because electrical line is shorter electrical resistivity than any other packaging technology. To stack TSV chips vertically, reliable and robust bonding technology is required because mechanical stress and thermal stress cause fracture during the bonding process. Cu pillar/solder  $\mu$ -bump bonding process is usually to interconnect TSV chips vertically although it has weak shape to mechanical stress and thermal stress. In this study, we suggest Insert-Bump (ISB) bonding process newly to stack TSV chips. Through experiments, we tried to find optimal bonding conditions such as bonding temperature and bonding pressure. After ISB bonding, we observed microstructure of bump joint by SEM and then evaluated properties of bump joint by die shear test.

Key Words : 3D packaging, Bonding technology, Through silicon via, Insert-bump bonding, Die shear test, Shear strength, Fracture mode

#### 1. 서 론

최근 스마트폰이나 태블릿 PC 등과 같은 첨단 모바일 기기들이 점점 소형화 되면서 보다 가볍고, 얇고, 다양한 기능을 가진 반도체 소자들이 요구되고 있다. 이러한 수요에 맞춰 다기능 고집적, 저 전력, 고성능 및 고 신뢰성을 모두 만족시키기 위한 반도체 패키징 기술의 개발이 필요하게 되었다. 기존의 2차원적인 반도체 소자의 집적도를 높이기 위해 최소 배선 폭을 줄이는 방법은 점차 물리적 한계에 도달하여 기술적 어려움과 비용적인 측면에서 많은 한계점을 가지고 있다. 이에 따라 최근 반도체 집적공정의 한계를 극복하기 위한 대

안으로 3D 패키징 기술이 주목받고 있다.

3D 패키징 기술은 단일 칩이 가지는 한계를 3차원적으로 칩을 적층하여 수직으로 연결하거나 통합하여 공간의 활용성을 높이면서 성능을 향상시키는 기술이다<sup>1-2)</sup>. 특히, 이러한 3D 패키징 기술은 패키지의 집적도와 성능의 향상, 시스템의 융합, 패키징 비용의 절감 등의 효과를 극대화하려는 패키지 방식으로 중요성이 커지고 있다. 3D 패키징 방법으로는 접속 방법에 따라서 와이어 본딩, 임베디드, PoP (Package on Package), TSV (Through Silicon Via) 등의 방법이 개발되었다<sup>3)</sup>.

그중에서 최근 각광을 받고 있는 TSV를 이용한 3D 패키징 기술은 실리콘 웨이퍼에 deep reactive ion etching (DRIE)나 레이저 드릴링 공정을 이용하여 수

십  $\mu\text{m}$  이하의 미세 비아를 형성하고 금속을 충전 시킨 뒤 그라인딩과 chemical mechanical polishing (CMP)공정을 통해 두께를 얇게 만들고 본딩 공정을 이용하여 적층함으로써 기계 및 전기적 결합을 동시에 형성하는 방법이다<sup>15)</sup>. TSV를 이용한 3D 패키징 기술은 비아를 통해 칩을 관통하여 전기신호 배선이 형성되어 접속 길이가 상대적으로 짧아 다른 어떤 패키징 기술보다 전력 소비가 적고, 신호의 전달속도가 빠르며 칩의 전면에 비아 형성이 가능하기 때문에 칩의 두께가 얇아 집적도가 매우 높은 장점이 있다<sup>3-5)</sup>. 한편, TSV칩들을 수직으로 적층하는 본딩 공정이 진행되는 동안 열응력 및 기계적 피로로 인한 파괴현상이 발생하기 때문에 안정적이고 견고한 본딩 기술이 요구되고 있다. 일반적으로 TSV칩들을 적층하는 데에는 Cu pillar/solder  $\mu$ -bump를 이용한 플립칩 본딩 기술이 사용되어져 왔다. 그러나 기존의 Cu pillar/solder  $\mu$ -bump를 이용한 본딩 공정은 열응력 및 전단응력이 본딩 접합부에 집중되어 기계적 신뢰성이 취약한 문제점을 가지고 있다.

본 연구에서는 이러한 문제점을 보완할 수 있는 ISB (Insert-Bump)본딩 공정을 제안하고 공정 변수인 본딩 온도 및 하중에 따른 실험을 통해 ISB 본딩 공정의 최적화에 관한 연구를 수행하였으며, 전단강도의 변화와 접합부의 미세조직을 분석하였다<sup>6)</sup>.

### 2. Insert-Bump 본딩 공정

ISB 본딩 공정은 Cu pillar bump를 따로 제작하지 않고 TSV칩의 back-side부분을 실리콘 에칭 하여 Cu recess nail bump를 형성하며 TSV 칩의 front-side에는 Sn/Ag planar bump를 형성하여 본딩을 진행하는 공정이다. ISB 본딩은 Cu recess nail bump가 Sn/Ag planar bump에 수직으로 삽입되는 형태로 본딩이 진행되는 구조이므로 기계적 신뢰성의 향상이 기대되며, 칩 back-side bumping 공정을 진행하지 않기 때문에 공정이 단순화 되어 패키지 비용의 절감 효과도 얻을 수 있다.

본 연구에서 제안한 ISB 본딩 공정의 모식도를 Fig. 1에 나타내었다. 먼저 웨이퍼의 뒷면에 DRIE 공정을 이용하여 직경  $10\ \mu\text{m}$ , 깊이  $60\ \mu\text{m}$ 의 TSV blind hole을 형성한다. DRIE 공정이란 플라즈마를 이용한 에칭 기술로서  $\text{SF}_6$ 을 사용하여 웨이퍼를 에칭 시키고  $\text{CF}_2$ 막으로 비아를 보호하는 방법을 차례로 진행하여 TSV를 형성하는 방법이다. 이 방법은 높은 aspect ratio의 비아 형성이 가능하고 미세직경의 TSV 형성이 가능한 장점이 있다. TSV 안에 충전 되는 Cu와 웨이퍼 간에는 전기적 절연을 위하여 절연층을 형성해야 한다. 이

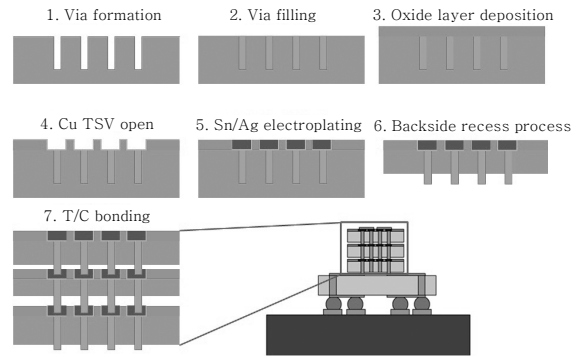


Fig. 1 Schematic illustration of ISB bonding process

를 위해 TSV blind hole 형성 후 subatmospheric chemical vapor deposition (SACVD)공정을 이용하여 isolation liner oxide를 약  $0.7\ \mu\text{m}$  가량 형성한다. 그리고 Cu의 확산을 방지하기 위하여 확산 방지층 역시 증착되는데 TaN/Ta를 각각  $150\ \text{\AA}/100\ \text{\AA}$ 의 두께로 self-ionized plasma (SIP)스퍼터링 공정을 통해 증착한다. 이 층은 확산 방지층 외에 Cu seed layer를 위한 접착 층으로도 사용되어진다. 이어 Cu seed layer를 약  $2000\ \text{\AA}$ 의 두께로 증착한 뒤 전해도금 방법을 이용하여 비아가 Cu로 채워진 TSV를 형성한다. Cu가 채워진 후 overburden된 윗면을 평탄화 시키기 위해 CMP 공정을 진행한다. 다음단계로 웨이퍼에 Sn/Ag planar bump를 형성하기 위해 plasma enhanced chemical vapor deposition (PECVD)공정을 이용하여 약  $1\ \mu\text{m}$  두께의 oxide층을 증착한다. 그리고 photoresist (PR) 패터닝 후 reactive ion etching (RIE)공정을 이용하여 Cu TSV를 오픈시켜 Sn/Ag 솔더가 채워질 자리를 확보한다. 이어 스퍼터링 공정을 통해 Ti 확산 방지층과 Cu seed layer를 증착시킨 다음 전해도금 방법을 이용하여 Sn/Ag planar bump를 형성한다. Sn/Ag 솔더의 합금 조성비는 Sn 97 %, Ag 3 %로 녹는점은 약  $221\sim 226\ ^\circ\text{C}$ 이다. 이후 웨이퍼를 약  $70\ \mu\text{m}$ 의 두께까지 얇게 thinning 하고 RIE 공정을 통해 backside부분을 에칭 하여 약  $10\ \mu\text{m}$  높이의 균일한 recess Cu nail bump를 형성한다. 이렇게 형성된 칩들을 다이싱 하여 열 압착 본딩의 형태로 수직으로 칩들을 적층하게 된다.

### 3. 실험 방법

#### 3.1 Dummy sample 제작

ISB 본딩 실험에 있어서 본딩 온도와 하중의 변화가

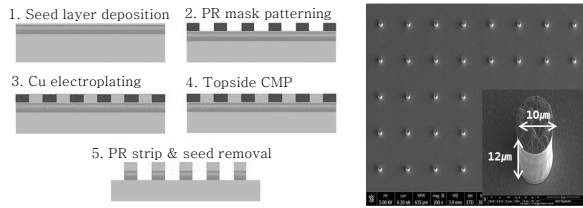


Fig. 2 Process flow of Cu pillar bump fabrication

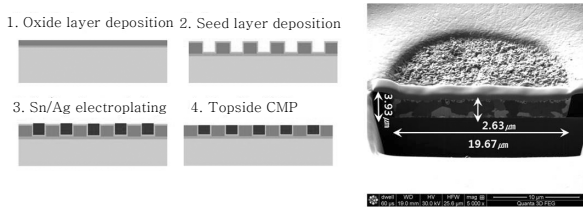


Fig. 3 Process flow of Sn/Ag planar bump fabrication

본딩 접합부의 전단강도에 상당한 영향을 미치므로 각 본딩 조건에 따라 실험을 진행하였다. ISB 본딩 실험은 TSV가 없는 Cu pillar bump와 Sn/Ag planar bump의 두 가지 dummy sample을 제작하여 본딩 조건을 평가하기 위해 수행되었다. Fig. 2와 같이 Cu pillar bump의 형성 공정을 진행한 후 직경 10 μm, 높이 약 12 μm의 Cu pillar bump를 형성하였다. 다음으로 Sn/Ag planar bump는 Fig. 3과 같은 공정으로 진행되며 직경은 20 μm, 깊이는 약 4 μm이다. 이렇게 제작된 dummy 칩들을 10.6 mm × 7.58 mm의 작은 직사각형 모양으로 다이싱하며, 제작된 칩의 총 개수는 284개이고 칩 1개당 bump의 개수는 9243개이다.

### 3.2 ISB 본딩 실험

전해도금을 통해 형성한 Cu pillar bump와 Sn/Ag planar bump를 이용하여 ISB 본딩 실험을 진행하였다. 플립칩 본더를 이용하여 Cu pillar bump를 Sn/Ag planar bump 안으로 삽입하여 열 압착 본딩 하는 형태로 본딩이 진행되었다. ISB 본딩 공정 시 본딩 온도는 230 °C, 250 °C, 270 °C, 300 °C, 350 °C의 다섯 조건이었고 본딩 하중은 10 N, 20 N, 30 N, 40 N의 네 가지 조건이었으며 본딩 시간은 60 s로 고정하였다. 먼저 본딩 온도에 따른 영향을 알아보기 위해 본딩 온도를 조건과 같이 변화시키고 본딩 시간은 60 s, 본딩 하중은 20 N으로 고정하여 실험을 진행하였다. 각각의 본딩 온도에 따른 접합부의 미세조직을 주사 전자 현미경 (SEM)의 back-scattered electron (BSE)이미지 모드를 통해 관찰하고 energy dispersive x-ray

Table 1 ISB bonding test conditions

Temperature (°C)	Time (s)	Force (N)
230	60	10
250		20
270		30
300		40
350		

Table 2 Die shear test condition

Test type	Test speed (μm/s)	Shear height (μm)	Y-distance (μm)
destruct	800	587	2000

spectroscopy (EDS)를 이용하여 분석하였다. 이후 die shear test를 통해 전단강도를 측정, 평가하였다. 이러한 방법으로 본딩 온도 조건을 성립한 후 이어 본딩 하중에 대한 실험을 진행하여 본딩 조건의 최적화를 진행하였다. ISB 본딩 실험에 관한 본딩 조건과 die shear test 조건들을 Table 1과 2에 표기하였다.

## 4. 결과 및 고찰

### 4.1 온도에 따른 미세조직 및 파괴모드 분석

온도별 접합부의 미세조직을 Fig. 4에 나타내었다. Cu와 Sn/Ag가 결합하면 서로의 interdiffusion rate 차이에 의해 Cu가 Sn/Ag쪽으로 확산되어 새로운 화합물이 형성되는데 이 새롭게 형성된 화합물을 intermetallic compound (IMC)라 한다<sup>7)</sup>. 이러한 IMC는 금속학적인 결합을 이루기 때문에 접합성을 높이는 역할을 하는 장점이 있지만 과도하게 생성되었을 경우에는 브리틀해지기 쉬운 단점이 있다<sup>8-10)</sup>. Sn/Ag planar bump 계면의 IMC는 Cu<sub>6</sub>Sn<sub>5</sub>로 확인되었으며 Cu pillar bump 계면의 IMC는 Cu<sub>3</sub>Sn으로 확인 되었다. 먼저 Cu와 Sn/Ag가 반응하여 Cu<sub>6</sub>Sn<sub>5</sub>가 생성되며 이후 Cu와 Cu<sub>6</sub>Sn<sub>5</sub>가 반응하게 되어 Cu<sub>3</sub>Sn의 IMC가 형성되게 된다<sup>11,14)</sup>. IMC의 두께는 본딩 온도가 높아짐에 따라 증가하며 350 °C에서 가장 두껍게 생성되었다. 각 온도별 IMC의 두께를 Table 3에 표기하였다.

Die shear test를 통한 전단강도 평가의 결과를 Fig. 5에 나타내었다. 전단강도는 230 °C에서 가장 낮은 125.5 mgf/bump를, 300 °C에서 가장 높은 770.35 mgf/bump를 나타냈으며 온도가 증가할수록 전단강도 역시 증가하는 경향을 보였다. 하지만 온도가 가장 높았던 350 °C에서는 오히려 전단강도가 620.65 mgf/bump

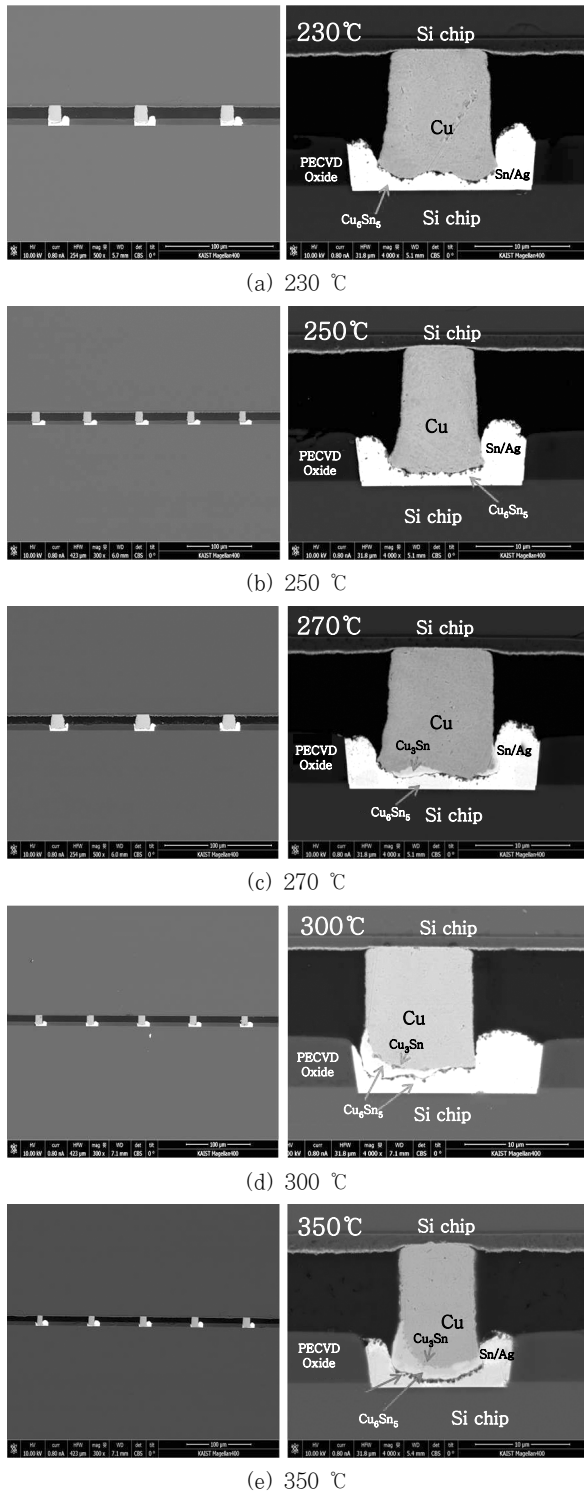


Fig. 4 Cross-sectioned image after ISB bonding test

로 감소하는 결과가 나타났는데 이는 IMC가 350 °C에서 가장 두껍게 생성되었기 때문으로 판단된다.

Fig. 6에 die shear test 후 파단면 관찰 결과를 나타내었다. 파괴모드는 interfacial fracture, alternating crack path fracture, cohesive fracture mode의 3

Table 3 IMC thickness with bonding temperature

Temperature (°C)	Thickness (μm)
230	0.082
250	0.697
270	1.066
300	1.352
350	2.049

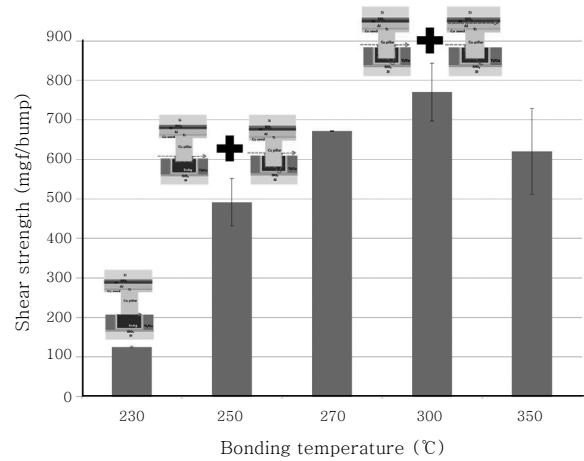


Fig. 5 Shear strength plot with bonding temperature

가지로 나타났으며 접합온도가 증가할수록 alternating crack path fracture mode와 cohesive fracture mode의 파괴가 증가하는 경향이 나타났다.

230 °C에서는 Cu pillar bump가 Sn/Ag planar bump 안으로 거의 삽입이 되지 않았다. Sn/Ag 솔더의 melting range는 약 221~226 °C인데 약간 높은 온도인 230 °C로 본딩 실험을 진행하다 보니 낮은 온도로 인해 Sn/Ag planar bump가 전체적으로 멜팅이 되지 않았기 때문이다. 이 경우 Cu pillar bump와 Sn/Ag planar bump의 계면에서 interfacial fracture mode가 발생하게 되며 이 때문에 매우 낮은 전단강도가 측정되었다.

250 °C에서의 파괴모드는 230 °C에서와 동일한 계면에서 interfacial fracture mode가 발생되었다. 또한 동시에 alternating crack path fracture mode가 발생되었는데 이 파괴는 Cu-Sn/Ag의 계면에서 시작되어 크랙이 Ti-Cu seed layer와 SiO<sub>2</sub> 층으로 전파되면서 파괴가 일어난 것으로 확인할 수 있었다.

270 °C, 300 °C와 350 °C에서 주로 발생한 파괴는 alternating crack path fracture mode 이었으며 alternating crack path 역시 동일한 결과를 보였다. 이와 동시에 몇 개의 범프에서 Cu pillar bump의 접착 층인 Al 층

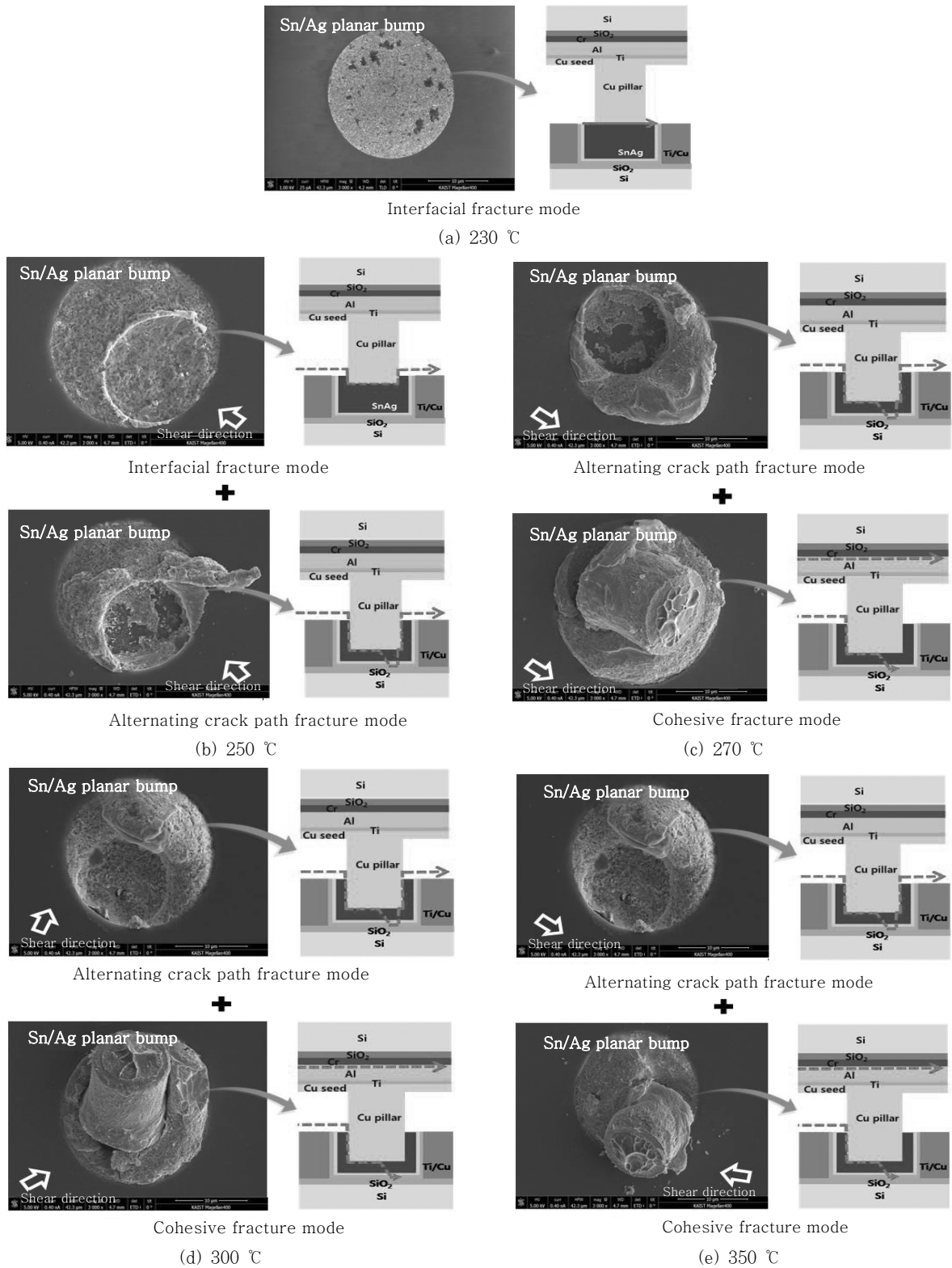


Fig. 6 Illustrations of fracture mode with different bonding temperature

에서 cohesive fracture mode가 발생하는 모습이 관찰되었다. Cohesive fracture mode는 높은 접착력을 갖는 파괴모드로 이러한 cohesive fracture mode의 발생으로 인해 전단강도가 증가한 것으로 판단된다.

#### 4.2 하중에 따른 미세조직 및 파괴모드 분석

앞선 실험에서 가장 높은 전단강도를 기록했던 300 °C로 온도를 고정하고 하중을 변화시켜가며 ISB 본딩 실험

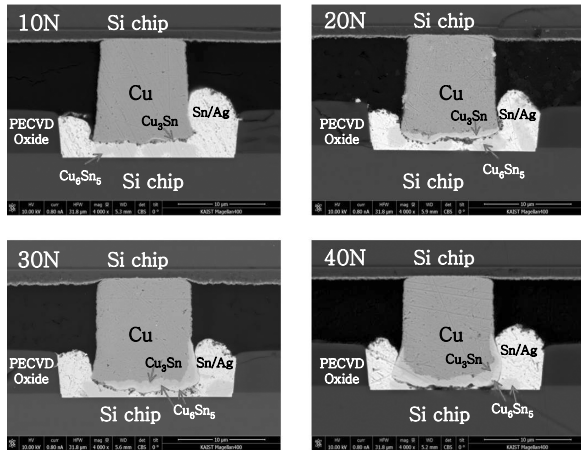


Fig. 7 Cross-sectioned image after ISB bonding test with different bonding load

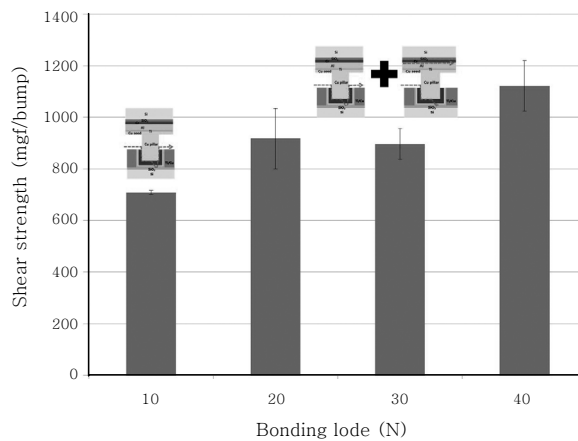


Fig. 8 Shear strength plot with bonding load

험을 실시하였다. Fig. 7에 하중별 접합부의 미세조직을 나타냈으며, 본딩 하중이 증가하면서 IMC의 두께 역시 증가하였고 Cu pillar bump가 Sn/Ag planar bump 안으로 깊숙하게 삽입되는 모습을 나타냈다.

Die shear test를 통한 전단강도 평가의 결과를 Fig. 8에 나타내었다. 전단강도는 10 N에서 가장 낮은 708.7 mgf/bump, 40 N에서 가장 높은 1121.6 mgf/bump를 나타냈으며 하중이 증가할수록 전단강도 역시 증가하는 경향을 보였다. 본딩 하중이 낮을 때는 Cu 표면을 둘러싸고 있는 얇은 oxide 층이 깨지지 않아 제대로 된 계면반응이 일어나지 않았기 때문에 전단강도가 낮게 측정된 것으로 보인다<sup>12-13)</sup>. 하지만 점차 본딩 하중이 증가하면서 metal의 표면을 둘러싸고 있는 oxide 층이 제거되어 이전보다 활발한 계면반응을 일으켜 IMC의 생성을 증가시키게 되고, Cu pillar bump가 Sn/Ag planar bump 안으로 깊숙이 삽입되어 접촉 면적이 늘어나 형상에 따른 mechanical interlocking

효과에 의해 높은 전단강도를 가지게 된다.

## 5. 결 론

본 연구에서는 3D 패키징 기술에서 가장 각광받고 있는 TSV를 이용한 접속에 대해서 새로운 본딩 방식인 ISB 본딩 공정을 제안하였다. 공정 매개변수에 따른 본딩 공정의 최적화를 위해 각 조건에 따라 ISB 본딩 공정을 진행하고 die shear test와 EDS 분석을 통하여 대한 특성 평가를 진행하였다.

전단강도는 온도 및 하중에 따라 점차로 증가하는 경향을 보였으며, 본딩 온도 300 °C, 본딩 하중 40 N에서 1121.6 mgf/bump로 가장 높은 전단강도가 나타났다. 이는 온도와 하중이 증가할수록 IMC의 생성이 증가함과 동시에 형상에 따른 mechanical interlocking 효과에 의한 것으로 판단된다. 반면, 온도가 너무 높았던 경우에는 IMC가 과도하게 생성되면서 오히려 전단강도가 감소하는 결과를 확인할 수 있었다.

파괴모드는 interfacial fracture, alternating crack path fracture, cohesive fracture mode의 세 가지로 나타났으며 본딩 온도와 하중이 증가할수록 alternating crack path fracture와 cohesive fracture mode의 파괴가 증가하는 경향을 나타내었다.

## 후 기

본 연구는 미래창조과학부/산업기술연구회의 융합연구사업 일환인 “차세대 반도체 MCP 핵심 기술개발사업”의 지원에 의한 것입니다.

## Reference

1. Amkor Technology : 3D & Stacked Die Packaging, Technology Solution, TS 104D, 2009
2. P.Garrou, C.Bower and P.Ramm : Handbook of 3D Integration: Technology and Applications of 3D Integrated Circuits, WILEY-VCH, 2008
3. J.M. Yannou : 3D TSV interconnects: Equipment & materials, Yole Development, 2008
4. S.F. Al-sarawi, D. Abbott and P.D. Franzone : A review of 3-D packaging technology, IEEE Transactions, **21-1** (1998), 2-14
5. J.Y. Song, J.H. Lee, T.H. Ha, C.W. Lee and C.D. Yoo : 3D Packaging Process using TSV and Bonding Machine Technology, Journal of the Korean Society for Precision Engineering, **26-12** (2009), 9-17 (in Korean)
6. Korea Institute of Machinery & Materials : 반도체 칩 적층 패키지 및 그 제조 방법, KR, 10-1144082 (2012) (in Korean)

7. Y.H. Kim and S.R. Lee : A study of Intermetallic Compound Growth in the Sn/Cu and Sn/Ni Couples (I): Intermetallic Compound Formation and Growth Kinetics, *Journal of the Korean Institute of Surface Engineering*, **22-1** (1989), 3-9 (in Korean)
8. J.H. Yang, H.Y. Cho, Y.H. Kim : Reflow of Sn Solder Bumps using Rapid Thermal Annealing method and Intermetallic Formation, *Journal of the Microelectronics & Packaging Society*, **15-4** (2008), 1-7 (in Korean)
9. C.B. Lee, S.B. Jung, Y.E. Shin and C.C. Shur : Effect of Isothermal Aging on Ball Shear Strength in BGA Joints with Sn-3.5Ag-0.75Cu Solder, *Materials Transactions*, **43-8** (2002), 1858-1863
10. J.H.L. Pang, D.Y.R. Chong and T.H. Low : Thermal cycling analysis of flip-chip solder joint reliability, *IEEE transactions*, **24-4** (2001), 705-712
11. H.W. Tseng, C.T. Lu, Y.H. Hsiao, P.L. Liao, Y.C. Chuang and C.Y. Liu : Electromigration-induced failures at Cu/Sn/Cu flip-chip joint interfaces, *Microelectronics Reliability*, **50-8** (2010), 1159-1162
12. I.R. Shon, J.W. Choi and T. Narita : Fracture Behavior of Oxide Scales and Influence of Oxide Scales on the Strength of Materials, *Transactions of Materials Processing*, **13-1** (2004), 72-77 (in Korean)
13. 恩澤忠男 and Y.S. Kim : 확산접합의 원리와 기초, *Journal of KWS*, **6-1** (1988), 2-10 (in Korean)
14. Y.K. Lee, Y.H. Ko, S.H. Yoo and C.W. Lee : Interfacial Microstructure and Mechanical Property of Au Stud Bump Joined by Flip Chip Bonding with Sn-3.5Ag Solder, *Journal of KWJS*, **29-6** (2011), 685-690 (in Korean)
15. S.C. Hong, W.G. Lee, J.K. Park, W.J. Kim and J.P. Jung : Cu Filling into TSV and non-PR Sn bumping for 3 Dimension Chip Packaging, *Journal of KWJS*, **29-1** (2011), 9-13 (in Korean)