

TIE 제한 주파수 변조 기법을 이용한 낮은 EMI 분산 스펙트럼 클럭 발생기

A Low EMI Spread Spectrum Clock Generator Using TIE-Limited Frequency Modulation Technique

박 태 명*, 위 재 경*, 이 성 수**

Taiming Piao*, Jae-Kyung Wee*, Seongsso Lee**

Abstract

This paper proposed a low EMI spread spectrum clock generator (SSCG) using discontinuous frequency modulation technique. The proposed SSCG is designed for triangular frequency modulation with high modulation depth. When the maximum time interval error (MTIE) of the SSCG is higher than given limit, the output frequency of SSCG is divided by two and used for reducing the time interval error (TIE). This discontinuous frequency modulation technique can effectively reduce the EMI within given limit. The simulated EMI of proposed SSCG was reduced by 18.5dB than that of conventional methods.

요 약

본 논문에서는 불연속 주파수 변조 기법을 사용하는 낮은 EMI 분산 스펙트럼 클럭 발생기 (SSCG)를 제안한다. 제안된 SSCG는 높은 변조폭을 갖는 삼각 주파수 변조 기법을 사용한다. SSCG의 최대 시간 구간 오차 (MTIE)가 제한 기준을 넘어서면 SSCG의 출력 주파수가 분주기를 거쳐 시간 구간 오차 (TIE)의 값을 감소시킨다. 이러한 불연속 주파수 변조 기법은 주어진 MTIE 제한 기준 내에서 전자기 방사를 효과적으로 감소시킬 수 있다. 이 방법은 일반적인 SSCG보다 전자기 방사를 18.5dB 더 개선하였다.

Key words : electromagnetic interference, spread spectrum clock generator, maximum time interval error, triangular frequency modulation, discontinuous frequency modulation

* School of Electronic Engineering, Soongsil University, sslee@ssu.ac.kr, 010-9182-3835

★ Corresponding author

※ Acknowledgment

“This research was supported by the MKE(The Ministry of Knowledge Economy), Korea, under the ITRC(Information Technology Research Center) support program supervised by the NIPA(National IT Industry Promotion Agency) (NIPA-2013-H0301-12-2006).”

Manuscript received Nov. 13, 2013; revised Dec. 13, 2013 ; accepted Dec. 13, 2013

1. 서론

전자 시스템의 고속 동기 동작에 대한 요구에 따라 칩의 클럭 속도의 증가와 이로 인한 EMI (electromagnetic interference) 문제가 최근 큰 문제로 대두되고 있다.[1] 이렇게 클럭에 동기된 신호 동작에 의한 EMI 문제는 ground가 취약한 모바일 시스템에서는 전자기적 상호 간섭에 의한 시스템 오동작의 원인으로 보고되고 있다. 이에 따라 고속 동작을 하는 모바일 시스템에서는 전자파 방출을 줄이기 위한 방법 중의 하나로 클럭신호의 주파수를 변조하여 좁은

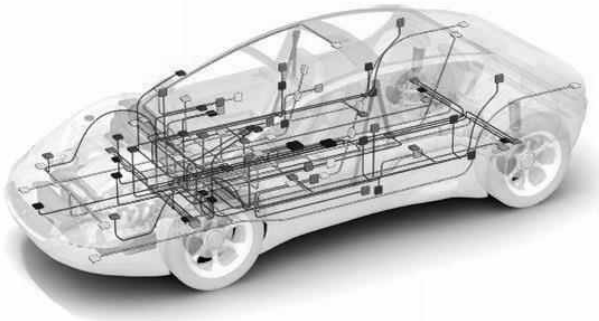


Fig. 1. Example of CAN communication between ECUs in a vehicle

그림 1. 자동차 내에서 ECU 사이의 CAN 통신 예

대역에 집중되어 있는 에너지를 넓은 대역으로 분산시키는 분산 스펙트럼 클럭 발생기 (SSCG: spread spectrum clock generator)[2]를 사용하는 것이 일반적인 추세이다.

그림 1처럼 자동차 내의 전자 시스템에서 엔진, 자동변속기, ABS (anti-lock braking system) 등을 ECU (electronic control unit)로 제어하고 ECU간에는 CAN (controller area network) 통신으로 데이터를 주고받는 경우 동기 클럭에 의한 EMI는 매우 심각한 문제가 되고 있다. 동기 신호 기반의 시스템의 경우 주파수 변조 폭을 크게 할수록 EMI 저감 효과가 높으나 MTIE (maximum time interval error)가 같이 증가하기 때문에 timing margin 확보를 위해서 주파수 변조 폭을 크게 높이는 데에 제한이 있다.

특히, 모든 비동기 직렬 정보 전송 프로토콜은 제한된 TIE (time interval error) 내에서 매우 큰 클럭 변조를 사용하여 EMI 저감 효과를 얻기 위한 기법이 연구되어 보고되고 있다. 그러나 이러한 클럭 변조의 경우 MCU 기반의 복잡한 제어 기법을 사용하기 때문에 일반적인 방법으로는 구현하기 어렵다는 문제점이 있다. 본 논문에서는 간단한 회로를 기반으로 효과적인 EMI 감소를 위해 불연속 주파수 변조 기법을 이용하여 TIE를 CAN 통신의 요구 조건 이내로 유지하면서 주파수 변조 폭을 높일 수 있는 방법을 제안하였다.

II. 제안하는 불연속 주파수 변조 기법

1. TIE와 EMI 감소

일반적으로 SSCG를 구현하는 방법에는 두 가지가 있다. 그중 한 가지 방식은 PLL (phase locked loop)에서 VCO (voltage-controlled oscillator)의 입력 전

압을 변조하는 것이고 다른 한 가지 방식은 PLL에서 feedback divider의 분주 비를 제어하는 것이다[3][4]. 이러한 방식으로 생성한 SSCG는 시간이 흐르면서 jitter가 누적된다. center spread 같은 경우 TIE의 변화는 한 변조 주기 안에서 최대값 (MTIE)까지 높아졌다가 다시 0으로 낮아진다. 이때 MTIE의 값은 수식 (1)과 같이 주어진다.[5] 여기서 A_{mod} 는 변조 폭을, f_{mod} 는 변조 주파수를 의미한다. CAN과 같은 비동기 통신에서는 MTIE의 값을 제한하고 있기 때문에 A_{mod}/f_{mod} 의 값이 제한을 받는다. 수식 (2)는 EMI peak의 감소량을 나타내는 수식이다.[6] 여기에서 A_{mod}/f_{mod} 의 값이 클수록 감소량이 효과적이다. 따라서 MTIE의 요구 조건과 EMI peak reduction간에는 trade-off가 필요하다.

$$MTIE = \pm \frac{0.25 \times A_{mod}}{f_{mod}} \tag{1}$$

$$EMI \text{ Peak Reduction (dB)} = 10 \times \log \left[\frac{A_{mod} \times f_c}{f_{mod}} \right] \tag{2}$$

그림 2는 식 (1)과 (2)의 관계를 그림으로 도식하였다. 그림에서처럼 SSCG를 이용한 비동기 통신의 경우 EMI를 감소시키기 위해서는 MTIE를 증가 시켜야 하는 문제가 있어 CAN 통신과 같이 MTIE를 10nsec 이내로 제한하는 경우, 기존의 SSCG 방식으로는 EMI를 충분히 감소시킬 수 없음을 알 수 있다.

2. 제안하는 불연속 주파수 변조 기법

그림 3은 일반적인 SSCG와 제안하는 SSCG의 주파수 변조 방법 및 MTIE를 나타낸 그림이다. 일반적인 SSCG에서는 MTIE가 CAN protocol에서 제한하는 MTIE 값을 넘을 수 없기 때문에 모듈레이션 변조폭 ($A_{mod,c}$)을 크게 설계할 수 없다.

반면에 제안하는 SSCG 기법은 non-SSCG를 기준으로 up-spread 방법을 사용하고 변조폭 ($A_{mod,p}$)을 크게 설계한 경우 TIE는 한 변조 주기 동안 항상 (-)의 값을 갖게 되며 일반적인 SSCG보다 빠르게 MTIE를 넘어선다. 이때 MTIE를 넘어설 때 마다 1/2 divider를 거친 SSCG/2를 출력으로 선택할 경우 TIE의 값을 한 클럭 감소시켜 TIE의 값을 리셋시킬 수 있다. 이러한 불연속 주파수 변조 기법을 통해서 MTIE를 한 클럭 이내로 유지하면서 높은 변조 폭을 가져갈 수 있기 때문에 EMI를 효과적으로 저감시킬 수 있다.

본 논문에서는 up-spread 방법을 사용하고 TIE의

변화를 모니터링하기 위해 기준 클록을 사용한다. 따라서 그림 4와 같은 up-spread 아키텍처를 사용하였다.[7] 그림 4는 dual-voltage controlled oscillator를

사용한 일반적인 PLL 구조이다. VC1은 large gain을, VC2는 small gain을 갖도록 설계하였다. 일반적 PLL에서 VC2를 ground에 묶고 VCO-A의 출력에서

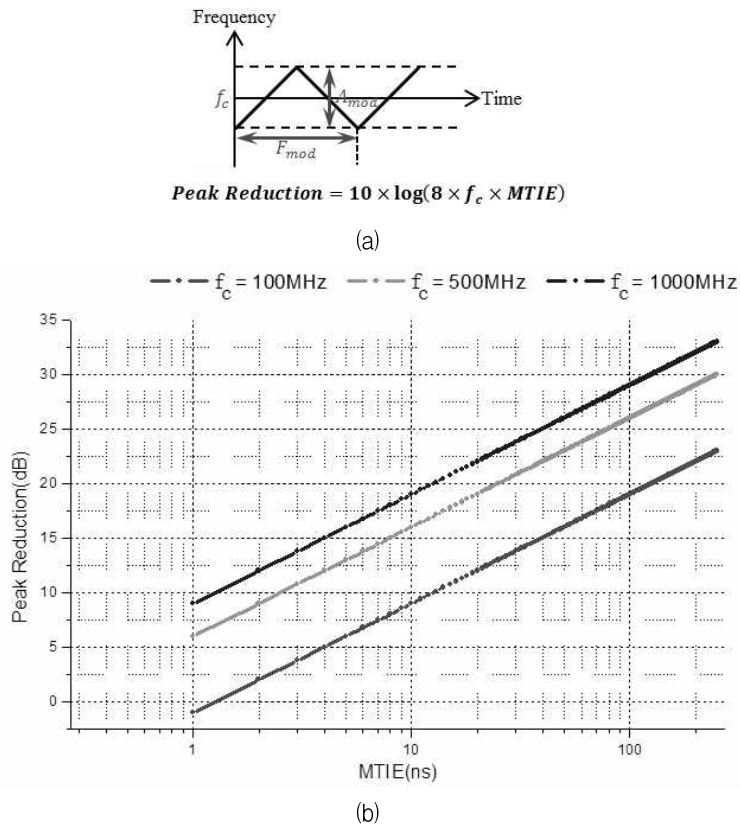


Fig. 2. MTIE and EMI reduction according to clock modulation (a) Illustration of Eq. (2) (b) MTIE vs. peak EMI reduction
그림 2. 클록 변조에 따른 MTIE와 EMI의 감소 (a) 수식 (2)의 도해 (b) MTIE에 따른 peak EMI 감소

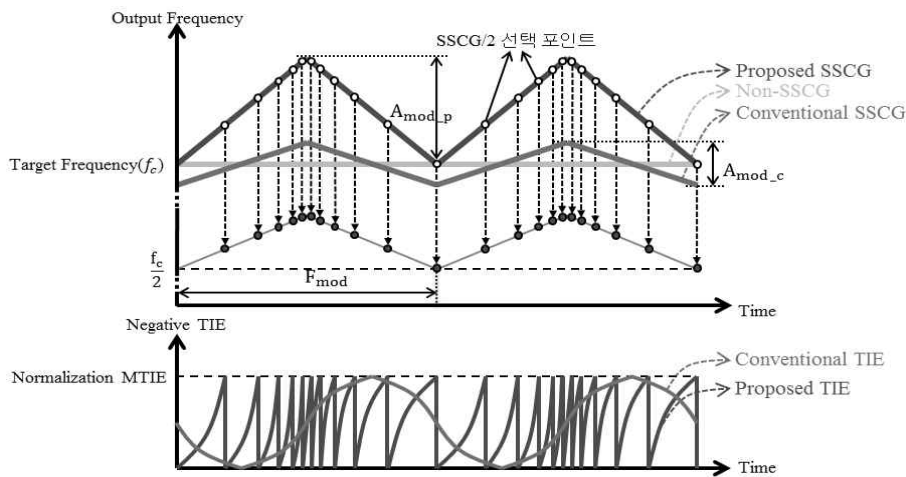


Fig. 3. MTIE for various frequency modulation techniques
그림 3. 주파수 변조 방법에 따른 MTIE

기준 클럭을 생성한다. frequency modulation에서 일반적인 PLL의 VC1을 가져오고 VC2의 전압을 triangular로 제어하면 출력 주파수는 target frequency의 기준으로 up-spread가 된다. modulation frequency (f_{mod})는 programmable divider (N1)에 의하여 결정되고 modulation depth (A_{mod})는 programmable charge pump B의 전류에 의해 결정된다.

그림 4의 non-SSCG와 SSCG의 출력을 이용하여 불연속 SSCG를 만드는 회로는 기존의 MCU를 이용하는 방법대신 간단한 로직을 고안하여 만들었다.

그림 5의 (a)는 불연속 주파수 변조를 위한 추가 회로이고, 그림 5의 (b)는 불연속 주파수 변조 기법이 적용되었을 때의 타이밍도이다. SSCG의 출력 신호가 non-SSCG보다 항상 주파수가 빠르기 때문에 TIE의 값이 한 주기를 넘어서는 순간 TIE detector의 출력 A는 0에서 1로 신호가 바뀐다. 그 이후 control logic은 B와 C가 모두 low인 구간에서 MUX의 선택신호 D를 1로 선택하고 다음 B와 C가 모두 low인 구간에서 다시 D를 0으로 선택하여준다. 이때, 최종 출력 클럭인 E는 SSCG/2 주파수가 한번 출력됨에 따라 TIE가 한 주기 만큼 감소한다. 또한 로직 프로그램에 따

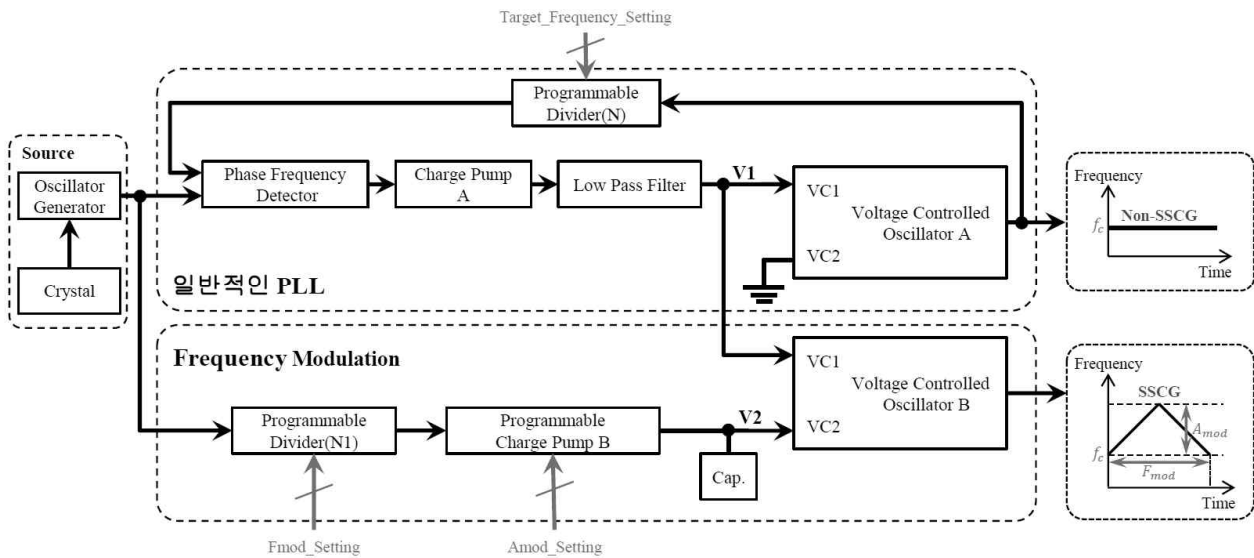


Fig. 4. Implemented block diagram of continuous SSCG
그림 4. 구현된 연속적 SSCG의 블록도

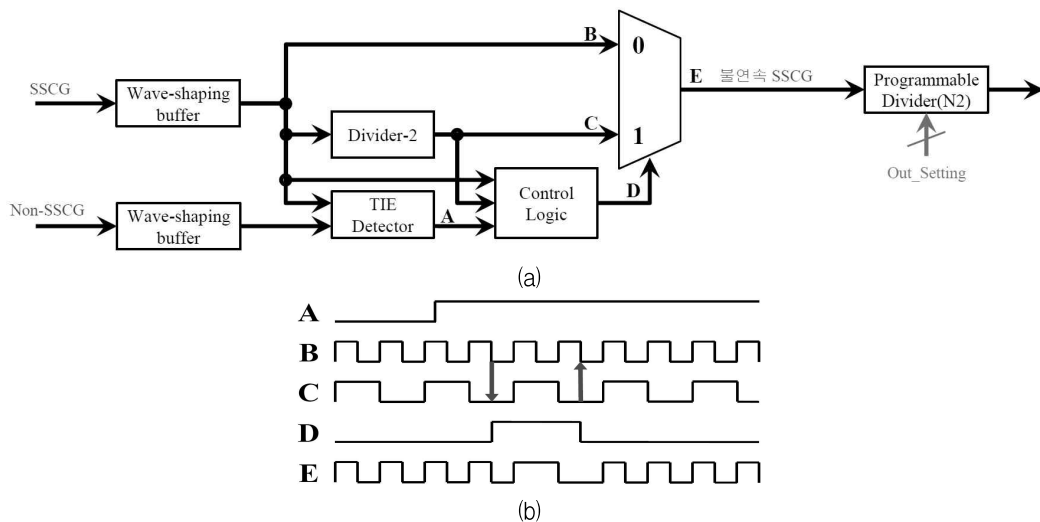


Fig. 5. Discontinuous frequency modulation (a) Circuit (b) Timing diagram
그림 5. 불연속 주파수 변조 (a) 회로 (b) 타이밍도

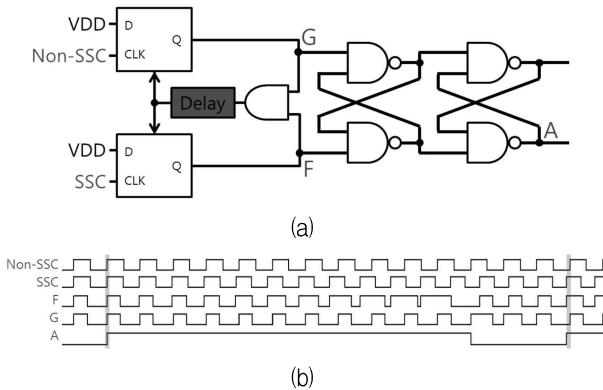


Fig. 6. TIE detection (a) Circuit (b) Timing diagram
그림 6. TIE 검출 (a) 회로 (b) 타이밍도

라 $n/2$ 주기에 따라 불연속으로 MTIE를 제한이 가능하여 주어진 MTIE에 따라 최대한의 EMI 감소 효과를

를 구현할 수 있다.

그림 6은 TIE 검출 회로를 보여주고 있다. 제안된 TIE 검출은 기존의 PFD (phase frequency detector) 회로에서 DFF의 reset path의 지연을 크게 하여 PFD 회로의 출력을 RS_Latch에 연결하면 만들었다. 제안된 TIE 검출회로는 그림 5의 타이밍도의 "A" 신호처럼 TIE의 최대값이 한 클럭 벗어나는 지점에서 rising edge가 발생한다. 이 신호를 control logic에서 이용하여 그림 5의 "D"신호를 만들어 SSCG와 non-SSCG를 선택한다.

III. 시뮬레이션 결과

제안한 불연속 주파수 변조 방법의 TIE 변화를 Matlab을 사용하여 모델링 하였다. 모델링 파라미터

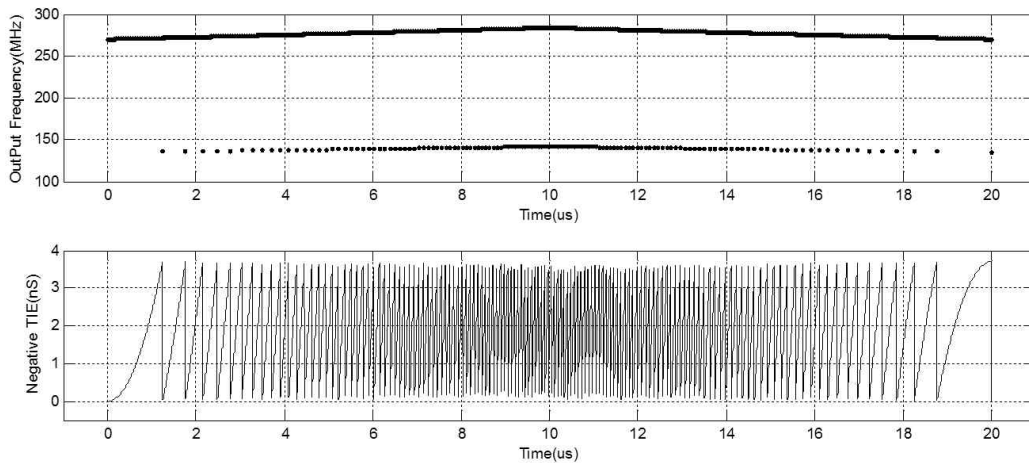


Fig. 7. Simulation results of TIE
그림 7. TIE 시뮬레이션 결과

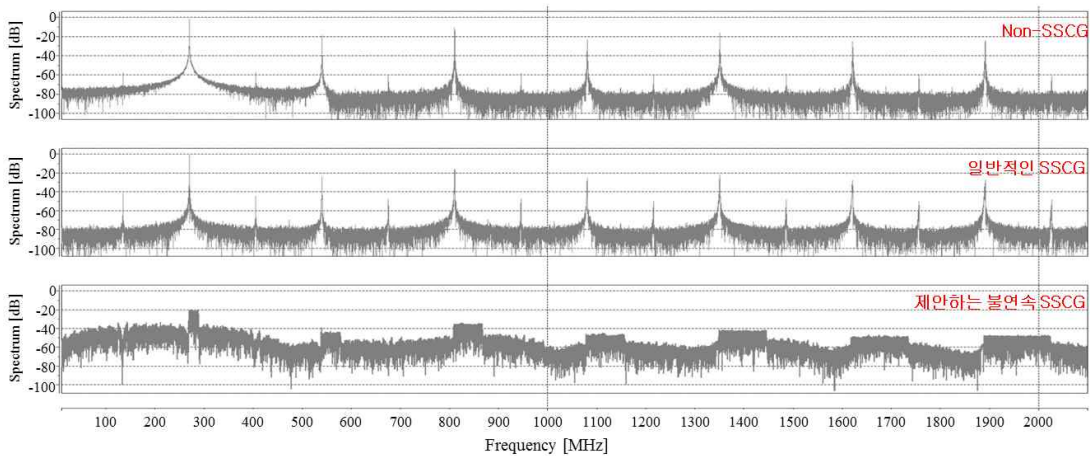


Fig. 8. Comparison of simulated clocks for various frequency modulation techniques
그림 8. 주파수 변조 방법에 따른 클럭 시뮬레이션 비교 결과

에서 target frequency = 270MHz, modulation frequency = 50KHz, mTIE = 3.7ns (즉, 한 클락)으로 시뮬레이션을 수행하였다. 그림 7은 TIE의 시뮬레이션 결과이다. 그림 7에서 위의 그림은 출력 주파수이고 아래 그림은 TIE의 변화이다. 시뮬레이션 결과 MTIE의 값을 한 클락 이내로 유지하면서 변조 폭을 MTIE와 무관하게 크게 설계할 수 있다.

그림 8은 제안된 회로의 SPICE 시뮬레이션을 보여준다. 시뮬레이션은 target frequency를 270MHz로 MTIE의 값을 3.7ns로 설정하고 동일한 MTIE에서 일반적인 주파수 변조 기법과 제안하는 불연속 주파수 변조 기법의 EMI 저감 효과를 나타내는 그림이다.

표 1은 동일한 MTIE (3.7ns)에서 일반적인 주파수 변조 기법과 제안하는 주파수 변조 기법의 EMI 저감량을 비교한 것이다. 동일한 MTIE에서 제안하는 불연속 주파수 변조 기법의 EMI 저감 효과가 18.5 dB 정도 개선되었다는 것을 확인할 수 있다.

Table 1. EMI reduction of conventional frequency modulation techniques and proposed discontinuous frequency modulation techniques with same MTIE (MTIE=3.7ns)

표 1. 동일한 MTIE에서 일반적인 주파수 변조 기법과 제안하는 불연속 주파수 변조 기법의 EMI 저감 (MTIE=3.7ns)

| Frequency (MHz) | 일반적인 주파수 변조 기법의 EMI 저감 효과 (dB) | 제안하는 불연속 주파수 변조 기법의 EMI 저감 효과 (dB) |
|-----------------|--------------------------------|------------------------------------|
| 270 | 0.22 | 18.74 |
| 540 | 4.9 | 20.5 |
| 810 | 5.4 | 23.2 |
| 1080 | 2.7 | 21.1 |
| 1350 | 6 | 24.8 |
| 1620 | 2.5 | 21.8 |
| 1890 | 2.7 | 22.4 |

IV. 결론

본 논문에서는 불연속 변조 기법을 이용한 SSCG를 제안하였다. 연속된 주파수 변조 기법을 사용하는 기존의 SSCG는 MTIE의 제한으로 변조폭을 크게 증가시킬 수 없어 EMI 저감에 효과적이지 못하였다. 제안된 불연속 변조 기법은 up-spread로 변조하고 MTIE를 벗어난 경우 1/2 주파수를 출력으로 내보냄으로써 MTIE를 한 클락 이하를 유지 하면서 주파수 변조 폭을 크게 늘릴 수 있었다. 제안된 불연속 변조 기법은 동일한 MTIE에서 기존의 방법보다 EMI 저감

효과가 18.5dB 개선되었다.

References

[1] S. Han, S. Park, and Y. Lee, "Prediction of Dynamic Power Consumption and IR Drop Analysis by Efficient Current Modeling", Journal of IKEEE, vol. 8, no. 1, pp. 63-72, Jun. 2004.

[2] D. Shin, B. Yu, T. Kim, and H. Cho, "Spread Spectrum Clock Generator with Multi Modulation Rate Using DLL", Journal of IKEEE, vol. 15, no. 1, pp. 23-28, Mar. 2011.

[3] H. Chang, I. Hua, and S. Liu, "A spread-spectrum clock generator with triangular modulation," IEEE Journal of Solid-State Circuits, vol. 38, no. 4, pp. 673-676, Apr. 2003.

[4] M. Kokubo, T. Kawamoto, T. Oshima, T. Noto, M. Suzuki, S. Suzuki, T. Hayasaka, T. Takahashi, and J. Kasai, "Spread-spectrum clock generator for serial ATA using fractional PLL controlled by $\Delta\Sigma$ modulator with level shifter," ISSCC Digest of Technical Papers, pp. 160 - 90, Feb. 2005.

[5] T. Steinecke, "Low-jitter frequency-modulated PLL", Proceedings of Asia-Pacific Symposium on Electromagnetic Compatibility, pp. 329-332, May 2012.

[6] Y. Komatsu, T. Ebuchi, T. Hirata and T. Yoshikawa, "Bi-directional AC coupled interface with adaptive spread spectrum clock generator", Proceedings of IEEE Asian Solid-State Circuits Conference, pp. 71-74, Nov. 2007.

[7] T. Xia and P. Peng, "A spread-spectrum clock generator with dual-voltage controlled oscillator", Proceedings of TAISA Conference, pp. 1-4, Jun. 2008.

BIOGRAPHY

Taiming Piao (Member)



2013 : BS degree in Electronic Engineering, Dalian Polytechnic University.
2013~Now : MS candidate in Electronic Engineering, Soongsil University
<Main Interest> Chip-level EMC, EMC-aware IC, System-in-package, Safety-aware PMIC

Jae-Kyung Wee (Member)



1988 : BS degree in Physics, Yonsei University.
1990 : MS degree in Physics, Yonsei University.
1998 : PhD degree in Electrical Engineering, Seoul National University.
1990~2002 : Hyundai Electronics Company
2002~2004 : Assistant Professor, Hallym University.
2004~Now : Associate Professor in School of Electronic Engineering, Soongsil University
<Main Interest> Chip-level EMC, Antenna, EMC-aware IC, System-in-package, Safety-aware PMIC, Bio-sensor ROICs

Seongsoo Lee (Life Member)



1991 : BS degree in Electronic Engineering, Seoul National University.
1993 : MS degree in Electronic Engineering, Seoul National University.
1998 : PhD degree in Electrical Engineering, Seoul National University.
1998~2000 : Research Associate, University of Tokyo
2000~2002 : Research Professor, Ewha Womans University
2002~Now : Associate Professor in School of Electronic Engineering, Soongsil University
<Main Interest> HEVC, Low-Power SoC Design, Multimedia SoC Design, Battery Management