J Korea Industr Inf Syst Res Volume 18 Number 6
http://dx.doi.org/10.9723/jksiis.2013.18.6.031

32 비트 곱셈기를 사용한 뉴톤-랍손 배정도실수 역수 계산기†

(Newton-Raphson's Double Precision Reciprocal Using 32 bit multiplier)

조 경 연*
(Gyeong-Yeon Cho)

요 약 최근 그래픽 프로세서, 멀티미디어 프로세서, 음성처리 프로세서 등에서 부동소수점이 주로 사용된다. C, Java 등 고급언어에서는 단정도실수와 배정도실수를 사용하고 있다. 본 논문에서는 32 비트 곱셈기를 사용하여 배정도실수의 역수를 계산하는 알고리즘을 제안한다. 배정도실수 가수를 상위 부분과 하위 부분으로 나누고, 상위 부분의 역수를 뉴턴-랍손 알고리즘으로 계산한다. 그리고 이를 초기값으로 하여 배정도실수의 역수를 계산한다. 제안한 알고리즘은 입력값에 따라서 곱셈 횟수가 다르므로, 평균 곱셈 횟수를 계산하는 방식을 유도하고, 여러 크기의 근사 역수 테이블에서 평균 곱셈 횟수를 계산한다.

핵심주제어 : 배정도실수, 뉴톤-랍손 알고리즘, 역수, 가변시간

Abstract Modern graphic processors, multimedia processors and audio processors mostly use floating-point number. High-level language such as C and Java use both single precision and double precision floating-point number. In this paper, an algorithm which computes the reciprocal of double precision floating-point number using a 32 bit multiplier is proposed. It divides the mantissa of double precision floating-point number to upper part and lower part, and calculates the reciprocal of the upper part with Newton-Raphson algorithm. And it computes the reciprocal of double precision floating-point number with calculated upper part reciprocal as the initial value. Since the number of multiplications performed by the proposed algorithm is dependent on the mantissa of floating-point number, the average number of multiplications per an operation is derived from some reciprocal tables with varying sizes.

Key Words : Double precision floating-point number, Newton-Raphson algorithm, Reciprocal, Variable latency.

1. 서 론

그래픽 프로세서, 멀티미디어 프로세서, 음성처리 프로세서 등 실장제어분야에서 부동소수점 계산이 많이 사용되며 최근에는 CPU의 기본 기능으로 채택되고 있다[1].

종래는 정수 연산을 사용하여 부동소수점 연산을 소프트웨어로 수행했지만 빠른 계산과 저전력이 요구되면서 최근에는 하드웨어 부동소수점 연산이 요구되

† 이 논문은 2012학년도 부경대학교 연구년 교수 지원사업에 의하여 연구되었음 (PS-2012-C-D-2013-0073)
* 부경대학교 IT융합응용공학과(e-mail: bdrsea@chonbuk.ac.kr)

고 있다[2]. 부동소수점 나눗셈은 뺄셈을 반복하는 SRT[3-4] 알고리즘과 곱셈을 이용한 알고리즘으로 뉴톤-랍손(Newton-Raphson) 역수 알고리즘[5] 및 골드스미트(Goldschmidt) 나눗셈 알고리즘[5]이 있다. 곱셈을 반복하는 방식은 SRT와 비교하여 속도가 빠르지만 근사 값만을 얻는다. 32 비트 정수 곱셈기는 대부분의 프로세서가 기본적으로 가지고 있으므로 곱셈을 반복하는 부동소수점 나눗셈은 추가적인 하드웨어가 크지 않다는 장점을 가진다. 일반적으로 멀티미디어 등의 응용 분야에서는 높은 정밀도를 요구하지 않으므로 단정도실수 연산이 대부분이며 또한 근사 값만으로도 충분하다.

한편 C, Java 등 고급언어는 배정도실수와 단정도실수 모두를 사용한다. 배정도실수 나눗셈은 64 비트 곱셈기를 필요로 하는데, 실장제어분야에서는 배정도실수의 사용빈도가 낮으므로 작은 곱셈기를 사용하여 배정도실수 연산을 수행하는 연구가 요구된다. Wong[6]은 56 X 16 비트 곱셈기를 사용하였으며, Brightman[7]은 17 X 69 곱셈기 어레이를 사용했다. Ozbilen[8]은 SIMD 곱셈기를 사용했다. 이들 연구는 특이한 구조의 곱셈기를 필요로 한다.

김성기[9]는 64비트 곱셈기를 사용하고, 뉴톤-랍손 알고리즘의 반복 과정 오차를 예측하고, 예측한 오차가 정해진 값보다 작아지는 시점까지만 반복 수행하여 가변시간 배정도실수 역수를 계산하였다.

본 논문에서는 IEEE-754[10] 배정도실수 D의 가수부 53 비트의 상위 28 비트의 역수 X_f를 32 비트 곱셈기를 사용하여 뉴톤-랍손 부동소수점 역수 알고리즘으로 계산하고, X_f를 초기값으로 하여 뉴톤-랍손 부동소수점 역수 알고리즘으로 D의 역수를 계산한다. 또한 반복 과정의 오차를 예측하고, 예측한 오차가 정해진 값보다 작아지는 시점까지만 반복 수행한다.

본 논문에서 제안한 알고리즘은 C 언어로 하드웨어 환경을 모델링하여 정확한 계산이 산출되는 것을 검증하였고, Verilog HDL로 알고리즘을 구현하고, 로직 시뮬레이션하여 알고리즘을 검증하였다.

본 논문의 구성은 다음과 같다. 2장에서는 32 비트 곱셈기를 사용한 배정도실수 역수 알고리즘을 제안하고, 3장에서는 제안한 알고리즘을 Verilog HDL로 설계하여 하드웨어로 구현한다. 4장에서는 근사 테이블을 구성하고, 역수 계산에 소요되는 평균 곱셈 횟수를 계산한다. 그리고 그 결과를 종래 뉴톤-랍손 역수 알고리즘과 비교 분석한다. 5장에서 결론을 맺는다.

2. 배정도 역수 알고리즘

2.1 뉴톤-랍손 역수 알고리즘

부동소수점 수 D의 역수를 구하기 위해서 함수 '$f(x)=\frac{1}{D}-X'$를 정의한다. 뉴톤-랍손 역수 알고리즘에서 X_i을 X의 근사 값이라고 하면 X_{i+1}은 식 (1)과 같이 주어진다[5].

$$X_{i+1}=X_i-\frac{f(X_i)}{f'(X_i)}=X_i(2-DX_i) \qquad (1)$$

IEEE-754로 규정되는 부동소수점 수 D는 $1.d_2\times 2^{n+base}$이다. 가수부 $1.d_2$는 배정도실수에서 53 비트이다. 역수의 지수부 연산은 '-n+base'를 계산하는 것으로 가수부 처리와 별도의 하드웨어에 의해서 병렬적으로 처리하므로 본 논문에서는 생략한다.

부동소수점 수 D의 가수부 1.d는 식 (2)와 같이 세 부분으로 나눌 수 있다. 즉, 가수부 d를 f와 i 두 부분으로 나누고, f 부분은 다시 g와 h 두 부분으로 나눈다. g 부분이 최상위 부분이고, i 부분이 최하위 부분이다.

$$1.d=1.f+i=1.g+h+i \qquad (2)$$

식 (2)에서 g, h와 i의 길이를 각각 n_g, n_h, n_i 비트로 정의한다. 식 (1)의 수렴 속도를 빠르게 하기 위해서 $\frac{1}{1.g}$를 근사계산하여 테이블 T(g)를 미리 작성해 놓는다. 근사 테이블은 ROM에 저장하거나 또는 별도의 회로를 사용해서 산출하기도 한다. T(g)는 $\frac{1}{1.g}$의 근사계산이므로 '$T(g)=\frac{1}{1.g}+e_t$'이다. e_t는 근사에 따른 오차이다. T(g)를 X의 초기 근사 값 X_0로 정의한다.

본 논문에서는 배정도실수 '$D=1.d$'의 역수를 두 단계로 나누어서 계산한다. 즉, 식 (2)의 '$1.f=F$'의

역수 X_f를 계산하고, X_f를 초기값으로 하여 '$D=1.d$'의 역수 X_n을 구한다.

식 (1)에서 중간 곱셈 결과는 소수점 이하 p 비트 미만을 절삭한다. p를 연산 유효자릿수라고 가칭한다. 또한 식 (1)에서 '$X_i(2-FX_i)$' 뺄셈은 하드웨어 구현 시에 캐리 전달 지연 시간이 필요하다. 이러한 문제점을 해결하기 위해서 본 논문에서는 근사계산인 '$2-2^{-p}-FX_i$'를 계산한다. 본 논문에서 사용하는 뉴톤-랍손 부동소수점 역수 알고리즘을 식 (3)에 보인다.

$$X_0 = T(g) = \frac{1}{1.g} + e_0 \tag{3}$$

For i = {0, 1, 2, ... }

$$X_{i+1} = X_i(2-2^{-p}-FX_i)$$

2.2 오차 분석

뉴톤-랍손 알고리즘은 곱셈을 반복하므로 오차가 누적된다. 그러므로 구하고자 하는 부동소수점의 정밀도보다 긴 자리수의 연산이 요구된다. '$X_i = \frac{1}{F} - e_i$'라 하면 X_{i+1}은 식 (4)가 된다. $t2^{-p}$와 $u2^{-p}$는 곱셈 결과를 절삭하면서 발생한 오차이며, '$0 \le t, u \le 1$'이다.

$$\begin{aligned} X_{i+1} &= (\frac{1}{F} - e_i)(1 + Fe_i - (1-t)2^{-p}) - u2^{-p} \\ &= \frac{1}{F} - Fe_i^2 - (\frac{1-t}{F} + u)2^{-p} = \frac{1}{F} - e_{i+1} \end{aligned} \tag{4}$$

식 (4)에서 e_{i+1}이 최대가 되기 위해서는 '$t=0, u=1$'이 되어야 하고, 식 (5)가 성립한다.

$$e_{i+1} < Fe_i^2 - 2^{-p+1} \tag{5}$$

식 (3)의 반복 연산 중에 절삭으로 발생하는 최대 오차는 2^{-p+1}보다 작다. '$1 < F < 2$'이므로 '$e_{i+1} < 2^{-p+1}$'이면 오차가 충분히 작으므로 반복식을 종료한다. 이로부터 식 (6)의 조건을 만족하면 반복식을 종료한다.

$$Fe_i^2 < 2^{-p} \tag{6}$$

2.3 오차 예측

식 (3)에서 '$2-2^{-p}-FX_i$'을 정리하면 식 (7)과 같이 된다.

$$2-2^{-p}-FX_i = 1-Fe_i-2^{-p} = 1-2^{-x} \tag{7}$$

식 (7)으로부터 식 (8)이 성립한다.

$$\begin{aligned} Fe_i^2 &= \frac{2^{-2x}}{F} - \frac{2^{-x-p+1} - 2^{-2p}}{F} \\ &> \frac{2^{-2x}}{F} - 2^{-p} \end{aligned} \tag{8}$$

식 (6)과 식 (8)을 정리하면 식 (9)가 된다.

$$\begin{aligned} &\frac{2^{-2x}}{F} - 2^{-p} < Fe_i^2 < 2^{-p} \\ &\frac{2^{-2x}}{F} < 2^{-p+1} \end{aligned} \tag{9}$$

'$1 < F < 2$'이므로 식 (9)는 식 (10)이 된다.

$$2^{-x} < 2^{\frac{-p+1}{2}} \tag{10}$$

식 (10)을 만족하면 식 (6) 또한 만족하므로 식 (3) 알고리즘 반복을 종료하고, '$X_f = X_{i+1} \fallingdotseq \frac{1}{F}$'이다.

2.4 배정도 역수 확장

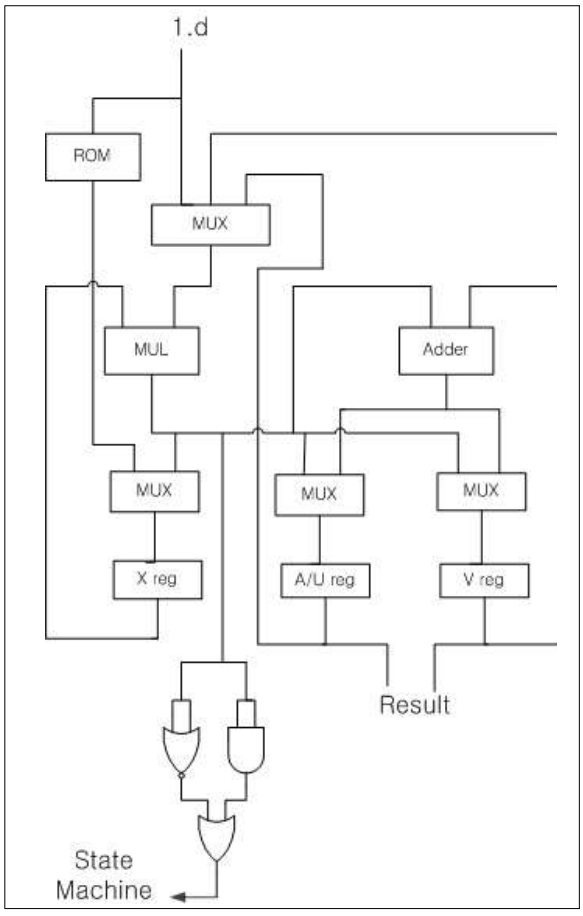
IEEE-754 배정도실수의 가수부 길이는 53 비트이다. 숨은 '1' 비트와 반올림 비트를 포함하면 55 비트 정밀도가 필요하다. 식 (5)로부터 X_f의 최대 오차가 2^{-f}라고 하면, X_n의 최대 오차는 2^{-2f}이다. '$2f > 55$'가 되어야 하므로 식 (2)의 '$n_f = n_g + n_h \ge 28$'이 되어야 한다. 한편 '$\frac{1}{1.f} - \frac{1}{1.d} = i$'이므로 '$i_{max} = 2^{-28} - 2^{-55} > 2^{-p}$'

이 된다. 이로부터 '$p=29,\ x=15,\ n_f=28$'이다.

3. 배정도 역수 계산기

32 비트 곱셈기를 사용한 가변 시간 뉴톤-랍손 배정도 역수 계산기의 블록도를 <그림 1>에 보인다. 또한 알고리즘을 <표 1>에 보인다. <표 1>에서 P는 $1.d$의 상위 32비트이고, Q는 $1.d$의 하위 22비트를 왼쪽으로 정렬한 값이다. 즉, '$1.d=(P\ll 32)+Q$'이다.

<그림 1>에서 상태기계(state machine)와 제어선은 생략했다. <표 1>에서는 레지스터 A와 레지스터 U를 별개의 레지스타로 기술하고 있지만, <그림 1>에서는 하나의 레지스타를 사용하고 있다.



<그림 1> 가변 시간 뉴톤-랍손 배정도 역수 계산기 블럭도

<표 1>에서 레지스타 A의 소수점 이하의 연속한 사인 비트 수를 세는 것은 <그림 1>에서 NOR 게이트와 AND 게이트에 의하여 구현 가능하다.

<표 1>에서 상태-1(state-1)부터 상태-3에서 $1.f$의 근사 역수 X_f를 구한다. 상태-1에서 $1.g$의 근사 역수 X_0를 테이블로부터 읽어서 레지스터 X에 저장한다. 상태-2에서 식 (3)의 '$2-2^{-p}-FX_i$'를 계산하여 레지스터 A에 저장한다. 또한 A의 소수점 이하부터 연속해서 나타나는 '0' 또는 '1' 비트의 수를 세서 레지스터 B에 저장한다. 하드웨어 설계시에 B는 x보다 작은 경우만이 참조되므로 x 비트 입력 AND 게이트와 OR 게이트로 구현한다. 상태-3에서 X_{i+1}을 계산하여 레지스터 X에 저장한다. 레지스터 B가 x보다 작으면 상태-2로 전이해서 반복식을 계속 수행한다.

<표 1> 가변 시간 뉴톤-랍손 배정도 역수 알고리즘

(state-1)
Reciprocal table T(1.g) => X;
(state-2)
$2-2^{-p}-FX => A$;
No. of Leading bits
after period of A => B ;
(state-3)
$XA => X$;
If $B < x$, then goto state-2 ;
(state-4)
$QX => \{V:-\}$;
(state-5)
$PX+V => \{U:V\}$;
$2-2^{-63}-\{U:V\} => \{U:V\}$;
(state-6)
$VX=\{V:-\}$;
(state-7)
$UX+V => \{U:V\}$;

상태-4와 상태-5에서는 레지스터 X에 F의 근사 역수 X_f가 저장되어 있으므로, '$2-2^{-63}-DX_i$'를 계산하여 하위 32 비트 워드는 레지스터 V에, 상위 32 비트 워드는 레지스터 U에 각각 저장한다. 이를 위해서 상태-4에서는 D의 하위 32 비트 워드와 레지스터 X를 곱해서 상위 32 비트 워드를 레지스터 V에 저장하고, 하위 32 비트 워드는 버린다. 상태-5에서는 D의 상위 32 비트 워드와 레지스터 X를 곱하고, 그

결과에 레지스터 V를 더해서 상위 32 비트 워드를 레지스터 U에, 하위 32 비트 워드는 레지스터 V에 저장한다. 레지스터 V는 32 비트 곱셈기의 부분곱의 한 행을 늘리는 것에 해당하므로 추가적인 지연이 크지 않으므로 한 상태에서 처리할 수 있다. 이렇게 곱하고 더한 결과의 1의 보수를 취하면 '$2-2^{-63}-DX_i$'을 계산한 것이다. 상태-6과 상태-7은 $X_n = X_f * \{U: V\} => \{U: V\}$를 계산하는 것으로 상태-4 및 상태-5와 유사하다.

제시한 알고리즘은 C 언어로 모델링하였다. X_f는 전수 계산하여 SRT로 계산한 결과와 비교하여 일치하는 것을 확인하였다. 그리고 SHA 해쉬 함수[11]를 사용하여 D 10^7개를 생성하고, 제시한 알고리즘으로 역수를 계산하고, 그 결과를 SRT로 계산한 결과와 비교하여 일치하는 것을 확인하였다. 검정 프로그램은 Window-7에서 GNU-C를 사용하여 작성하였다.

IBM-PC의 Window-7에서 Icarus Verilog를 사용하여 Verilog HDL로 코딩하고 시뮬레이션하여 동작을 확인하였다.

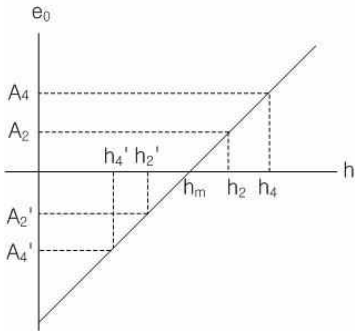
4. 연구 결과 및 분석

DasSarma[12]의 연구 결과 최적의 근사 역수는 식 (11)로 주어진다.

$$T(g) = \frac{1}{1.g} \fallingdotseq RN(\frac{1}{1.g + 2^{-2n_g - 1}}) \qquad (11)$$

RN is round to nearest

T(g)의 소수점 이하 길이를 t 비트라고 하면 '$T(g) = (b_0, b_1, ..., b_t)_2, \quad 0.5 < T(g) \le 1.0$. '$b_0 b_1 = 10$'인 경우는 '$g = 0$'일 때이다. 이외의 경우는 항상 '$b_0 b_1 = 01$'이다. 그러므로 근사 역수 테이블에 '$b_2, ... b_t$'만을 저장하면 된다. 따라서 근사 역수 테이블의 크기는 '$2^{n_g} * (t-1)$' 비트가 되어서, 테이블의 길이는 2^{n_g}이며, 폭은 't-1' 비트이다.



<그림 2> h와 e_0의 그라프

T(g)에서 초기 오차 e_0는 식 (12)가 된다.

$$e_0 = \frac{1}{1.g + h} - T(g) \qquad (12)$$

식 (11)로부터 e_0는 $h_m = 100...0$에서 가장 작으며, $h_z = 000...0$과 $h_{max} = 111...1$에서 가장 커서 <그림 2>와 같이 된다.

식 (7)로부터 식 (13)이 성립하면 2회의 곱셈으로 근사 역수를 계산할 수 있다.

$$e_0 < A_2 = \frac{2^{\frac{-p+2}{2}} + 2^{-p}}{1.g + h_{max}} \qquad (13)$$

식 (13)에서 A_2가 최소가 되는 값을 선택했다. 초기 오차 e_0는 양수와 음수의 두 가지 값을 가지며, <그림 2>에 각각 A_2와 A_2'로 나타나고 있으며, A_2와 A_2'에서의 h 값이 각각 h_2와 h_2'이다. $h_2' < h < h_2$에서 2회의 곱셈으로 근사 역수 X_f를 계산할 수 있다.

식 (5)로부터 e_1은 식 (14)가 된다.

$$e_1 = (1.g + h_{max}) e_0^2 + (2 + e_0) 2^{-p} \qquad (14)$$

식 (14)로부터 '$e_1 < A_2$'이면 4회의 곱셈으로 역수를 계산할 수 있다. 식 (14)에서 '$e_1 = A_2$'이 되는 수치해 '$e_0 = A_4$'를 뉴톤-랍손 알고리즘으로 구할 수 있다. <그림 2>에서 h_4는 A_4에서의 h 값이다. 그러므로 '$h'_4 < h < h'_2$'와 '$h_2 < h < h_4$' 구간에서는 4회의

곱셈으로 X_f가 계산된다.

이와 같은 방식을 계속하여 6회 및 8회 곱셈으로 X_f를 구하는 h 구간을 구할 수 있다.

본 논문에서 제안한 알고리즘에 의한 테이블 크기에 따른 IEEE 배정도실수의 역수 계산에 필요한 곱셈 횟수를 <표 2>에 보인다.

종래 뉴톤-랍손 알고리즘에서는 최대 오차를 고려해서 반복 횟수를 정했다. 64비트 곱셈기를 사용한 종래의 뉴톤-랍손 알고리즘에서 배정도실수의 역수를 구하려면 '64x5' 테이블에서 8회, '128x7' 테이블에서 6회의 곱셈이 필요하다. 본 논문에서 제안한 알고리즘은 표-2로부터 32 비트 곱셈기와 '64x6' 테이블을 사용하면 평균 8회의 곱셈으로 배정도실수의 역수를 계산할 수 있다.

<표 2> 배정도 실수 역수 계산에 필요한 곱셈 횟수

Table size	Average No. of Multiply
16 X 3	9.53
32 X 5	8.48
32 X 6	8.27
64 X 5	8.30
64 X 6	7.96
128 X 6	7.96
256 X 7	7.91

5. 결 론

최근 그래픽 프로세서, 멀티미디어 프로세서, 음성처리 프로세서 등 실장제어분야에서 부동소수점 계산은 빠른 계산과 저전력이 요구되면서 부동소수점 연산을 하드웨어로 구현하고 있다. 이들 분야에서는 높은 정밀도를 요구하지 않으므로 단정도실수 연산이 대부분이며 또한 근사 값만으로도 충분하다. 한편 C, Java 등 고급언어는 배정도실수와 단정도실수 모두를 사용한다. 배정도실수 나눗셈은 실장제어분야에서는 배정도실수의 사용빈도가 낮으므로 단정도실수 연산에 추가적인 부담이 작으면서도 성능이 좋은 배정도실수 연산이 요구된다.

본 논문에서는 IEEE 배정도실수 D의 가수부 53 비트의 상위 28 비트의 역수 X_f를 32 비트 곱셈기를 사용하여 뉴톤-랍손 부동소수점 역수 알고리즘으로 계산하고, X_f를 초기값으로 하여 뉴톤-랍손 부동소수점 역수 알고리즘으로 D의 역수를 계산한다. 그리고 반복 과정의 오차를 예측하고, 예측한 오차가 정해진 값보다 작아지는 시점까지만 반복 수행하는 알고리즘을 제안하였다. 제안한 알고리즘은 C 모델링하여 정확한 계산이 산출되는 것을 검증하였고, Verilog HDL로 하드웨어로 구현하여 로직 시뮬레이션하여 동작을 검증하였다.

본 논문에서 제안한 알고리즘은 32 비트 곱셈기와 '64x6' 근사 테이블을 사용하면 평균 8회의 곱셈으로 배정도실수의 역수를 계산할 수 있다. 한편 종래 뉴톤-랍손 알고리즘에서는 64 비트 곱셈기와 '64x5' 근사 테이블에서 8회, '128x7' 근사 테이블에서 6회의 곱셈이 필요하다.

참고문헌

[1] V. Lappalainen, et al, "Overview of Research Efforts on Media ISA Extension and their Usage in Video Coding," IEEE Transactions on Circuits and Systems for Video Technology, Vol. 12, pp. 660-670, 2002.

[2] R. B., Lee, "Multimedia extensions for general purpose processor," Signal Processing Systems, SIPS 97 - Design and Implementation, IEEE Workshop, pp. 9-23, 1997.

[3] S. F. McQuillan, J. V. McCanny, and R. Hamill, "New Algorithms and VLSI Architectures for SRT Division and Square Root," Proc. 11th IEEE Symp. Computer Arithmetic, IEEE, pp. 80-86, 1993.

[4] D. L. Harris, S. F. Oberman, and M. A. Horowitz, "SRT Division Architectures and Implementations," Proc. 13th IEEE Symp. Computer Arithmetic, Jul. 1997.

[5] S. F. Oberman and M. J. Flynn, "Design Issues

in Division and Other Floating Point Operations," IEEE Transactions on Computer, Vol. C-46, pp. 154-161, 1997.
[6] W. F. Wong, et al, "Fast Hardware Based Algorithms for Elementary Function Computations Using Rectangular Multiplier," IEEE Transactions on Computers, Vol. 43, No. 3, pp. 278-294, Mar. 1994.
[7] T. Brightman, "Advancing the standard in floating point performance," High Perform., Syst., pp 59-64. Nov. 1989.
[8] Metin Mete Ozbilen, Mustafa Gok, "A Single/ Double Precision Floating-Point Reciprocal Unit Design for Multimedia Applications," International Conference on Electrical and Electronics Engineering, 2009, Vol. 2, pp 352-356, Nov. 2009.
[9] 김성기, 조경연, "가변시간 뉴톤-랍손 부동소수점 역수 계산기," 정보처리학회논문지 제12-A권, pp. 95-102, April, 2005.
[10] IEEE, IEEE Standard for Binary Floating-Point Arithmetic, ANSI/IEEE Standard, Std. 754-1985.
[11] Secure Hash Standards, Federal Information Processing Standards Publication 180-3, http://www.itl.nist.gov/fipspubs, Oct. 2008.
[12] D. DasSarma and D. Matula, "Measuring and Accuracy of ROM Reciprocal Tables," IEEE Transactions on Computer, Vol.43, No. 8, pp. 932-930, Aug. 1994.

조 경 연 (Gyeong-Yeon Cho)

- 1990년 2월 인하대학교 전자공학과 박사
- 1983-1991년 삼보컴퓨터 기술연구소 책임연구원
- 1998-현재 에이디칩스(주) 기술고문
- 1991-현재 부경대학교 공과대학 IT융합응용공학과 교수
- 관심분야 : 컴퓨터구조, 반도체회로 설계, 암호 알고리즘

논 문 접 수 일 : 2013년 06월 03일
1차수정완료일 : 2013년 06월 29일
2차수정완료일 : 2013년 08월 25일
게 재 확 정 일 : 2013년 08월 25일