

논문 2013-50-1-22

# 입력-결합 전류 제한 링 발진기와 하드웨어 효율적인 레벨 시프터를 적용한 저전력 안테나 스위치 컨트롤러 IC

(A Low Power Antenna Switch Controller IC Adopting Input-coupled Current Starved Ring Oscillator and Hardware Efficient Level Shifter)

임 동 구\*

(Donggu Im)

## 요 약

이 논문에서는 (SOI) CMOS 공정을 이용한 저전력 안테나 스위치 컨트롤러 IC가 설계되었다. 제안 된 컨트롤러는 전력 수용능력과 고조파 왜곡 성능을 향상시키기 위하여 입력 신호에 따라 안테나 스위치를 구성하는 FET소자의 게이트 단자와 바디 단자에 +VDD, GND 그리고 -VDD에 해당하는 3 가지 상태의 로직 레벨을 제공한다. 또한, 입력-결합 전류제한 링 발진기와 하드웨어 효율적인 레벨 시프터를 적용함으로서 전력소모와 하드웨어 복잡도를 크게 감소시켰다. 제안 된 회로는 +2.5 V 전원을 공급받으며 송신 모드에서 135  $\mu$ A를 소모하며 10  $\mu$ s의 빠른 start-up 시간을 달성하였고, 전체 면적은 1.3 mm x 0.5mm로 설계되었다.

## Abstract

In this paper, a low power antenna switch controller IC is designed using a silicon-on-insulator (SOI) CMOS technology. To improve power handling capability and harmonic distortion performance of the antenna switch, the proposed antenna switch controller provides 3-state logic level such as +VDD, GND, and -VDD for the gate and body of switch of FETs according to decoder signal. By employing input-coupled current ring oscillator and hardware efficient level shifter, the proposed controller greatly reduces power consumption and hardware complexity. It consumes 135  $\mu$ A at a 2.5 V supply voltage in active mode, and occupies 1.3 mm  $\times$  0.5 mm in area. In addition, it shows fast start-up time of 10  $\mu$ s.

**Keywords :** Antenna switch controller, CMOS, Low power, Ring oscillator, SOI, 3-state level shifter

## I. 서 론

PAN(Personal Area Networks), WLAN(Wireless

\* 정회원, 한국과학기술원 전기 및 전자공학과  
(KAIST)

※ 이 연구는 반도체 설계 교육센터(IC Design Education Center, IDEC)에서 CAD tool과 칩 제작 지원 받아 진행된 연구 결과입니다. 또한, 이 연구는 한국 교육과학기술부 (MEST)의 한국 연구 재단 사업(National Research Foundation of Korea (NRF)의 지원에 의해 진행되었습니다.  
접수일자: 2012년11월22일, 수정완료일: 2013년1월9일

Local Area Network), WMAN(Wireless Metropolitan Area Network)에서부터 GSM/EDGE, W-CDMA 또는 CDMA2K와 같은 다양한 무선 접속 기술들이 발달함에 따라 다중-표준, 다중-밴드 무선 통신 시스템의 중요성은 더욱 높아지고 있다. 이러한 다중-표준, 다중 밴드 무선 통신 시스템에서 고 선형 안테나 스위치는 RF front-end의 핵심 요소가 되어가고 있다<sup>[1~3]</sup>.

(SOI) CMOS 공정은 다양한 반도체 공정들 사이에서 높은 집적도와 높은 생산 수율을 유지하면서 동시에 매우 낮은 기판손실과 매우 높은 격리도를 갖기 때문에 고선형 안테나 스위치의 높은 요구조건을 만족시킬 수

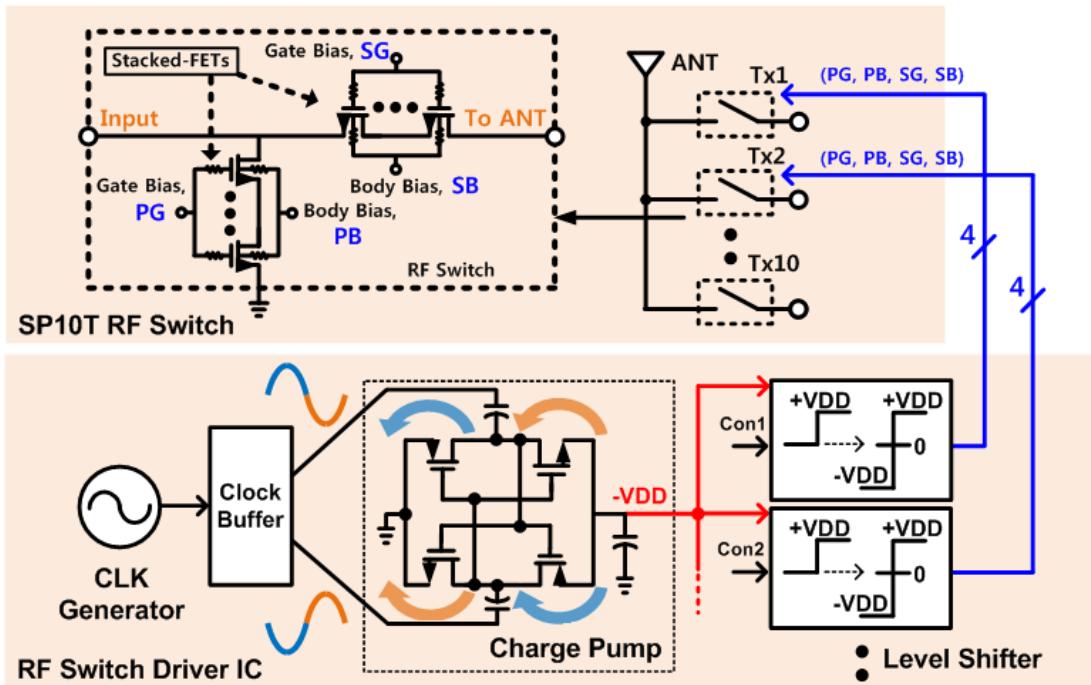


그림. 1. 클락 발생기, 전하펌프 및 레벨 시프터로 구성된 안테나 스위치 블록 다이어그램  
 Fig. 1 Switch controller IC block diagram composed of a clock generator, a charge pump, and a level shifter.

있는 공정기술로 각광받고 있다<sup>[4~6]</sup>.

전력 수용능력은 안테나 스위치가 만족시켜야 하는 엄격한 요구 조건 중의 하나로서 안테나와 스위치가 부정합된 상황에서도 +40 dBm 까지의 고출력 신호를 수용할 수 있어야 한다. 이러한 높은 전력 수용능력을 만족시키기 위하여 적층-FETs 구조(stacked-FETs scheme)는 안테나 스위치에서 가장 많이 사용되는 방법이다. 적층-FETs 구조에서 높은 전압 스윙의 신호는 오프-상태의 FET들 사이에서 보다 작은 전압 스윙을 갖는 신호로 분배 되어 질 수 있기 때문에, 적층-FETs를 구성하는 FET 수가 증가함에 따라 안테나 스위치의 전력 수용능력은 함께 향상될 수 있다. 하지만, 요구되는 삽입손실 조건을 만족시키기 위하여 적층-FETs를 구성하는 FET의 수가 제한되기 때문에, 적층-FETs 구조를 사용하는 것으로 안테나 스위치에서 요구되는 높은 선형성과 높은 전력 수용능력을 동시에 만족시키기에는 충분하지 않다.

이러한 문제를 해결하기 위하여 적층-FETs 구조와 음전압 바이어스 기법을 조합하여 적용함으로서 선형성과 전력 수용능력을 향상시키고 이와 동시에 더 낮은 삽입손실과 격리도를 달성하는 방법이 제안되었다<sup>[7]</sup>. 하

지만, 안테나 스위치 모듈 내부에서 음전압 바이어스를 생성하기 위해서 안테나 스위치 컨트롤러 IC는 능동회로로 설계되어야 하며 대부분의 안테나 스위치의 전력 소모가 이 능동 컨트롤러 IC에서 발생하기 때문에, 능동 컨트롤러 IC를 저전력으로 설계하는 것은 매우 중요하다.

본 논문에서는 (SOI) CMOS 공정을 이용하여 입력-결합 전류제한 링 발진기와 하드웨어 효율적인 레벨 시프터를 적용한 저전력 안테나 스위치 컨트롤러가 설계되었다.

## II. 본 론

그림 1에는 전하 펌프를 이용하여 음전압 바이어스를 생성하는 안테나 스위치 컨트롤러 IC의 블록 다이어그램을 보여준다. 제안 된 안테나 스위치 컨트롤러 IC는 클락 발생기와 전하 펌프, 레벨 시프터로 구성되어 있다.

링 발진기와 클락 베퍼는 전하 펌프를 동작시키기 위하여 차동 클락 신호를 생성하며, 전하 펌프는 이 차동 클락 신호를 이용하여 용량성 부하로부터 양전하를 접

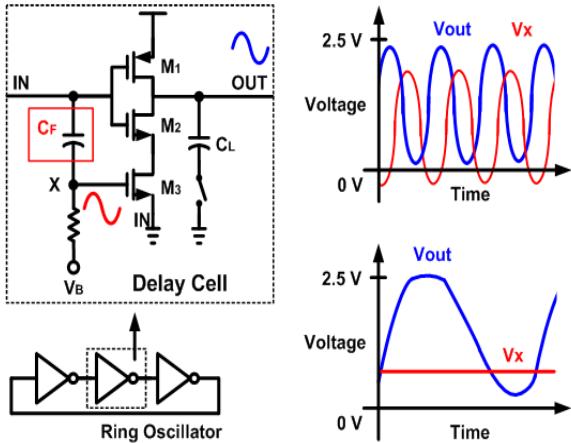


그림 2. 입력-결합 전류제한 링발진기  
Fig. 2. Low power ring oscillator.

지 전위로 이송함으로서 레벨 시프터에 음전압을 제공한다<sup>[8]</sup>. 따라서, 레벨 시프터는 사용자의 입력 신호에 따라서 3 가지 출력 가능한 전위(+VDD, GND, 그리고 -VDD) 중 하나를 선택하여 안테나 스위치를 구성하는 FET의 게이트 단자 또는 바디 단자로 출력하게 된다.

클락 발생기는 컨트롤러 IC에서 발생하는 전력 소모의 대부분을 차지하고 있는 블록으로서 반드시 저전력으로 설계 되어야 한다. 제안 하는 입력-결합 전류제한 링 발진기는 그림 2에 나타나 있다. 링 발진기를 구성하는 delay cell에서 입력 신호는 커패시터  $C_F$ 를 통하여 노드-X로 결합 됨으로서 전류 싱크 ( $M_3$ )의 게이트-소오스간의 전압이 동적으로 바이어스 되게 한다.

즉, 이 결합된 입력 신호는 출력 신호와  $180^\circ$  위상차이로 전류싱크 ( $M_3$ )를 바이어스 하기 때문에 출력에서 발생하는 전하의 충전 및 방전에 소요되는 시간을 줄 이게 되며 이는 결과적으로 추가적인 전력소모 없이 링 발진기의 발진 주파수를 증가시키게 된다. 제안 된 링 발진기는 커플링 커패시터  $C_F$ 와 부하 커패시터  $C_L$ 을 이용하여 0.017 MHz에서 1 MHz까지 가변시킬 수 있다.

Stacked-FETs 구조에서 안테나 스위치가 올바른 동작영역에 위치하기 위하여 온-상태 FET의 게이트 단자는 +VDD, 바디 단자는 -VDD로 바이어스 되어야 하며, 오프-상태 FET의 게이트 단자는 -VDD, 바디 단자는 GND로 바이어스 되어야 한다.

안테나 스위치에 바이어스 전압을 제공하기 위하여 설계 된 레벨 시프터는 그림 3에 나타나 있다. 설계 된

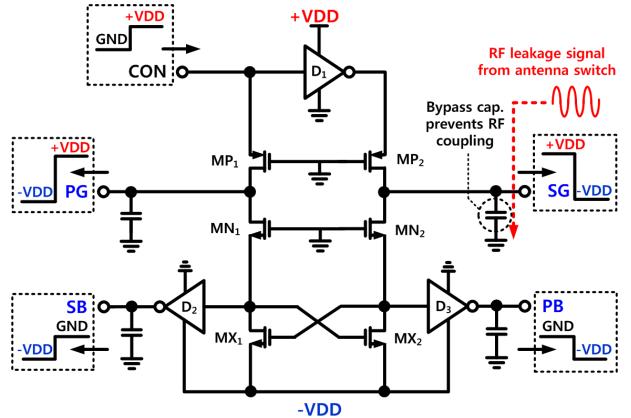


그림 3. 하드웨어 효율적인 레벨 시프터  
Fig. 3. Hardware efficient level shifter.

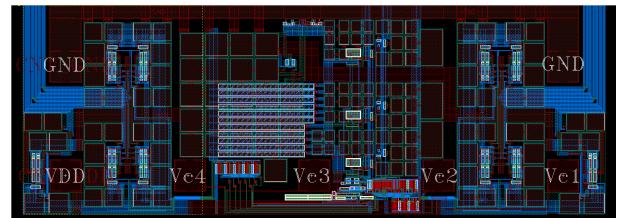


그림 4. 스위치 컨트롤러 IC의 레이아웃 사진  
Fig. 4. Layout photograph of the switch controller IC.

레벨 시프터는 인버터 페어와 크로스 커플드 래치 그리고 각각의 출력에 연결된 바이패스 커패시터로 구성되어 있다.

$MP_1$ 과  $MP_2$ 의 소오스 단자로 인가된 컨트롤 신호는  $MN_1$ 과  $MN_2$ 를 통해 크로스 커플드 트랜지스터 ( $MX_1$ 과  $MX_2$ )를 활성화 시키며 정궤환 과정 (positive-feedback process)에 의하여  $MX_1$ 과  $MX_2$ 의 드레인 단자의 전위는 -VDD 또는 near-GND로 결정되게 된다.

예를 들어, 만약 CON으로 입력된 신호가 GND라면,  $MP_2$ 의 소오스 노드와 드레인 노드의 전위는 모두 +VDD가 되며 순차적으로  $MX_1$ 과  $MN_1$ 이 턴-온 되게 된다. 이에 따라 출력 노드 PG와 SB는 모두 -VDD의 전위를 갖게 된다. 반면,  $MX_2$ 와  $MN_2$ 는 여전히 오프-상태 이므로  $MN_2$ 의 드레인 전류가 흐를 수 있는 통로가 존재 하지 않으며 이는 다시 말해  $MN_2$ 의 게이트-소오스간의 전압이 문턱전압(threshold voltage)보다 낮아야 함을 의미한다. 결과적으로  $MX_2$ 의 드레인 전위는 near-GND가 되며 출력 노드 SG와 PB는 각각 +VDD와 GND의 전위를 갖게 된다. 그리고 출력에 연결되어 있는 바이패스 커패시터들은 안테나 스위치로부터 결합된 RF 신호가 유입되어 음전압 바이어스 레벨이 오염

되는 RF coupling 현상으로부터 회로를 보호한다.

추가적으로 제안 된 회로는 상보적으로 동작하는 로직구조에 의하여 정적상태에서 흐르는 전류가 존재하지 않으며 적층 구조의 MNn과 MXn에 의해 소자에서 발생할 수 있는 전압 스트레스 문제가 해결되었다.

### III. 시뮬레이션 결과

제안된 안테나 스위치 컨트롤러는  $0.18 \mu\text{m}$  SOI CMOS 공정을 이용하여 제작되었으며 칩 레이아웃 사진은 그림 4에 나타나 있다. 설계 된 회로는 +2.5 V 전원을 공급받으며 전송 모드에서 135  $\mu\text{A}$ 의 전류를, 슬립 모드에서는 37  $\mu\text{A}$  전류를 소모하며 전체 칩 면적은  $1.3 \text{ mm} \times 0.5 \text{ mm}$  로 설계되었다. 그림 5는 하드웨어 효율적인 레벨 시프터와 전하 펌프의 출력 파형을 보여준다. 제안하는 컨트롤러는 안테나 스위치를 입력 신호에 따라 온-상태 또는 오프-상태로 만들기 위한 바이어스 전압을 출력시키고 10  $\mu\text{s}$ 의 빠른 start-up 시간을 제공하며 생성 된 음전압에서 100 mV의 전압 손실을 갖는

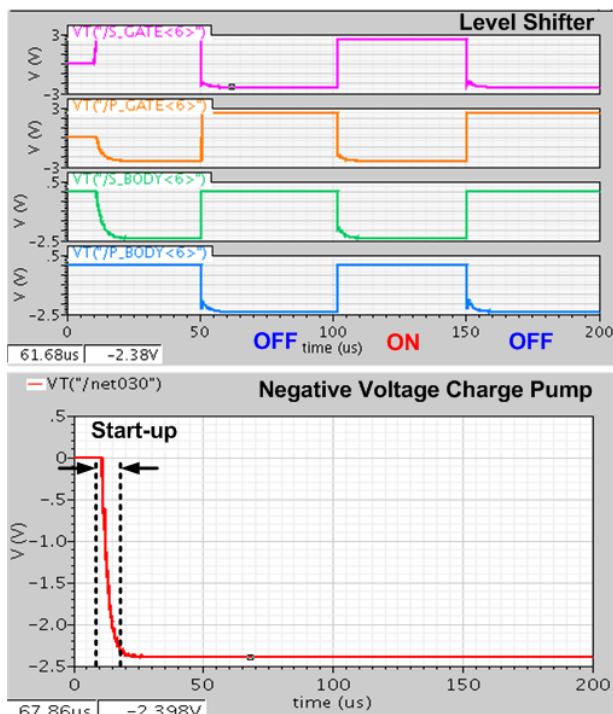


그림 5. 하드웨어 효율적인 레벨 시프터와 전하펌프의 출력 파형

Fig. 5. Output voltage waveforms of a level shifter and a charge pump.

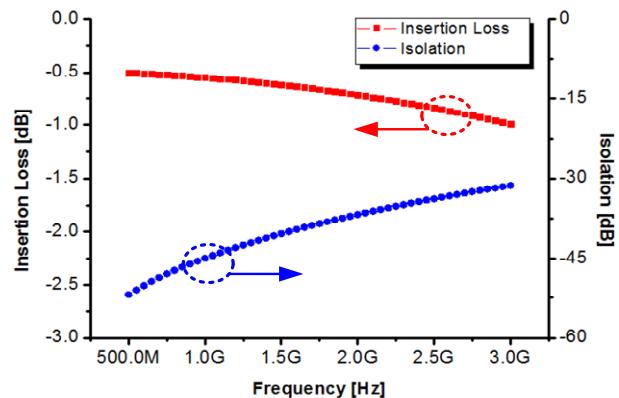


그림 6. 제안 된 컨트롤러 IC로 제어된 SP10T 스위치에서 가장 나쁜 경우에서의 삽입손실과 격리도

Fig. 6. Worst case insertion loss and isolation of the SP10T antenna switch with propose controlle IC.

다. 또한, 컨트롤러는 SP10T 안테나 스위치 코어와 접속되었으며 가장 나쁜 경우에서의 삽입손실과 격리도가 그림 6에 나타나 있다. 안테나 스위치는 제안 된 컨트롤러를 이용하여 제어되었으며 상용 모바일 통신 주파수 영역에서 1 dB 보다 낮은 삽입손실과 30 dB 보다 높은 격리도를 갖음을 확인하였다. 고조파 왜곡성능의 경우, 1 GHz에서 +35 dBm 입력 전력에 대해 2차, 3차 고조파 전력레벨은 각 -45dBm, -43 dBm을 달성하였으며, 2 GHz에서 +33 dBm 입력전력에 대하여 2차, 3차 고조파 전력레벨은 각 -42dBm, -35 dBm을 달성하였다. 이러한 결과는 안테나 스위치에서 요구되는 가혹한 선형성 조건을 만족 시킨다.

### IV. 결 론

본 논문에서는 SOI CMOS 공정을 이용한 저전력 안테나 스위치 컨트롤러 IC가 설계 되었다. 제안된 입력-결합 전류제한 링발진기는 저전력을 소모하며 음전압을 생성하는 전하펌프에 차동 클락 신호를 제공한다. 또한, 하드웨어 효율적인 레벨 시프터는 매우 작은 면적에서 접적되어 안테나 스위치에 3 가지 상태(+VDD, GND, 그리고 -VDD)의 제어신호를 제공한다.

### 참 고 문 헌

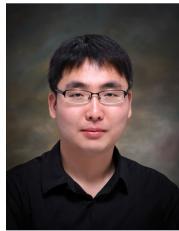
- [1] M.-C. Yeh, "Design and analysis for a miniature CMOS SPDT switch using body-floating

technique to improve power performance," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 54, pp. 31–39, 2006.

- [2] M. Ahn, "A High-Power CMOS Switch Using A Novel Adaptive Voltage Swing Distribution Method in Multistack FETs," *IEEE Trans. Microw. Theory Tech.*, vol. 56, pp. 849–858, 2008.
- [3] J. Cha, "Analysis and Design Techniques of CMOS Charge-Pump-Based Radio-Frequency Antenna-Switch Controllers," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 56, pp. 1053–1062, 2009.
- [4] J. Costa, "A Silicon RFCMOS SOI Technology for Integrated Cellular/WLAN RF TX Modules," *2007 IEEE/MTT-S International Microwave Symposium*, p. 445–448, June 2007
- [5] C. Tinella, J. M. Fournier and V. Knopik, "A High-Performance CMOSOI Antenna Switch for the 2.5–5-GHz Band," *IEEE J SOLID-STATE CIRCUITS*, pp. 1279–1283, vol. 38, No. 7, July 2003
- [6] T. McKay, "Linear cellular antenna switch for highly-integrated SOI front-end," *IEEE 2007 SOI Conference*, p. 125–126, Oct. 1–4, 2007.
- [7] J. Cha, "Negative charge-pump based antenna switch controller using 0.18 mm SOI CMOS technology," *Electronic Letters 17th, Vol. 47, No. 6, March. 2011.*
- [8] R. Pelliconi et al., "Power efficient charge pump in deep submicron standard CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no.6, pp. 1068 - 1071, Jun. 2003.

---

### 저자소개



임동구(정회원)

2004년 한국과학기술원  
전기및전자 학사 졸업.  
2006년 한국과학기술원  
전기및전자 석사 졸업.  
2012년 한국과학기술원  
전기및전자 박사 졸업.

2006년 1월 ~ 2009년 8월 LG전자 시스템 IC  
RF 그룹 주임연구원  
2012년 9월 ~ 현재 한국과학기술원 전기및전자  
박사후과정.

<주관심분야 : RF/아날로그/마이크로웨이브 집  
적회로 및 시스템>