

## InP 식각정지층을 갖는 MHEMT 소자의 InGaAs/InP 복합 채널 항복 특성 시뮬레이션

손 명 식<sup>†</sup>

<sup>†</sup>순천대학교 전자공학과

### Simulation Study on the Breakdown Characteristics of InGaAs/InP Composite Channel MHEMTs with an InP-Etchstop Layer

Myung Sik Son<sup>†</sup>

<sup>†</sup>Department of Electronic Engineering, Sunchon National University, KOREA

#### Abstract

This paper is for enhancing the breakdown voltage of MHEMTs with an InP-etchstop layer. The fully removed recess structure in the drain side of MHEMT shows that the breakdown voltage enhances from 2 V to 4 V in the previous work. This is because the surface effect at the drain side decreases the channel current and the impact ionization in the channel at high drain voltage. In order to increase the breakdown voltage at the same asymmetric gate-recess structure, the InGaAs channel structure is replaced with the InGaAs/InP composite channel in the simulation. The simulation results with InGaAs/InP channel show that the breakdown voltage increases to 6V in the MHEMT as the current decreases. In this paper, the simulation results for the InGaAs/InP channel are shown and analyzed for the InGaAs/InP composite channel in the MHEMT.

**Key Words** : Millimeter wave, HEMT, Metamorphic HEMT (MHEMT), Device simulation, Hydrodynamic transport simulation, Design of Epitaxial layers, Cutoff frequency, Maximum oscillation frequency, Breakdown

## 1. 서 론

30 GHz에서 3 THz 이르는 밀리미터파 및 서브-밀리미터파 주파수 대역은 현재의 무선통신 및 미래의 광대역 무선 통신의 매체가 되는 소중한 주파수 자원이며, 새로운 융합 응용 가능성이 있는 주파수 대역이다. 차세대 밀리미터파 통신 분야 및 이동 통신 분야에서 기술 선진국과의 기술력 격차를 줄이고 도약을 이루기 위해서는 다양한 통신 시스템을 위한 핵심 소자 개발이 필수적이다.

이러한 주파수 대역용 InP 기반 HEMT 소자는 우수한 주파수 특성을 보여 주고 있지만 몇 가지 문제점을 가지고 있다. 이 소자의 가장 큰 문제로 아직은 비용이 GaAs 기반 소자에 비해 비싸며, 4인치 이상의 에피 웨

이퍼 생산이 어렵고, 제작 시 깨지기 쉬워 취급하기 어렵다는 문제점을 안고 있다. 이에 대한 대안으로 InP 에피구조를 GaAs기판 위에 성장시킨 MHEMT (Metamorphic HEMT)에 대한 연구들이 국내에서도 많이 시도되고 진행되어 왔으며 위에서 언급한 InP 기반 MIMIC제작시의 단점을 극복할 수 있는 뛰어난 주파수 특성을 갖는 HEMT 소자로 자리 매김하고 있다[1,2].

본 연구는 100 GHz 이상에서 사용 가능한 전력증폭용 MHEMT 소자를 개발하기 위해 진행하였으며, 이미 제작된 InAlAs/InGaAs/GaAs MHEMT소자의DC/RF 특성에 대해 ISE사의 DESSIS소자 시뮬레이터의 2차원 Hydrodynamic 전송 모델을 이용한 파라미터 보정 시뮬레이션을 수행하여 실험 데이터와 잘 일치하는 파라미터 보정 결과를 얻었다[3-5]. 이러한 보정된 시뮬레이션 파라미터를 바탕으로 InP 식각정지층을 갖는 에피구조를 최적화 설계(수직 스케일링) 연구를 수행

<sup>†</sup>E-mail : sonms@sunchon.ac.kr

하였고, 새로이 설계한 에피구조에 대한 DC/RF특성을 예측하여 에피구조 특성을 분석하였다. InP 에피층의 정확한 물성 파라미터 보정 작업을 수행하였으며, 발표된 문헌들을 참조하여 중요한 물질 파라미터들(충돌 이온화 계수, 도핑 농도에 따른 이동도 감소 파라미터, 표동 속도 포화 파라미터)을 재설정하였다[5-8]. 또한, 이전 연구에서 제안된 InP 식각정지층(Etch-stop layer)을 갖는 에피구조에서 낮은 항복 전압을 개선하기 위해 소스 측은 그대로 유지하고 드레인 측만 식각 제거한 게이트 리세스(recess) 구조로 변경하여 항복 전압을 2V 정도에서 4V까지 개선할 수 있음을 보였다[9].

InGaAs 채널층을 갖는 MHEMT 소자의 우수한 RF 특성에 비해 비교적 낮은 항복 전압으로 인해 전력소자로서의 MHEMT 우수성이 제한을 받기 때문에 본 논문에서는 이전 연구에 이어 MHEMT 소자의 항복 전압을 보다 더 개선하기 위해 InGaAs 채널층을 InGaAs/InP 복합 채널 구조로 변경하여 시뮬레이션을 수행하였고, 그 결과인 항복 특성을 비교 분석하였고 RF 특성 변화를 보였다.

## 2. InGaAs/InP 복합 채널 구조를 갖는 MHEMT 소자 시뮬레이션

이전 연구에서 이러한 100 nm게이트의 전력 소자용 주파수 증폭 조건을 만족하는 Fig. 1과 같은 10 nm InGaAs 채널을 갖는 에피구조를 설계하였다[8]. 설계된 에피구조에서는 전달전도도  $g_m$  향상으로 인해 항복 특성은 그대로 유지하면서 차단 주파수는 222.5 GHz, 최대 공진 주파수 849.6 GHz로 향상된 시뮬레이션 결과를 보였으며 중심 주파수 100 GHz 대역의 HEMT 소자로 사용할 수 있을 것이다[8]. 또한 정확한 항복 특성 예측하기 위해 InP 에피층의 도핑에 따른 이동도 감소 모델 파라미터 및 충돌 이온화 모델 계수, 그리고 표동 속도 포화 모델 파라미터에 대한 파라미터 보정 작업을 수행하였다. 또한 전력 소자로서 높은 전력 출력을 보이기 위해서는 소자의 출력 전력을 제한하는 낮은 항복 전압을 높이는 것이 필수적이다. 이를 신뢰성 있게 예측 적용하기 위해서는 InP 에피층 시뮬레이션 디폴트 값의 타당성 검증 및 참고 문헌을 토대로 비교적 타당성 있는 충돌 이온화 모델 파라미터를 보정하였다[8].

Fig. 1의 구조와 비슷한 10 nm InGaAs 채널 에피구조 및 좁은 게이트 리세스 구조에서는  $I_{dss}@2V=0.1A$  정도였고 On-항복 전압은 2V 정도였다. 좁은 게이트 리세스 구조는 표면 효과를 줄여 드레인 및 소스 저항

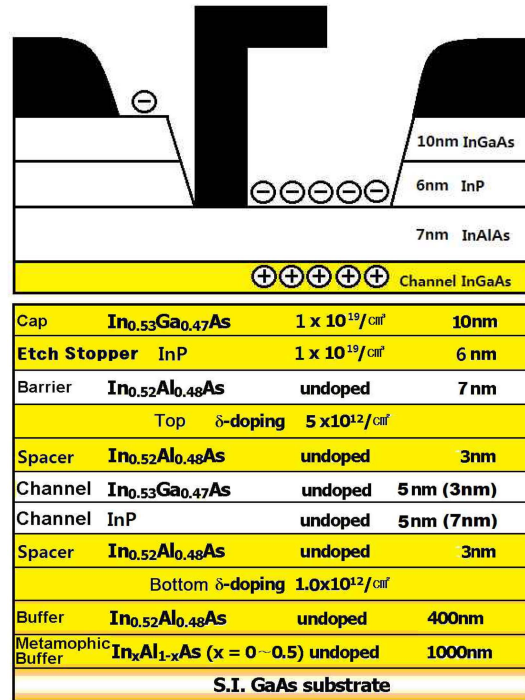


Fig. 1. The simulated gate-recess structure and epitaxial structure of a MHEMT.

을 줄이고 채널층 전류를 증가시키게 되므로 전력 레벨을 증가시킬 수 있다. 그러나 전류 증가에 따른 드레인 측 애벌런치 항복에 의한 2V 정도의 낮은 항복 전압은 여전히 문제로 남는다.

Fig. 1에 보인 바와 같이 표면 효과는 Si<sub>3</sub>N<sub>4</sub> 보호층이 증착되므로 계면 효과라 할 수 있으나 본 논문에서는 표면 효과로 논의하겠다. 게이트 리세스 구조에서 보호층과 계면을 이루게 되는 표면은 표면의 거칠기와 표면 응력에 의한 표면 이동도 감소효과가 나타나게 되고 또한 이러한 표면에 전자를 포획하는 억셉터형 트랩이 형성되어 음의 고정 전하를 형성하게 되므로 이는 채널의 공핍을 야기하여 채널을 통과하는 채널 전류를 줄이는 효과로 나타난다. 이러한 효과는 소스 및 드레인 저항을 증가시켜 채널 전류를 줄이게 되고 높은 드레인 전압 하에서는 게이트를 중심으로 드레인 측에 나타나는 애벌런치 생성 전류를 줄여 항복 전압을 개선시킬 수 있다. 위에서 언급한 표면 효과를 고려하여 시뮬레이션을 수행하였으며 항복전압이 2V에서 4V로 개선되었음을 보였다[8].

Fig. 1에 보인 바와 같은 이전 연구의 에피구조 및 게이트 리세스 구조에서 항복전압을 보다 더 개선하기

위하여 10 nm InGaAs 채널층을 5 nm InGaAs/5 nm InP 복합 채널 구조와 3 nm InGaAs/7 nm InP 복합 채널 구조로 변경하여 시뮬레이션을 수행하였다. InGaAs/InP 복합 채널 구조는 높은 드레인 전압에서 채널 전류가 InP 채널층으로 흐르게 되어 InGaAs에 비해 InP 층의 낮은 이동도 및 충돌 이온화를 이용해 항복전압을 개선하기 위해 사용되는 채널 구조이다[5].

보다 정확한 InGaAs/InP 복합 채널 구조의 시뮬레이션을 위해서는 InGaAs 채널층 두께 감소에 의한 양자 효과(Quantum effect)를 고려하여야 하는데 시뮬레이션에서는 5 nm InGaAs/5 nm InP 복합 채널 구조에서는 5 nm InGaAs 채널층의 에너지갭을 0.75 eV에서 0.85 eV로 변경하였고, 3 nm InGaAs/7 nm InP 복합 채널 구조에서는 0.75 eV에서 0.95 eV로 변경하여 InGaAs 채널 두께에 따른 양자화 효과를 모델링하여 시뮬레이션을 수행하였다[5].

### 3. 시뮬레이션 결과 분석

Fig. 1의 게이트 리세스 구조는 소스 저항을 그대로 유지시키면서 드레인 측 표면 효과로 인해 드레인 측 채널층에 공핍영역을 확대시켜 드레인 측 채널 전류를 감소시켜 드레인 측 내부 저항만을 증가시키는 구조로 제안 적용하였다. 드레인 내부 저항 증가로 전체 채널 전류는 감소할 것으로 예상되고 이러한 감소분만큼 충돌 이온화 전류도 감소되므로 애벌런치 항복 전압은 증가할 것으로 예상하였다. 또한, 이러한 게이트 리세스 구조에 InGaAs/InP 복합 채널을 사용한다면 높은 드레인 전압에서 InP층의 낮은 이동도 및 충돌 이온화 전류로 인해 항복 전압을 보다 더 개선시킬 수 있는 Fig. 1의 게이트 리세스 구조 및 에피구조에 대해 시뮬레이션을 수행하였고 그 결과를 비교 분석하였다.

Fig. 2(a)는 드레인 측만 식각 리세스된 게이트 구조에서 10 nm InGaAs 채널층을 갖는 에피 구조와 5 nm InGaAs/5 nm InP 복합 채널층을 갖는 에피 구조의 시뮬레이션 결과를 비교한 그림이다. 예상한 대로 10 nm InGaAs 채널층이 5 nm로 줄었고 5 nm의 낮은 이동도를 갖는 InP 채널층으로 대체되어 소스 저항 및 드레인 저항 증가로 채널 전류는 더욱 감소되었고 이로 인한 항복 전압은 4 V에서 5 V로 증가함을 보여 주고 있다.

Fig. 2(b)에서는 InGaAs 채널층을 3 nm로 줄이고 7 nm InP 복합 채널로 변경하였을 때의 결과를 5 nm InGaAs/5 nm InP 복합 채널층과 비교하여 나타낸 결과 그림이다. InGaAs 채널층 두께 감소로 인한 전류 감소를 보여주었고 넓어진 7 nm InP의 영향으로 적은 이

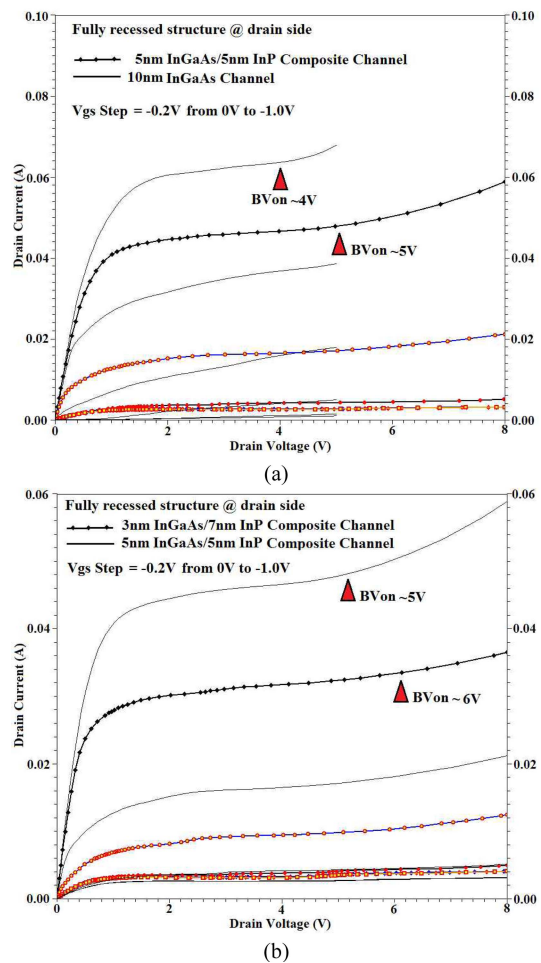


Fig. 2. Compared simulation results (a) in 10 nm InGaAs channel and 5 nm InGaAs/5 nm InP composite channel, and (b) 3 nm InGaAs/7 nm InP composite channel and 5 nm InGaAs/5 nm InP composite channel.

동도에 기인한 채널 전류 및 그로 인한 충돌 이온화 전류의 감소로 항복 전압이 5 V에서 6 V 정도로 향상됨을 보여주었다.

이는 드레인 측만 넓게 리세스한 게이트 구조에서는 결론적으로 InAlAs 장벽층의 에피 두께가 감소할수록 또한 표면 트랩 밀도가 증가할수록 전류 감소 효과는 더 클 것이다. 또한 InGaAs 채널 층 대신 InGaAs/InP 채널 구조로 변경하면 InGaAs 채널층 두께가 감소할수록 채널 전류 감소 효과가 크다는 것을 알 수 있으며 이로 인해 채널 전류 감소에 따른 충돌 이온화 전류의 생성이 보다 작아지게 되면서 애벌런치 항복 전압을 개선시킨다는 것을 확인할 수 있었다. 다만 InAlAs 계

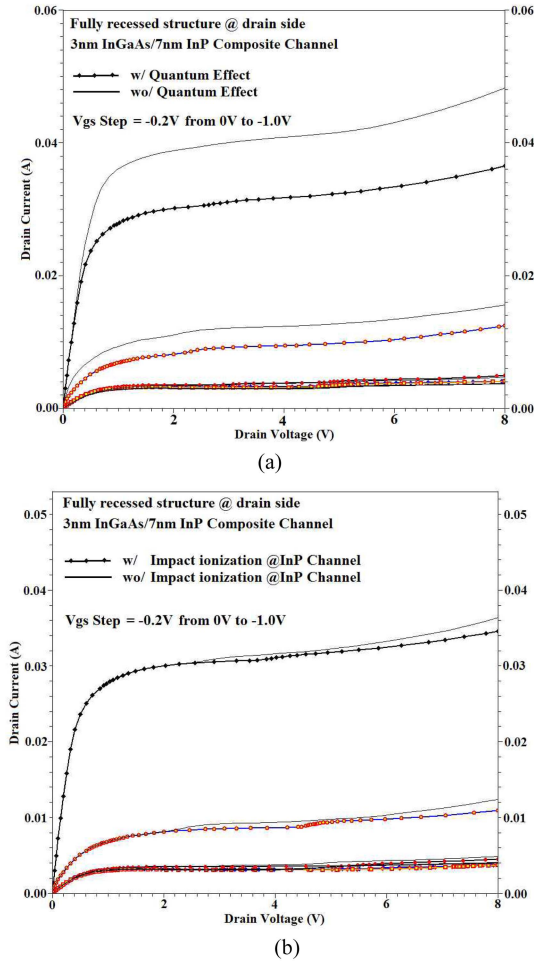


Fig. 3. Compared simulation results (a) with and without quantum effect at InGaAs channel layer, and (b) with and without impact ionization at InP channel layer.

면에 형성되는 표면 트랩 밀도를 제작 공정에서 균일한 트랩 밀도를 형성하도록 표면 처리 공정을 개발해야 하는 숙제는 여전히 남게 된다. 표면에 균일한 트랩 밀도를 형성시킬 수만 있다면 소자의 재현성 및 소자 설계의 신뢰성이 향상될 것이다.

Fig. 3(a)에서는 InGaAs 채널층에 양자 효과를 고려한 경우와 고려하지 않은 경우에 대한 시뮬레이션 결과를 비교하여 나타난 그림이다. InGaAs 채널층 두께의 감소로 인해 채널층의 양자화 효과가 나타나며 이로 인해 실제 에너지갭이 증가하게 되므로 채널 감힘이 적어져 채널 전류는 감소함을 보여주고 있다.

Fig. 3(b)는 InGaAs/InP 복합 채널층에서 InP 채널

Table 1. DC/RF small-signal simulation results

S-D Spacing (2 $\mu\text{m}$ )	Fully recessed Structure @drain side	
Composite Channel	InGaAs/InP	InGaAs/InP
Thickness	5 nm / 5 nm	3 nm / 7 nm
$I_{\text{dss}}$ [mA] @ $V_{\text{g}}=0.0$ , $V_{\text{d}}=2.0\text{V}$	44.9	30.2
$g_{\text{m,max}}$ [mS/mm] @ $V_{\text{d}}=2.0\text{V}$	1,181.3 @ $V_{\text{g}}=-0.063\text{V}$	1084.0 @ $V_{\text{g}}=-0.012\text{V}$
$f_{\text{T,max}}$ [GHz] @ $ h_{21} /20\text{dB}$	58.24 @ $V_{\text{g}}=-0.20$ , $V_{\text{d}}=2.0\text{V}$	49.06 @ $V_{\text{g}}=-0.14\text{V}$ , $V_{\text{d}}=2.0\text{V}$
$f_{\text{max,max}}$ [GHz] @ MUG=1	154.3 @ $V_{\text{g}}=-0.09\text{V}$ , $V_{\text{d}}=2.0\text{V}$	113.5 @ $V_{\text{g}}=-0.0015\text{V}$ , $V_{\text{d}}=2.0\text{V}$
$BV_{\text{on}}$ [V] @ $V_{\text{g}}=0\text{V}$	$\geq 5.0$	$\geq 6.0$
$BV_{\text{off}}$ [V] @ $V_{\text{g}}=-0.8\text{V}$	$\geq 8.0$	$\geq 8.0$

층의 충돌 이온화 생성 전류를 0으로 놓고 계산된 경우와 비교한 결과 그림이다. 실선으로 표시된 경우는 InGaAs/InP 복합 채널 층에서 충돌 이온화 생성 전류를 고려한 경우로 도형이 있는 실선 결과보다는 전류가 큼을 보여 주고 있다. 결과 그림을 통해서 예상대로 높은 드레인 전압 2.0 V 이상에서 InP층으로 전류가 흐르기 시작하였으며 이로 인해 InP층에서 충돌 이온화 생성 전류가 형성되고 있음을 분명하게 보여 주고 있다.

Table 1에서는 Fig. 1의 게이트 리세스 구조와 InGaAs/InP 에피구조에서 시뮬레이션한 DC/RF 특성을 요약하여 나타내었다.

#### 4. 결 론

100 GHz 대역의 RF 주파수 특성을 가지면서 높은 항복 전압 특성을 갖는 전력 소자를 개발하기 위해 InP 식각정지층을 갖는 에피구조를 설계 제안하였고 기 제안된 에피구조에서 InGaAs 캡층과 InP 식각정지층을 드레인 측만 식각 제거한 비대칭 리세스 구조에서 10 nm InGaAs 채널 구조를 3 nm InGaAs/7 nm InP 복합 채널로 변경하여 항복 전압을 4 V에서 6 V로 크게 개선시킬 수 있음을 보였다.  $I_{\text{dss}}$ 는 30.2 mA 이었으며,  $f_{\text{T,max}}$ 는 49.06 GHz 이며,  $f_{\text{max,max}}$ 는 113.5 GHz 였다.

본 논문에서 보인 드레인 측만 비대칭적으로 리세스한 구조에 InGaAs/InP 복합 채널층을 갖는 소자는  $f_{\text{T}}$

$\geq f_{\max}$  조건을 만족시키는 전력 소자로 항복 전압을 6 V까지 증가시킬 수 있음을 보였다.

게이트 정전용량  $C_g$ 를 줄이기 위해 게이트 폭 부분의 길이를 줄이는 수평 스케일링을 구현한다면 보다 향상된 RF 주파수 특성 및 항복 특성을 갖는 전력 소자를 개발할 수 있는 최적화 설계를 할 수 있을 것이다.

### 참고문헌

1. Sung-Chan Kim, Dan An, Byeong-Ok Lim, Tae-Jong Beak, Dong-Hoon Shin, and Jin-Koo Rhee, "High-performance 94 GHz Single Balanced Mixer Based On 70 nm MHEMT And DAML Technology," Journal of The Institute of Electronic Engineers of Korea-SD, vol. 43, no. 4, pp.254-261, Apr. 2006.
2. Seong-Jin Yeon, Myunghwan Park, JeHyunk Choi, and Kwangseok Seo, "610 GHz InAlAs/In<sub>0.75</sub>GaAs Metamorphic HEMT with an Ultra-Short 15-nm-Gate," Proc. of IEDM 2007, pp.613-616, 2007.
3. Myung Sik Son, "Optimization Study on the Epitaxial Structure for 100 nm-Gate MHEMTs with InAlAs/InGaAs/GaAs Heterostructure," Journal of the Semiconductor & Display Technology, vol. 10, no. 4, pp.107-112, Dec. 2011.
4. ISE-DESSIS manual, pp. 12-288, Ver. 9.5
5. Gaudenzio Meneghesso, Andrea Neviani, Rene Oosterholt, Mehran Matloubian, Takyiu Liu, Julia J. Brown, Claudio Canali, "On-state and Off-state Breakdown in GaInAs/InP Composite-Channel HEMT's with Variable GaInAs Channel Thickness," IEEE Trans. On Electron Devices, vol. 46, no. 1, pp.2-9, Jan. 1999.
6. Suman Datta, Shen Shi, Kenneth P. Roenker, Marc M. Cahay, and William E. Stanchina, "Simulation and Design of InAlAs/InGaAs pnp Heterojunction Bipolar," IEEE Trans. On Electron Devices, vol. 45, no. 8, pp.1634-1643, Aug. 1998.
7. Seok Gyu Choi, Yong-Hyun Baek, Min Han, Seok Ho Bang, Jin Seob Yoon, and Jin Koo Rhee, "Study of Composite channel Structure of Metamorphic HEMT for the Improved Device Characteristics," Journal of The Institute of Electronic Engineers of Korea-SD, vol. 44, no. 12, pp.1-6, Dec. 2007.
8. Myung Sik Son, "Study on the Breakdown Simulation for InAlAs/InGaAs/GaAs MHEMTs with an InP-etchstop Layer," Journal of the Semiconductor & Display Technology, vol. 11, no. 2, pp.53-57, Jun. 2012.
9. Myung Sik Son, "Simulation Study on the Breakdown Enhancement for InAlAs/InGaAs/GaAs MHEMTs with an InP-Etchstop Layer," Journal of the Semiconductor & Display Technology, vol. 12, no. 3, pp.23-27, Sep. 2013.

접수일: 2013년 11월 12일, 심사일: 2013년 11월 28일,  
 게재확정일: 2013년 12월 16일