

플라즈마 중합된 Styrene 박막을 터널링층으로 활용한 부동게이트형 유기메모리 소자

김희성^a · 이봉주^{b*} · 이선우^c · 신백균^a

^a인하대학교 전기공학과, 인천 402-751

^b남서울대학교 전자공학과, 천안 331-707

^c인하공업전문대학 전기과, 인천 402-752

(2013년 4월 5일 받음, 2013년 5월 6일 수정, 2013년 5월 6일 확정)

본 연구에서는 유기소자의 절연박막을 습식 공정이 아닌 건식 공정인 플라즈마 중합법을 이용하여 Styrene 유기물을 사용하여 절연박막을 제작하였다. 안정적인 플라즈마 형성을 위해 버블러와 씨큐레이터를 활용하여 정량적인 모노머 주입을 가능하게 하였다. 본 연구에서는 플라즈마 중합된 Styrene 박막을 30, 60 nm 터널링층으로 활용하였고, Styrene 절연층의 두께를 430 nm, Au 메모리층의 두께를 7 nm, 활성층의 두께를 40 nm, 소스와 드레인 전극의 두께를 50 nm로 유기 메모리 소자를 제작하여 특성을 평가하였다. 40/-40 V의 double sweep시 45 V의 히스테리시스 전압을 얻을 수 있었고, 이는 MMA를 터널링층으로 활용한 유기 메모리 소자의 히스테리시스 전압이 27 V인 것과 비교하였을 때 60% 상승한 효과로 히스테리시스 전압이 18 V 이상 높은 결과이다. 이와 같은 결과로부터 플라즈마 중합된 Styrene 유기 박막의 높은 전하 포집 특성을 활용하여 전체층을 유기 재료로 제작한 유연한 메모리 소자의 응용 가능성을 기대한다.

주제어 : 플라즈마 중합법, Styrene, 유기메모리, 터널링층, 부동게이트

I. 서 론

IT산업이 발전하고 기술이 빠르게 진보하면서 인간은 생활 수준이 높아질수록 더 빠르고, 더 편하고, 더 새로운 기능의 제품들을 요구하고 있다. 최근 정보산업의 발달과 함께 기억소자의 개발이 요구되어 현재 초고집적화 시대에 있다. 이 중 전자기기의 핵심인 반도체 시장의 빠른 발전을 휴대성을 위한 소형화, 경량화, 고밀도화와 새로운 기술을 위한 유연성 등 많은 것이 필요성이 요구되어지고 있다. 현재 상용화 되고 있는 메모리의 경우 일반적으로 무기물 기반의 메모리구조인데, 적층이 어려워 근본적으로 데이터의 양을 늘리는데 한계점을 갖고 있는 게 사실이다. 이에 반해 유기 메모리 소자의 경우, 재료를 유기물을 사용함으로써 유기물의 장점을 활용할 수 있다. 유기물을 활용한 전자 소자는 제작 공정이 싸고 간단하며 저온 공정이 가능하여 유연한 소재의 기판에 제작이 가능하여 유연한 소자로써의 가능성을 갖는다. 또한 가볍게 제작이 가능하고 적층에 용이하여 메모리를 집적화 시키기에 좋으며 프린팅법을 통한

대형화 공정도 가능하여 많은 장점을 갖고 있다 [1,2].

유기박막 트랜지스터, 유기발광 다이오드, 유기 태양전지, 유기 부동게이트형 메모리 등의 유기소자에 대한 개발이 활발한 상황이며 이 중 대표적인 소자인 유기메모리는 용량의 한계를 극복하기 위해 중요하게 연구되고 있는 실정이다 [3-6]. 유기메모리 중에서 부동게이트형 비휘발성 소자는 데이터를 한번 입력하게 되면 전원이 제거되어도 데이터가 제거되지 않고 유지되는 장점이 있고 소자의 구조가 간단하기 때문에 쉽게 만들 수 있어 많은 연구가 시도되고 있다 [7,8].

비휘발성 유기 메모리 소자는 게이트 전압의 인가로 인해 전자 또는 정공이 부동게이트에 저장되어서 두 가지의 다른 상태를 나타내게 된다. 이 상태를 쓰기(programming), 지우기(erasing)라고 한다. 이 두 상태에서의 문턱 전압(threshold voltage)의 차이를 memory window라고 한다 [9]. Memory window는 두 가지 상태를 확실히 구분해야 하기 때문에 큰 값일수록 좋은 메모리 특성이 있음을 판단할 수 있는 기준이 된다. Memory window 외에 pro-

* [전자우편] bjlee@nsu.ac.kr

graming과 erasing을 반복하여도 같은 특성을 보여야 하고, 저장된 데이터가 오래 유지 되어야 하는 성능 지표들이 있다.

본 논문에서는 위의 성능 지표들 외에 플라즈마 중합된 Styrene을 터널링층으로 사용하여, 터널링층의 두께 변화에 따른 유기 메모리의 소자의 히스테리시스를 확인하여 메모리 효과를 확인하였다. 히스테리시스의 크기인 히스테리시스 전압을 비교함으로써 데이터 저장 능력을 비교하여, 향후 부동게이트형 유기 메모리의 연구 방향에 도움을 주고자 한다.

II. 실험

1. 메모리 소자의 제작

Fig. 1은 Fig. 2의 공정 순서도에 의해 제작된 메모리 소자의 구조를 나타낸다. 메모리 소자의 제작을 위해 Fig. 2과 같은 순서로 공정을 진행하였다. 게이트 전극으로는 ITO가 증착된 유리 기판을 사용하였다. 기판의 표면을 세척하기 위해 아세톤-에탄올-DI water 순서로 각각 10분씩 초음파 세척을 하였다. 초음파 세척이 끝난 ITO 유리 기판은 질소 가스로 나머지 불순물을 제거하였다. 세척 작업

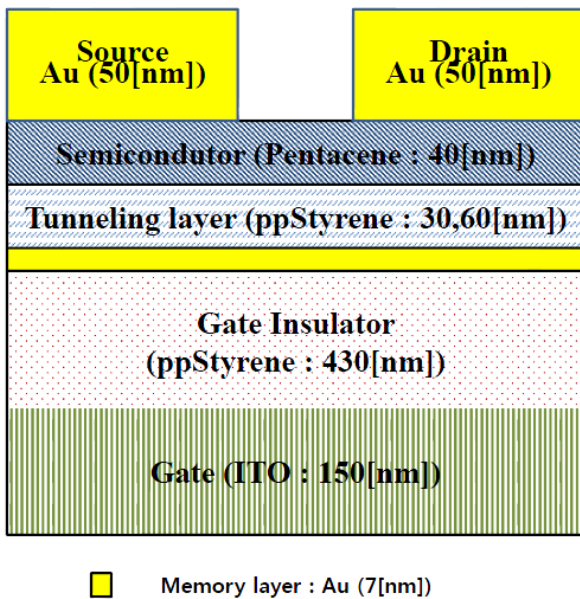


Figure 1. Structure of floating gate organic memory.

이 끝난 ITO 유리 기판은 PECVD 장비로 1분간 산소 플라즈마 처리를 실시하였다. ITO 유리 기판 위에 절연층 (insulator layer)은 ICP 플라즈마 중합법을 사용하여 증착하였다. 플라즈마 중합법은 공정 인자를 제어함으로써 가교 밀도가 높은 박막을 형성할 수 있는 건식 공정이다 [10,11]. 플라즈마 중합 장비는 공정의 정교함을 높이기 위해 버블러와 순환기를 추가해 Styrene의 온도를 일정하게 유지하고 유량을 일정하게 제어하였다. 안정한 유기 절연 박막의 형성을 위해 Styrene을 일정하게 제어하였다. Ar 가스를 30 sccm의 양으로 일정하게 밀어내고 스로틀밸브로 챔버의 압력을 10 mTorr로 일정하게 유지시켰다. 플라즈마를 띄우기 위해 RF power를 100 W, 좀더 치밀한 막의 형성을 위해 기판 bias를 10 W를 인가하였다. 기판의 위치를 50 mm로, 공정 시간을 40 분으로 고정하여 공정을 진행하였다. 챔버의 초기 진공은 10^{-7} Torr이고, 이때의 절연층의 두께는 430 nm이다.

메모리층은 Au 박막을 얇게 열증착하여 부동 게이트의 구조로 제작되었다. 터널링층은 절연층과 같은 플라즈마 중합법을 사용하여 Styrene을 증착하였으며, 메모리층은 절연층과 터널링층 사이에 부동 게이트 형태로 증착하였다. 메모리층 제작 시 초기 진공은 10^{-5} Torr이고 1 Å/sec의 속도로 증착하였다. 이때의 터널링 층의 두께는 30 nm와 60 nm이며, 메모리층의 두께는 7 nm이다. 활성층으로는 유기 재료로 P형 반도체로 널리 쓰이는 pentacene을 열

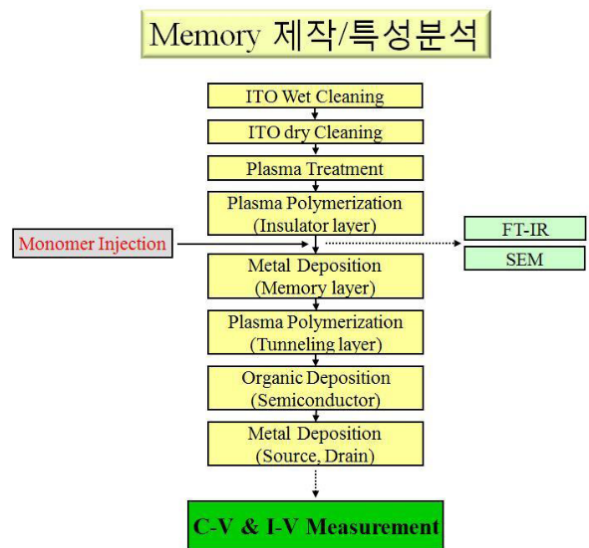


Figure 2. Flow chart of fabrication.

증착 하였다. 이때의 챔버의 초기 진공도는 10^{-5} Torr이고 $0.1 \text{ \AA}/\text{sec}$ 의 속도로 증착하였다. 이때의 활성층의 두께는 40 nm이다.

소스와 드레인 전극으로는 활성층으로 사용된 penta-cene의 HOMO준위와 일함수가 일치하는 Au를 사용하였다. 소스와 드레인 전극의 제작을 위해 전극의 길이다 0.1 mm, 전극간의 거리가 1 mm인 새도우 마스크를 제작하였다. 챔버의 초기 진공도 10^{-5} Torr에서 $100 \text{ \AA}/\text{S}$ 의 속도로 열증착법으로 증착하였고, 이때의 두께는 50 nm이다.

이와 같이 유기 박막 트랜지스터를 응용한 유기 메모리 소자를 제작하였다. 터널링층의 재료와 두께를 다르게 제작하여 실험하였고, 이들의 특성을 비교하기 위해 히스테리시스 전압을 평가 지표로 사용하였다.

2. 메모리 소자의 측정 방법

이러한 유기 메모리 소자의 특성 평가를 위해 게이트 전압 변화에 따른 소스와 드레인 전극 사이의 전류의 변화량을 측정하여 비교하였다. KEITHELEY 2,400으로 게이트 전극으로의 전압 인가와 누설 전류 변화의 측정을 하고, KEITHELEY 236으로 소스와 드레인 전극 사이의 전압 인가와 전류의 변화를 측정하였다. 측정된 데이터는 컴퓨터와 GPIB 시스템으로 연동되는 자체 제작한 랩뷰 프로그램으로 전송되어 기록된다. 특히, 게이트 전압의 변화에 따른 소스와 드레인 전극 사이 전류의 변화의 히스테리시스 현상을 좀 더 쉽게 확인하기 위해 KEITHELEY 2,400에서 게이트 전극에 인가하는 전압을 0.1 V의 작은 step으로 인가하고 소스와 드레인 전극 사이의 전압 $V_{DS} = -15 \text{ V}$ 로 고정하여 전류를 측정하였다. Double sweep시 메모리층에 전자와 정공이 저장됨에 따라서 게이트 전압에 따른 소스와 드레인 전극 사이의 전류의 변화가 히스테리시스를 보이며 변화한다. 히스테리시스의 크기를 히스테리시스 전압이라 부르고 측정된 히스테리시스 전압의 크기를 비교한다.

III. 실험 결과

1. 플라즈마 중합법을 이용한 Styrene 절연박막

게이트 절연층은 누설 전류의 최소화를 위해 높은 절연

강도를 필요로 한다. 본 논문에서는 ICP 플라즈마 중합법을 이용하여 Styrene의 게이트 절연층을 증착하였다. 안정한 유기 절연 박막의 형성을 위해 Ar 가스를 30 sccm, 스토틀벨브로 챔버의 압력을 10 mTorr, 플라즈마를 띄우기 위해 RF Power를 100 W, 좀더 치밀한 막의 형성을 위해 기판 bias를 10 W로 유지시킨 후 증착 시간을 20분, 30분, 40분으로 늘려 절연 특성을 확인하였다. 이때 20분, 30분, 40분은 200 nm, 300 nm, 430 nm의 두께임을 SEM 분석을 통해 확인하였다.

절연 특성은 MIM 구조로 ITO 유리 기판 위에 플라즈마 중합법으로 styrene 절연층을 증착시키고 그 위에 Au 전극을 증착시켜 확인하였다. Table 1은 절연층의 절연 특성을 나타내는 표로 절연 파괴 전압을 정리한 것이다. 이 표에서 알 수 있듯이 styrene 게이트 절연층의 두께가 두꺼울수록 높은 절연 특성을 보이는 것을 알 수 있다. 이때 1.5 MV/cm의 높은 절연강도로 습식법으로 제작된 절연층의 절연 강도보다 뛰어난 특성을 보였다 [12]. 안정한 메모리 소자의 제작을 위해 증착 시간을 40분으로 고정하여 제작하였고 styrene 절연층을 FT-IR 분석한 결과로 플라즈마 중합법으로 제작한 절연층이 styrene 절연 박막임을 알 수 있다 [13].

2. 유기 메모리 소자의 구조 변화에 따른 메모리 특성

2.1 부동게이트형 유기메모리 소자 동작원리

부동 게이트형 유기 메모리 소자의 동작원리에 대한 논리를 Fig. 3에 나타내었다. Fig. 3은 부동 게이트로 사용된 Au 박막에 programing과 erasing 전압에 따라 p형 메모리 트랜지스터의 변화 중 programing에 대해 요약하였다. 반도체 층의 재료가 p형 물질일 경우, 게이트 전극에 일정 크기의 양의 전압을 인가하고, drain 전극에 전위차를 주지 않는다. 이를 programing 한다고 말하고 메모리에 데

Table 1. Breakdown electric voltage of styrene insulation thin film.

Insulator thin film thickness (Styrene)	Breakdown electric voltage [MV/cm]
200 [nm]	1.25 [MV/cm]
300 [nm]	1.5 [MV/cm]
430 [nm]	1.5 [MV/cm]

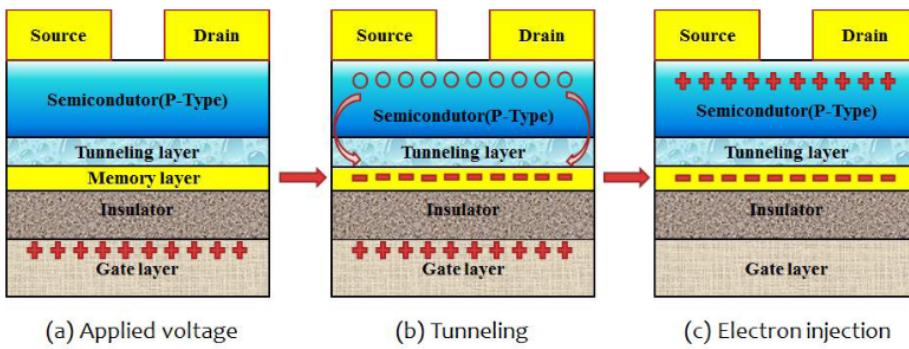


Figure 3. Operation principle of floating gate or organic memory.

이터가 저장되는 현상을 말한다. 이렇게 일정 크기 이상의 programming 전압을 인가하면 반도체 층의 전자가 터널링 층을 통과하여 Au 박막에 저장되는데 저장된 전자는 터널링 층의 높은 절연특성으로 인해 다시 반도체 층으로 돌아가지 못하고 programming 전압이 제거되어도 전자가 저장된 상태가 유지된다.

Drain 전극에 일정한 전압을 인가하고 게이트 전극에 문턱 전압 이상의 음의 전압을 인가하게 되면 소스와 드레인 전극 사이에 전류가 흐르게 된다. Programming 전압의 인가로 인해 반도체 층의 전자가 Au 박막으로 터널링 되어 저장되기 때문에 전자가 빠진 자리에 정공이 형성이 된다. 저장된 전자의 효과로 전자가 저장되지 않은 상태의 메모리 소자보다 다수 캐리어가 정공인 p형 반도체의 채널이 증가하여 전류가 증가하게 된다.

Programming과 반대로 erasing 작용이 있다. Erasing은 게이트 전극에 일정 크기의 음의 전압을 인가하고, drain 전극에 전위차를 주지 않은 상태에서 메모리에 저장된 데이터가 소거되는 현상을 말한다. 이렇게 일정 크기 이상의 erasing 전압을 인가하면 Au 박막에 저장되었던 전자가 다시 터널링 층을 통하여 반도체 층으로 돌아가 Au 박막에서 소거된다.

Drain 전극에 일정한 전압을 인가하고 게이트 전극에 문턱 전압 이상의 음의 전압을 인가하게 되면 소스와 드레인 전극 사이에 전류가 흐르게 된다. Erasing 전압의 인가로 인해 Au 박막에 저장된 전자가 터널링 되어 반도체 층으로 돌아가 소거되기 때문에 정공이 줄어들게 된다. 전자가 소거되었기 때문에 전류의 변화가 처음의 메모리 소자와 같은 특성을 보이게 되고 이런 programming과 erasing 작용으로 인해 문턱 전압의 이동이 일어나 메모리 효과의 지표가 되는 memory window를 측정하게 된다. N형 메모리 트

랜지스터는 p형과 반대로 생각하면 된다.

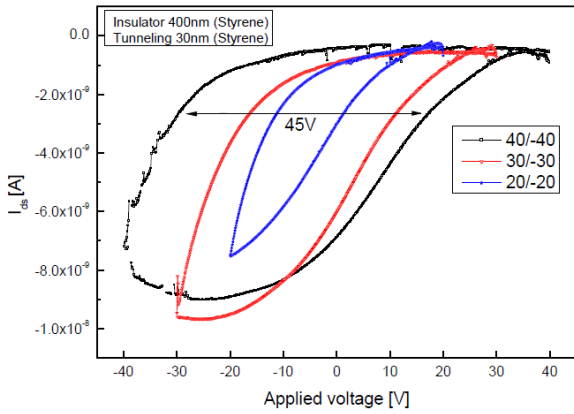
2.2 Styrene 터널링층의 두께변화에 따른 메모리 특성

유기 메모리 소자의 전기적 특성을 측정하기 위해 소스와 드레인 전극 사이의 전압을 -15 V로 고정시키고, 게이트 전극에 double sweep의 전압을 인가하면서 소스와 드레인 전극 사이의 전류를 측정하였다. Double sweep의 측정으로 인해 Fig. 3과 같이 부동 게이트인 메모리층에 양의 전압일 때는 전자가 저장되고 음의 전압일 때는 정공이 저장되어서 그 차이로 인한 히스테리시스 전압을 측정함으로써 전하 포집 능력을 확인하였다. 이 히스테리시스 전압의 크기가 클수록 유기 메모리 소자의 메모리 저장 능력이 뛰어나다는 것을 알 수 있다.

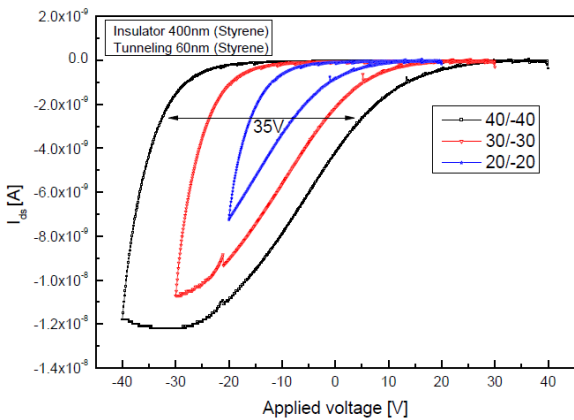
이전 연구에서 유기 메모리 소자의 터널링 층의 두께를 30 nm, 60 nm로 다르게 증착하였다. 터널링 층이 두꺼워짐으로써 활성층에서 메모리층으로 터널링 되는 전자와 정공의 빈도수가 낮아질 것으로 예상하였다. 실제로 터널링 층이 30 nm보다 60 nm일 때 40/-40 V의 double sweep 시 히스테리시스 전압은 27 V에서 22 V로 5 V가 감소함을 알 수 있다 [13]. 본 연구에서도 이전 연구결과와 비슷하게 styrene을 터널링 층으로 활용한 경우, 두께가 30 nm보다 60 nm일 때 40/-40 V의 double sweep 시 히스테리시스 전압은 45 V에서 35 V로 10 V가 감소되는 동일한 현상을 볼 수 있었다.

2.3 Styrene 터널링층의 재료에 따른 메모리 특성

유기 메모리 소자의 전하 포집 능력을 향상시키고자 터널링 층의 두께와 더불어 재료를 바꾸어 실험하였다. 플라즈마 중합법을 이용한 절연층의 재료를 절연 특성이 좋은 MMA로 실험하였다. 이번 실험은 MMA와 비교하기 위해



(a) Styrene tunneling thin film: 30 [nm]



(b) Styrene tunneling thin film: 60 [nm]

Figure 4. Hysteresis voltage.

styrene을 터널링층으로 활용하였다. 절연층 실험에서 확인했듯이 습식 공정보다 안정적인 박막 형성에 적합한 플라즈마 중합법에 의한 MMA와 styrene의 절연 특성은 뛰어나다. 다음은 MMA와 같은 두께 조건인 30 nm와 60 nm를 기준하여 실험하였다.

이전 연구결과에서 터널링층이 MMA일 때 두께 30 nm와 60 nm일 때 27 V, 22 V의 크기를 보였고 [13], Fig. 4와 같이 터널링층을 styrene으로 바꾸었을 때 두께 30 nm와 60 nm일 때 45 V, 35 V의 크기로 크게 증가한 것을 확인할 수 있다. 터널링층이 MMA인 유기 메모리 소자와 비교하였을 때 터널링층의 두께가 두꺼워지면 활성층에서 메모리층으로 터널링 되는 전자와 정공의 빈도수가 낮아져 히스테리시스 전압의 크기가 작아지는 현상은 같았다. 하지만 styrene 자체에 전하 포집 효과가 있기 때문에 터널링층의 얇은 박막의 변화로도 데이터 저장 능력이 크게 증폭됨을 알 수 있다 [14].

Table 2. Hysteresis voltage with tunneling layers.

Hysteresis voltage			
Tunneling layer (MMA 30 [nm])	27 [V]	Tunneling layer (Styrene 30 [nm])	45 [V]
Tunneling layer (MMA 60 [nm])	22 [V]	Tunneling layer (Styrene 60 [nm])	35 [V]

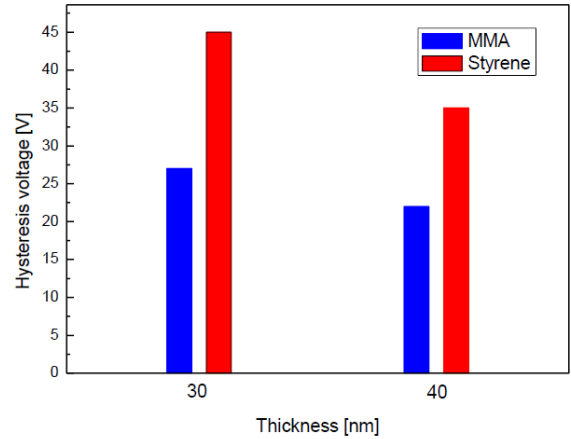


Figure 5. Hysteresis voltage with tunneling layers.

Table 2와 Fig. 5는 이전의 연구결과인 터널링층이 MMA일 때의 데이터와 본 연구에서 적용한 Styrene일 때의 데이터를 정리한 결과이다. 결과를 비교 분석해 보면, 터널링층을 MMA에서 styrene으로 바꾸게 되면 히스테리시스 전압의 60%의 향상율을 보인다. 이는 플라즈마 중합된 styrene 유기 박막의 높은 전하 포집 특성을 가진 이유로 생각되며, 이에 대한 지속적인 연구를 진행할 예정이다.

IV. 결 론

유기 메모리 소자를 만들기 위해 안정한 유기 박막의 제작에 유용한 플라즈마 중합법을 이용하여 유기 재료인 styrene의 공정 조건을 최적화하였다. 최종 소자는 공정 조건을 Ar을 30 sccm, 압력을 10 mTorr, RF power를 100 W, 기판 bias를 10 W로 확립하고 절연층의 절연 특성을 확인하였다. 습식 공정에 비해 뛰어난 절연 특성으로 1.5 MV/cm의 값을 얻었고, 이를 활용하여 부동 게이트를 메모리 층으로 이용한 유기 메모리 소자를 제작하였다. 터널링층의 두께 변화와 재료의 변화를 확인하였고, 두께가 두꺼

울수록 유기 메모리 소자의 전하 포집 능력은 저하되었다. 그리고 터널링층이 styrene이고 두께가 30 nm인 유기 메모리 소자의 45V는 styrene 자체가 전하 포집 효과를 가지고 있어 터널링층이 MMA이고 두께가 30 nm일 때의 27 V에 비해 전하 포집 효과가 18V 더 큰 값으로 60%의 향상율을 보였다.

감사의 글

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2011-0014377).

참고문헌

- [1] C. Zhang, J. Wyatt, and D. H. Weinkauff, *Polymer* **45**, 7665 (2004).
- [2] H. Klauk, *Organic Electronics: Materials, Manufacturing and Applications*, (WILEY- VCH GmbH, 2006), Chapter 6.
- [3] H. S. Kim, B. J. Lee, G. S. Kim, and P. K. Shin, *Jpn. J. Appl. Phys.* **52**, 021601 (2013).
- [4] T. W. Kim, Y. Gao, O. Acton, H. L. Yip, and H. Ma, *Appl. Phys. Lett.* **97**, 023310 (2010).
- [5] H. Y. Choi, S. H. Kim, and J. Jang, *Adv. Mater.* **16**, 732 (2004).
- [6] S. H. Lee, B. J. Lee, Y. T. Lim, J. S. Lim, S. Lee, S. Ochiai, J. S. Yi, and P. K. Shin, *Jpn. J. Appl. Phys.* **51**, 021602 (2012).
- [7] S. Aritome, R. Shirota, G. Hemink, T. Endoh, and F. Masuoka, *Proceedings of the IEEE* **81**, 776 (1993).
- [8] Al Fazio, *MRS Bull.* **29**, 814 (2004).
- [9] Y. S. Park, S. J. Chung, S. J. Kim, S. H. Lyu, J. W. Jang, S. K. Kwon, Y. T. Hong, and J. S. Lee, *Appl. Phys. Lett.* **96**, 213107 (2010).
- [10] T. J. Gim, Y. Choi, P. K. Shin, G. B. Park, H. Y. Shin, and B. J. Lee, *J. Korean Vac. Soc.* **19**, 148 (2010).
- [11] T. J. Gim, B. J. Lee, and P. K. Shin, *J. Korean Vac. Soc.* **19**, 341 (2010).
- [12] Y. V. Pan, E. Z. Barrios, and D. D. Denton, *J. Polym. Sci. Part A* **36**, 587 (1998).
- [13] H. S. Kim, B. J. Lee, and P. K. Shin, *J. Korean Vac. Soc.* **21**, 354 (2012).
- [14] D. Prime and S. Paul, *Vacuum* **84**, 1240 (2010).

Floating Gate Organic Memory Device with Plasma Polymerized Styrene Thin Film as the Memory Layer

Heesung Kim^a, Boongjoo Lee^{b*}, Sunwoo Lee^c, and Paikkyun Shin^a

^aDepartment of Electrical Engineering, Inha University, Incheon 402-751

^bDepartment of Electronic Engineering, Namseoul University, Cheonan 331-707

^cDepartment of Electrical Engineering, Inha Technical College, Incheon 402-752

(Received April 5, 2013, Revised May 6, 2013, Accepted May 6, 2013)

The thin insulator films for organic memory device were made by the plasma polymerization method using the styrene monomer which was not the wet process but the dry process. For the formation of stable plasma, we make an effort for controlling the monomer with bubbler and circulator system. The thickness of plasma polymerized styrene insulator layer was 430 nm, the thickness of the Au memory layer was 7 nm thickness of plasma polymerized styrene tunneling layer was 30, 60 nm, the thickness of pentacene active layer was 40 nm, the thickness of source and drain electrodes were 50 nm. The I-V characteristics of fabricated memory device got the hysteresis voltage of 45 V at 40/-40 V double sweep measuring conditions. If it compared with the results of previous paper which was the organic memory with the plasma polymerized MMA insulation thin film, this result was greater than 18 V, the improving ratio is 60%. From the paper, styrene indicated a good charge trapping characteristics better than MMA. In the future, we expect to make the organic memory device with plasma polymerized styrene as the memory thin film.

Keywords : Plasma polymerization, Styrene, Organic memory, Tunneling layer, Floating gate

* [E-mail] bjlee@nsu.ac.kr