

논문 2013-50-7-18

# 100 Gb/s급 광통신시스템을 위한 고성능 저면적 반복 BCH 복호기 구조

( High-Performance Low-Complexity Iterative BCH Decoder Architecture for 100 Gb/s Optical Communications )

양 승 준\*, 연 제 웅\*, 이 한 호\*\*

( Seung-Jun Yang, Jaewoong Yeon, and Hanho Lee<sup>©</sup> )

## 요 약

본 논문은 100 Gb/s급 광통신 시스템을 위한 반복적인 Bose-Chaudhuri-Hocquenghem (BCH) 부호와 고성능 복호기 구조를 보여준다. 제안된 구조는 고속 데이터 처리율뿐만 아니라 뛰어난 오류정정능력을 보여준다. 제안된 6회 반복 i-BCH 복호기는 메모리 기반의 인터리브 기술을 이용하였으며 6번의 반복 복호시  $10^{-15}$  post-FEC Bit Error Rate(BER) 기준 9.34 dB의 강력한 Net Coding Gain(NCG) 성능을 제공한다. 제안된 고성능 i-BCH 복호기의 구조는 90-nm CMOS 공정을 사용하여 합성한 후 수행한 성능 분석 결과 430 MHz의 동작 속도와 100 Gb/s의 데이터 처리율을 갖는다. 따라서 100 Gb/s급 광통신시스템을 위한 차세대 순방향 오류정정 구조에 적용할 수 있다.

## Abstract

This paper presents a iterative Bose-Chaudhuri-hocquenghem (i-BCH) code and its high-speed decoder architecture for 100 Gb/s optical communications. The proposed architecture features a very high data processing rate as well as excellent error correction capability. The proposed 6-iteration i-BCH code structure with interleaving method allows the decoder to achieve 9.34 dB net coding gain performance at  $10^{-15}$  decoder output bit error rate to compensate for serious transmission quality degradation. The proposed high-speed i-BCH decoder architecture is synthesized using a 90-nm CMOS technology. It can operate at a clock frequency of 430 MHz and achieve a data processing rate of 100 Gb/s. Thus, it has potential applications in next generation forward error correction (FEC) schemes for 100 Gb/s optical communications.

**Keywords** : BCH,, forward error correction, decoder, architecture, optical communications

## I. 서 론

지난 20년간 광통신 분야는 놀라운 성장속도로 발전해 왔다. 광통신 시스템의 기술적 진보는 주로 광학기술이 발전함에 따른 것이지만, Forward Error

Correction (FEC) 기술 역시 기술적 진보에 지대한 영향을 미친 핵심 기술임이다. 초기 광통신 시스템에서는 FEC 기술이 크게 주목 받지 못했는데, 그 이유는 무선/위성통신은 일반적으로  $10^{-3} \sim 10^{-5}$ 의 Bite-Error-Rate (BER)을 보이는 반면 광통신은 채널 특성상  $10^{-9} \sim 10^{-15}$ 의 좋은 BER 성능을 갖고 있었기 때문이다. 그러나 전송 가능 속도가 비약적으로 발전함에 따라 100 Gb/s까지 전송기술 향상이 기대되는 현 시점에서 FEC 는 광통신 시스템에서 없어서는 안 될 중요한 핵심 기술로 자리 잡았다.

블록부호 (Block code)의 일종인 Bose-Chaudhuri-Hocquenghem (BCH) 부호가 해저 광케이블 시스템 전

\* 학생회원, \*\* 평생회원, 인하대학교 정보통신공학과 (Department of Information and Communication Engineering, Inha University)

<sup>©</sup> Corresponding Author(E-mail: hhlee@inha.ac.kr)

※ 이 논문은 2013년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업입(2012R1A1A2007740)

접수일자: 2012년11월28일, 수정완료일: 2013년7월8일

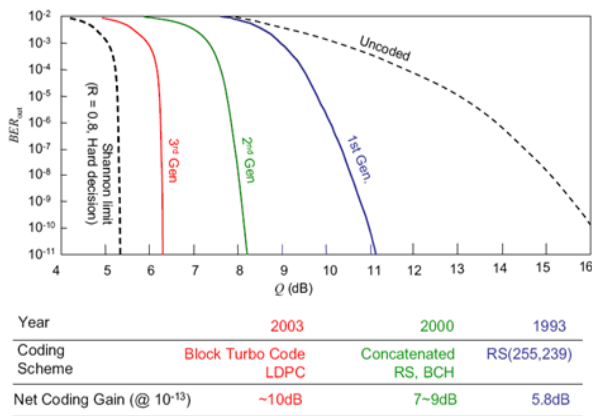


그림 1. 광통신시스템을 위한 FEC의 세대별 성능비교<sup>[3]</sup>  
Fig. 1. Performance comparison of FEC generation for optical communications<sup>[3]</sup>.

송 실험에서 성능이 검증되었고, 이후 Reed-Solomon (RS)(255, 239) 부호가 국제통신연합(ITU) G.975, G.709에 채택되어 많은 응용 분야에서 사용되고 있으며 1세대 FEC로 분류된다. 이후 Wavelength-Division Multiplexing (WDM) 기술의 등장으로 하나의 광섬유에 더 많은 파장의 광 신호를 실어 전송할 수 있게 되었다. 따라서 높은 NCG 성능을 제공하는 FEC의 필요성이 부각되었고 이에 따라 1세대 FEC 보다 성능이 훨씬 뛰어난 FEC의 기술 개발이 진행 되었다<sup>[1]</sup>.

그 결과 연결부호(Concatenated code)와 같은 효율적인 FEC부호가 개발되었고, 2세대 FEC 기술로 분류할 수 있다. 인터리빙 (Interleaving)과 반복 복호법 (Iterative decoding scheme)을 이용한 연결부호 방식이 오류 정정 능력을 향상 시키는데 사용되는 점이 2세대 FEC의 큰 특징이라 할 수 있으며 다양한 종류의 연결부호 FEC들이 ITU-T G.975.1에서 표준 권고안으로 채택 되었다<sup>[2]</sup>. 2세대 FEC들은 Super-FEC 혹은 Enhanced FEC 라고 불리기도 한다. 3세대 FEC는 LDPC로 대표되는 연판정 (Soft-decision) 방식의 FEC인데, 1~2세대의 경판정 (Hard-decision) FEC (HD-FEC)보다 높은 NCG 를 제공한다. 이러한 세대별 광통신용 FEC와 이에 따른 성능을 그림 1에서 보여주고 있다.

그림 2는 지난 20년간 광통신 시스템에서 FEC의 발전 추이를 보여주고 있다. 세로축은 전송률과 NCG를 곱한 값을 나타내며 해마다 약 1.4배씩 성능 향상이 이루어진 것을 알 수 있다. 차세대 100 Gb/s급 광통신시스템에 적용할 FEC에 있어서 가장 중요한 이슈는, G.975.1에서 제안된 Enhanced FEC들 보다 더 높은

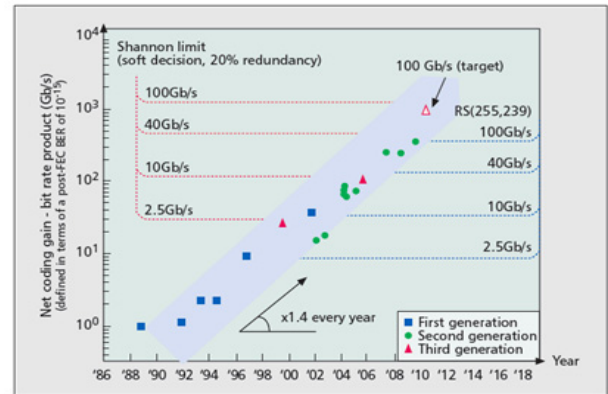


그림 2. 광통신시스템용 FEC의 발전 추이<sup>[3]</sup>  
Fig. 2. Development trends of FEC for optical communications<sup>[3]</sup>.

NCG를 가지면서 면적 효율적인 FEC가 필수적이다. 따라서 본 논문에서는 100 Gb/s급 차세대 광통신 시스템에 적용할 수 있는 오버헤드 (overhead) 6.69% 내외의 Hard-Decision(경판정) 기반 FEC 부호에 대한 성능 분석하여 9.3 dB이상의 강력한 오류 정정 능력을 제공하며 동시에 FPGA 및 VLSI 구현이 가능한 iterative BCH (i-BCH) 기반 FEC 구조를 제안한다.

## II. 본 론

### 1. BCH 부호와 Step-by-Step 알고리즘

BCH 부호는 블록 부호의 일종으로 k-비트의 메시지를 n-비트의 부호어로 부호화 한다. BCH 부호의 모든 연산은 Galois-Field ( $GF(2^m)$ ) 상에서 이루어지며 m값은  $2^{m-1} > n$ 의 조건을 만족하는 정수이다. k-비트 메시지 ( $msg^{k-1}, msg^{k-2}, \dots, msg^0$ )는 k-1의 차수를 가지는 다항식  $MSG(x) = msg^{k-1}x^{k-1} + msg^{k-2}x^{k-2} + \dots + msg^0$  계수로 다루어질 수 있다. 여기서  $msg^{k-1}, msg^{k-2}, \dots, msg^0$ 는  $GF(2)$ 의 원소로서의 조건을 만족한다. 마찬가지로 대응되는 n-비트 부호어 ( $c^{n-1}, c^{n-2}, \dots, c^0$ )는 n-1의 차수를 가지는 다항식  $C(x) = c^{n-1}x^{n-1} + c^{n-2}x^{n-2} + \dots + c^0$ , ( $c^{n-1}, c^{n-2}, \dots, c^0$ )는  $GF(2)$ 의 계수로 다루어질 수 있다. 따라서 BCH 부호의 조직 (systematic) 부호화는 다음과 같이 표현될 수 있다.

$$C(x) = MSG(x) \cdot x^{n-k} + Rem(MSG(x) \cdot x^{n-k})_{g(x)} \quad (1)$$

여기서 n-k의 차수를 가지는 다항식  $G(x) = g^{n-k}x^{n-k} + g^{n-k-1}x^{n-k-1} + \dots + g^0$ , ( $g^{n-k}, g^{n-k-1}, g^0$ )는 BCH 부호의

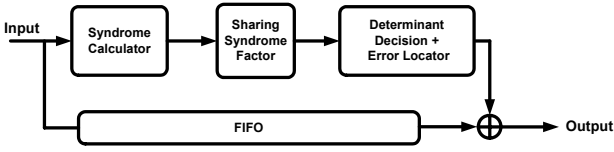


그림 3. SBS 알고리즘을 이용한 BCH 복호 흐름도  
 Fig. 3. Block diagram of using SBS algorithm for BCH Decoding procedure.

생성 다항식 (generator polynomial)이고  $Rem(f(x)/g(x))$ 는  $f(x)$ 를  $G(x)$ 로 나누고 남은 나머지 다항식을 나타낸다. 이렇게 부호화된  $C(x)$ 는 생성 다항식  $G(x)$ 와 같은 근(root)을 공유한다. 생성 다항식  $G(x)$ 는 부호가 사용하는  $GF(2^m)$ 에 대응하는  $\alpha^0, \alpha^{2^{t-1}}$ 로 이루어진  $2t$ 개의 근을 가지도록 생성된다<sup>[4]</sup>. 채널을 통과하면 오류가 섞인 수신어 (Received word)  $R(x)$ 는 부호화된  $C(x)$ 와  $n-1$ 의 차수를 가지는 오류 다항식  $E(x) = e^{n-1}x^{n-1} + e^{n-2}x^{n-2} + \dots + e^0$ , ( $e^{n-1}, e^{n-2}, \dots, e^0$ )  $GF(2)$ 의 합으로 다음과 같은  $n-1$ 차 다항식으로 표현할 수 있다.

$$R(x) = C(x) + E(x) \tag{2}$$

수신된 BCH 수신어로부터 오류를 찾아내어 정정하는 방법은 Syndrome-기반 복호법이 가장 많이 사용되고 있다. Syndrome-기반 복호법은 크게 Peterson-Gorenstein-Zierler (PGZ) 알고리즘<sup>[5-6]</sup>, Step-by-Step (SBS) 알고리즘<sup>[7]</sup>, 그리고 Berlekamp-Massey (BM) 알고리즘<sup>[8]</sup> 또는 Modified Euclidean (ME) 알고리즘<sup>[9]</sup>으로 오류 위치 방정식을 푸는 복호법이 있다.

SBS 알고리즘은 신드롬 값으로부터 행렬식 (determinant)을 유한체 내에서의 반복연산으로 계산하여 오류의 위치를 찾아 정정하는 연산을 수행하는 알고리즘이며 그림 3에서 복호 흐름을 볼 수 있다. 첫째, 수신된 메시지에서 신드롬 다항식  $S(x)$ 을 계산한다. 둘째,  $S(x)$ 으로부터 행렬식  $det(x)$ 을 구한다. 셋째,  $det(x)$ 를 이용하여 해당 위치의 오류를 정정하여 최종적으로 정정된 코드워드를 출력한다. 본 논문에서 사용한 modified Step-by-Step (m-SBS) 알고리즘은 conventional SBS 알고리즘을 식 (3)에서 나타낸 갈로이스 체의 특성을 이용하여 다 채널 구조에 적합하게 개선한 알고리즘이다.

$$S_{i,p} = S_i + a^{ip} \tag{3}$$

$$(i = 1, 3, 5 \quad p = 0, 1, \dots, 1019, 1020)$$

2. 제안된 i-BCH(1020, 988) 기반 FEC 부호

본 논문에서 제안된 복호 방법은 OTU-4 프레임의 기본으로 하며 32,640비트로 구성된 하나의 서브 프레임을 각 채널이 510비트로 구성된 64채널로 나누어 복호를 수행하도록 한다. 하나의 서브프레임은 30592비트의 Payload 영역과 2048비트의 패리티 영역을 갖는다. 서브프레임에 할당된 2048비트의 패리티는 64개의 채널로 나누어져 각 채널당 32비트씩 할당할 수 있고, Payload의 30592비트는 478비트씩 할당할 수 있다. 하지만 이것을 각 채널당 BCH(510, 478) 부호로 사용하지 않고 이전에 수신된 10개의 서브프레임들로부터 하나의 서브프레임 비트 수에 해당하는 32640비트(64채널 510비트로 구성)의 데이터를 더 가지고 와서 1020비트로 구성된 BCH(1020, 988, 3) 부호를 사용한다. 1020비트 중 현재 수신된 서브프레임이 자기 자신의 데이터를 가지고 만들어낸 패리티를 포함하고 있는 510비트를 하위 510비트라 부르고 이전에 수신된 10개의 서브프레임으로부터 가져온 510비트를 상위 510비트라 부른다. 그림 4에서 보이는 바와 같이 오류분산 효과를 높이기 위하여 64채널 형태로 들어가지만 순차적으로 들어가지 않고 같은 서브프레임으로부터 같은 채널로 들어가지 않도록 채널은 계속하여 바꾸어 줌으로써 효율을 높인다. 이렇게 채널을 바꾸어줌으로써 처음 수신되었을 때 복호가 되지 않은 오류를 분산시켜 조각 데이터로서 다음 복호에 참여 할 때에 복호 성공률을 높일 수 있게 된다. 이와 같은 전략은 각 서브프레임이 처음 수신되었을 때 서브프레임 전체가 64 채널로 한 번 복호되고 다시 메모리에 저장되어 다음에 수신될 서브프레임의 복호 과정에 10개 조각 형태로 수신된 서브프레임이 복

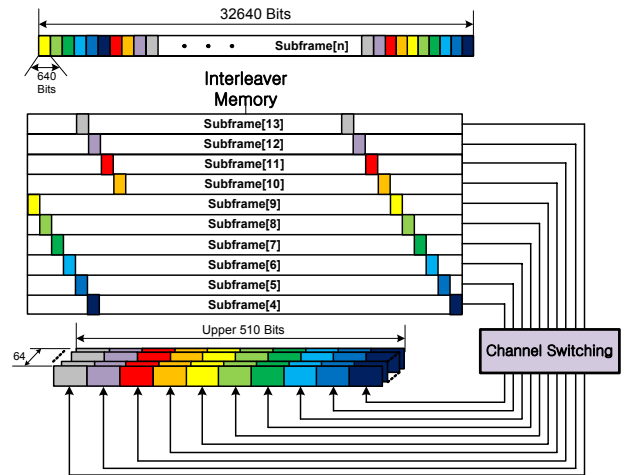


그림 4. 64-채널 부호어의 구성  
 Fig. 4. 64-Channel codeword structure.

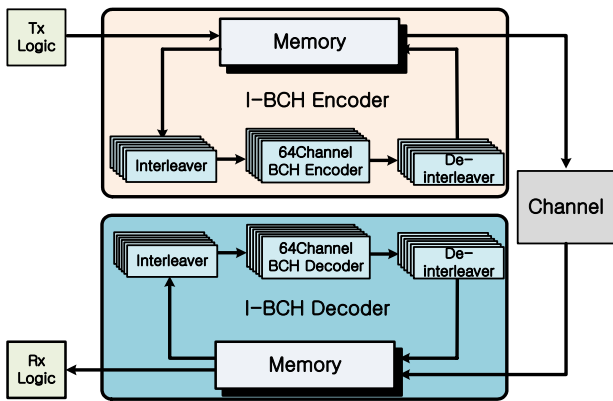


그림 5. 제안된 i-BCH 기반 FEC 전체 블록도  
Fig. 5. Proposed I-BCH FEC scheme.

호 될 때마다 추가로 복호에 참여함으로써 2번의 복호를 하게 되는 것이다. 3200비트씩 9개와 3840비트 1개의 조각으로 나누어진 10개의 조각 데이터는 640비트의 블록으로 나누어져 최대한 오류 분산효과를 얻을 수 있도록 프레임에 연속적으로 할당되지 않고 640비트 단위로 분산되어 프레임에 위치하고 부호어로서 할당할 때에는 64 채널에 10 비트씩 할당하게 된다. 처음 수신되었을 때에는 서브프레임 전체가 복호 되지만 다음 복호 과정은 10번을 조각 형태로 참여하고 10번의 복호가 끝날 때 조각형태의 출력 데이터들이 하나의 서브프레임에 해당하는 만큼의 크기를 만들고 서브프레임 단위로 출력하게 된다. 예를 들어 0번째 프레임이 수신되어 복호가 되면 곧바로 1번째 수신된 프레임은 10개의 조각으로 나누어진 0번째의 프레임의 첫 번째 조각을 복호하고, 2번째 수신된 프레임은 0번째 프레임의 두 번째 조각을 복호하는 방식으로 총 11개의 프레임이 수신되면 첫 번째로 수신된 프레임의 모든 데이터들은 2번의 오류 정정을 하고 출력된다. 하지만 채널당 오류 정정 능력이 작기 때문에 높은 NCG을 얻기 위해 6번의 반복복호가 필요하며 이를 통해 9.3dB 이상의 성능을 얻을 수 있다.

### 3. 제안된 Iterative BCH 복호기 구조

제안된 i-BCH 기반 FEC 구조의 블록도는 그림 5와 그림 6에서 보이는 바와 같다. 복호기는 이전에 수신된 프레임을 저장시킬 메모리가 필요하고 새로운 수신 데이터가 복호 과정에 참여 할 때 이전에 수신된 프레임의 조각 데이터를 참여시켜야 함으로 메모리로부터 데이터를 가져와 부호어를 만들어줄 메모리 기반의 인터리버(interleaver)와 디인터리버(Deinterleaver)가 필요하다. 인터리버와 디인터리버는 모두 하나의 쌍으로서 같

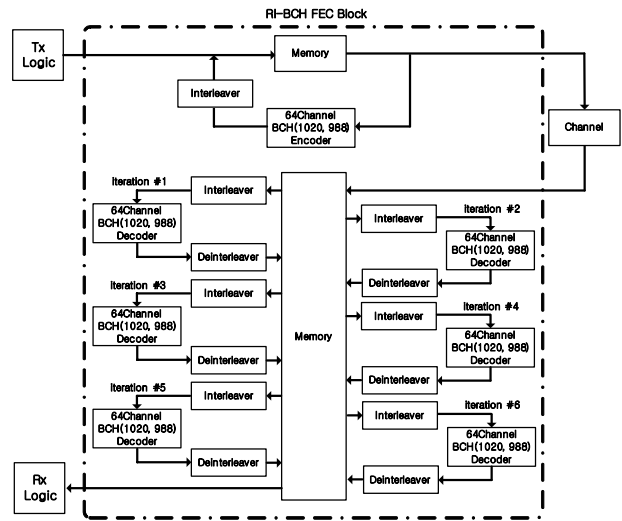


그림 6. 제안된 i-BCH 기반 FEC 구조  
Fig. 6. Proposed I-BCH FEC architecture.

이 구성되어 있으며 인터리버는 메모리로부터 부호어의 상위 510비트를 할당하는 데이터를 처리하고 디인터리버는 복호기를 통해 나온 데이터를 처리하여 메모리 또는 출력으로 전달한다. 복호기는 6번의 반복 복호를 위하여 6개가 순차적으로 배치되어 복호를 수행한다. 6개의 복호기에는 각각의 메모리와 인터리버 디인터리버가 조합되어 있다.

#### 가. 인터리버/디인터리버

인터리버와 디인터리버는 제안된 FEC에서 부호기와 복호기의 입력과 출력을 메모리의 데이터와 연계하여 부호어를 구성함으로써 오류분산 효과를 높이는 역할을 하게 된다. 인터리버와 디인터리버는 채널을 변경하는 부분과 메모리 그리고 메모리 컨트롤러로 구성된다. 채널을 변경하는 부분은 앞서 설명한 바와 같이 64채널로 데이터가 할당 될 때 위치를 바꾸어 줌으로써 오류의 분산효과를 높이는 역할을 하게 되는데 이는 Wire의 연결만 스위칭 시켜주기만 하면 되기 때문에 설계가 간단하다. 그리고 이전에 수신된 프레임으로부터 데이터를 가지고 올 때 같은 프레임의 데이터가 같은 채널의 형태로 데이터가 할당되는 것을 방지하기 위해 총 60가지의 채널 변경 블록이 필요하고 데이터의 입력 순서에 따라 데이터가 채널에 들어가는 순서를 바꾸어 주게 된다.

인터리버와 디인터리버의 메모리는 기본적으로 하나의 OTN 프레임을 저장 가능한 형태가 기본이 된다. 즉 32640비트를 담을 수 있는 메모리의 크기를 하나의 메모리라고 한다면 최소한 이전에 수신된 프레임 10개

를 담을 만큼의 메모리 크기가 필요하다. 하지만 하드웨어로 구현시 앞에 설명한 부분과 실제로 다른 부분이 있는데 복호기의 지연시간(latency)을 고려해야 하는 점이다. 처음 복호를 수행한 후 다음 복호과정에 참여할 때 데이터는 하위 510비트로서 복호과정이 모두 진행된 것이라 가정을 한다. 하지만 복호기의 경우 Syndrome Calculator (SC), Sharing Syndrome Factor (SSFC), Determinant Decision (DD)과 Error Locator (EL) 블록을 거쳐 복호된 데이터가 출력되기 때문에 연속적으로 데이터가 들어올 경우 수신되어 하위 510비트로서 복호에 참여하는 데이터는 바로 다음 수신된 데이터의 복호과정에 참여할 수 없다. 이러한 이유로 복호가 끝날 경우 이의 하위 510비트로서 참여한 프레임의 재사용을 위해 다시 저장할 공간이 필요하므로 총 4개의 프레임에 해당하는 크기만큼의 메모리가 더 필요하게 되며 결과적으로 메모리는 총 14개의 프레임을 담을 수 있는 크기만큼이 요구된다. 복호기와 부호기 내부에서는 512비트로 데이터의 흐름이 진행되므로 하나의 메모리의 Width는 512비트가 되어야 하고

하나의 프레임을 모두 담을 수 있어야 하므로 메모리의 Depth는 64가 되어야 32640비트를 모두 담을 수 있다. 또한 동시에 읽기와 쓰기가 가능해야 하기 때문에 듀얼 포트 메모리로 동작을 할 수 있게 만들었다. 하위 510비트의 출력을 처리할 때에는 순차적으로 나오는 데이터를 메모리 주소에 순서대로 저장 시켜 주면 되지만 상위 510비트를 구성 할 때에는 조각단위로 메모리의 여러 부분으로부터 데이터를 가져와야 하기 때문에 주소의 지정이나 읽기/쓰기 제어가 복잡하다. 이를 제어하기 위하여 연산을 통하여 주소를 계산하고 읽기와 쓰기를 제어한다면 제어부분의 하드웨어 크기 또한 무시할 수 없게 된다. 하지만 결국 같은 과정을 계속해서 반복하는 형태로 진행이 되기 때문에 이 모든 제어 주소를 ROM에 저장시켜 둔 후 순차적으로 꺼내서 쓰는 방식으로 하드웨어를 간소화 하였다.

그림 7은 메모리 기반의 인터리버와 디인터리버의 구조를 보여준다. 인터리버의 경우는 복호기와 부호기로 부터 나온 하위 510비트를 메모리에 재입력하는 동시에 상위 510비트를 구성하기 위하여 이전 수신된 프레임의 조각 데이터를 가져와야 한다. 반대로 디인터리버의 경우는 복호기로 부터 나온 상위 510비트를 지정된 위치에 조각형태로 저장시켜주고 조각형태의 데이터가 하나의 프레임에 해당하는 만큼의 크기로서 다 저장될 때 순서대로 하나의 프레임을 1280비트씩 출력한다.

나. 64-채널 BCH 복호기

그림 8은 64 채널 BCH 복호기 구조를 보여준다. 총 64 채널로 이루어져 있으며 각 채널당 8 병렬로 이루어

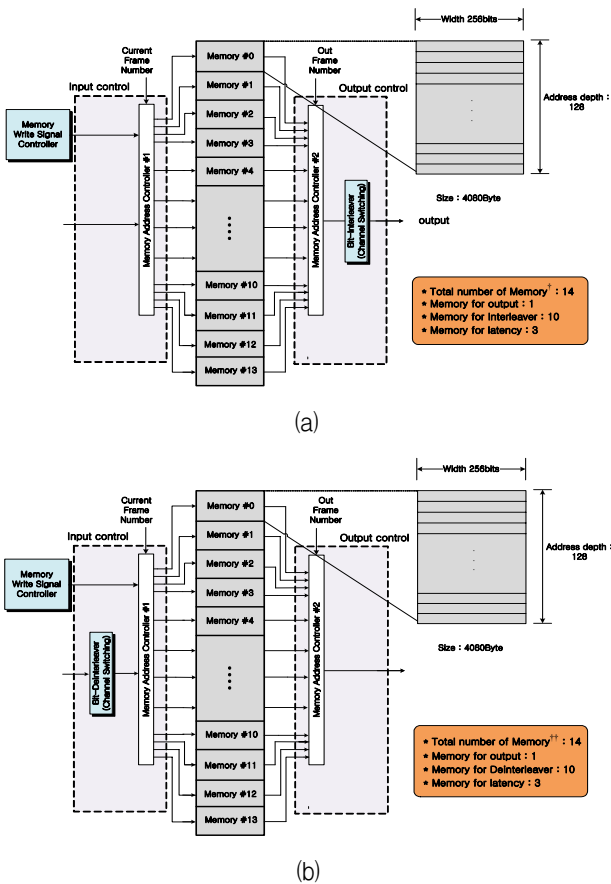


그림 7. 메모리 기반 (a) 인터리버, (b) 디인터리버 구조  
Fig. 7. Memory based (a) Interleaver (b) De-Interleaver architecture.

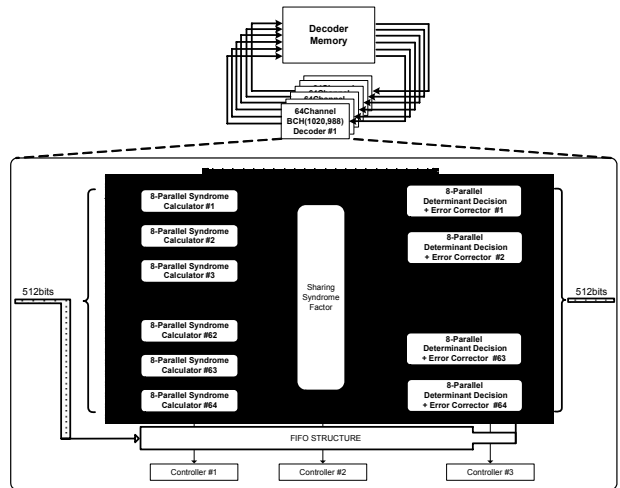


그림 8. 64 채널 BCH 복호기의 구조  
Fig. 8. Block diagram of 64-channel BCH decoder.



진다. 하나의 OTN 서브프레임을 64개의 BCH(1020, 988, 3) 부호로 구성하였기 때문에 복호기는 총 64개의 채널을 가지며 64개의 채널 전체를 커버하기 위해 1개의 SSFC 블록, 64개의 SC 블록과 DD, EL 블록을 가지고 있다.

(1) Syndrome Calculator

그림 9는 BCH(1020, 988, 3) 복호기의 신드롬 계산 블록을 나타낸 블록도이다. 식 (4)와 (5)를 이용하여 신드롬 값을 구할 수 있으며  $GF(2^{10})$  연산에 맞는 심볼(Symbol) 값으로의 변환을 위해 비트스트림은 'Bit2Sym'이라 표시한 변환기를 거쳐 입력 값에 알맞은 심볼 값을 얻어내 신드롬 다항식  $S(x)$ 를 계산한다.

$$R(x) = r_{n-1}x_{n-1} + r_{n-2}x_{n-2} + \dots + r_1x + r_0 \quad (4)$$

$$S_i = r_{n-1}\alpha^{i \times (n-1)} + r_{n-2}\alpha^{i \times (n-2)} + \dots + r_1\alpha^i + r_0 \quad (5)$$

$$S_{2i} = (S_i)^2 \quad (i = 1, 2, 3, \dots, t) \quad (6)$$

BCH 복호화 과정에 있어 다음 식 (6)이 항상 참이라는 사실은 [10]에 증명되어 있고, [11]은 이 특성을 이용해 전체 복호기의 하드웨어 크기를 줄였다. 또한 식 (6)을 k-승수에 대해 일반화시켜서 더 면적이 작은 신드롬 계산 블록의 하드웨어 구조의 설계가 가능하다.

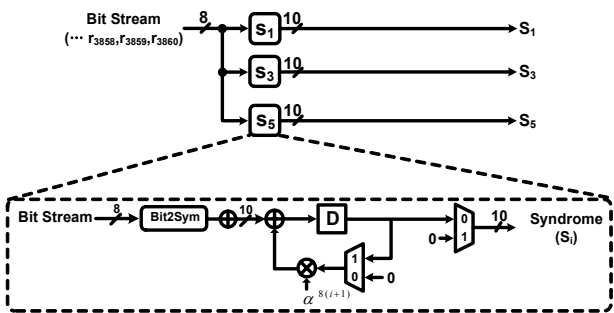


그림 9. 신드롬 계산 블록도  
Fig. 9. Block diagram of syndrome calculator.

(2) Sharing Syndrome Factor Calculator

그림 10은 SSFC 블록도이다. SSFC은 앞에 SC 블록에서 구한 신드롬 다항식을 입력 받아 DD 블록에서 사용되는 변수들을 구한다. 다채널 구조를 가진 BCH 복호기의 하드웨어 복잡도 문제는 상당히 중요한 이슈이다 이러한 하드웨어 복잡도 문제를 해결하기 위해 앞

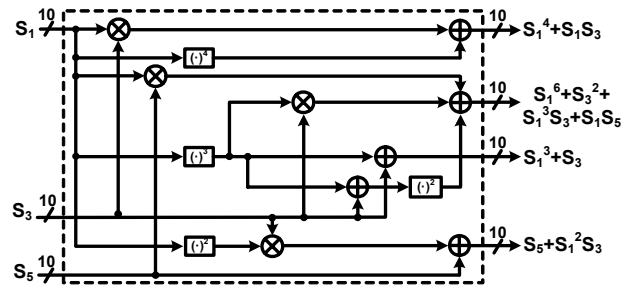


그림 10. Sharing Syndrome Factor Calculator 블록도  
Fig. 10. Block diagram of sharing syndrome factor calculator.

에서 제안한 m-SBS 알고리즘을 사용 하였다. 기존 SBS 알고리즘은 SSFC가 각각의 채널마다 필요하지만 다채널 구조에 적합하게 개선된 m-SBS 알고리즘에서는 Time-Multiplexing 기법을 통해 하나의 SSFC 블록을 공유하여 사용 할 수 있으므로 1개의 SSFC 블록이 64개의 신드롬 블록으로부터 계산된 신드롬 다항식을 처리한다.

(3) Determinant Decision 과 Error Locator

그림 11은 DD 블록의 블록도이다. 행렬식  $\det(x)$ 은 실제 오류 위치의 정보를 가진 다항식이다. SSFC에 의해 계산되어진 변수 값을 가지고 행렬식  $\det(x)$ 을 구한다. 이를 구하기 위해선 많은 연산량이 필요하고 이 때문에 하드웨어 복잡도가 다른 블록에 비하여 월등히 높은 블록이며 임계경로 지연을 가지는 블록이다. 각 병렬차수 및 부호어의 위치에 따라서 검사를 실행하며 해당 위치가 오류일 경우는 '0'을 생성하고 오류가 아닐 경우 '1'을 생성한다.

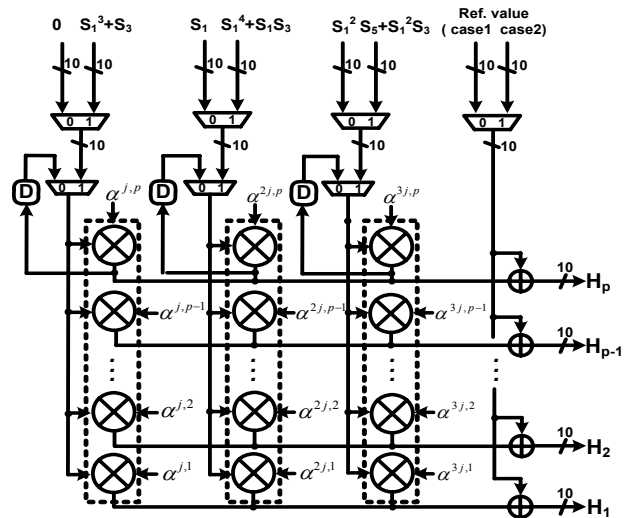


그림 11. Determinant Decision 블록도  
Fig. 11. Block diagram of determinant decision.

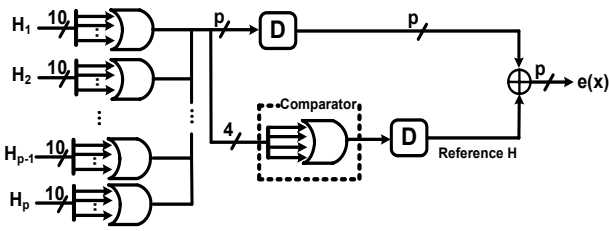


그림 12. Error Locator 블록도  
Fig. 12. Block diagram of error locator.

Error Locator 블록은 앞에서 구현된 오류위치 정보를 가지고 있는 행렬식  $\det(x)$ 의 값을 이용하여 오류를 정정하는 블록이다. 그림 12에서 볼 수 있듯이 행렬식  $\det(x)$ 는 갈로이스 체의 연산 필드인 10비트로 입력이 되는데 m-SBS 알고리즘에서는 행렬식 값이 '0'인지 '0'이 아닌지만 판단하면 되므로 10비트의 십진수 값을 이용할 필요 없이 비트 단위 OR 연산을 통해 1비트로 바꿔주는 방법을 선택하여 연산량 감소효과를 가질 수 있었다. 또한 conventional SBS 알고리즘에서는 초기 수신어로 구한 신드롬 다항식을 이용한 행렬식 값과 변화된 신드롬 다항식으로 구한 행렬식 값을 비교하여 오류의 위치인지 아닌지를 파악하고 정정 하였다. 하지만 m-SBS 알고리즘에선 행렬식  $\det(x)$ 의 초기 입력 값 4 개를 레지스터에 저장하여 오류의 개수를 파악 할 수 있는 'comparator' 블록을 추가 하였다. 이 블록을 추가 함으로써 원신호로 구한 행렬식을 저장하여 오류의 개수 및 오류 위치를 비교 할 필요가 없어지게 되고 따라서 채널 차수 만큼의 연산량을 줄일 수 있다.

### III. 성능 분석 및 비교

제안된 i-BCH기반 FEC 구조를 상위레벨 언어인 C 언어로 설계하고 그 성능을 검증하였으며 이를 Verilog-HDL를 이용하여 하드웨어 설계를 하고 멘토 그래픽스사의 ModelSim을 이용한 시뮬레이션을 통해 기능을 검증하였다. Verilog-HDL을 사용하여 설계한 구조의 결과는 상위레벨 언어를 이용하여 구현한 결과와 일치함을 확인하였다. 기능 검증을 마친 후 90-nm CMOS 공정 및 Synopsys Design-Compiler를 사용하여 로직 게이트 수와 클럭 속도 등을 분석하였다. 그림 13은 제안된 i-BCH부호의 BER그래프이다. 최대 반복 복호 횟수는 6번을 하여 BER 성능을 측정하였다. FEC 성능을 분석하고 비교하기 위해 채널 환경은 Additive White Gaussian Noise (AWGN)을 사용하고, BPSK modulation을 적용하여 Signal to Noise Ratio (SNR)

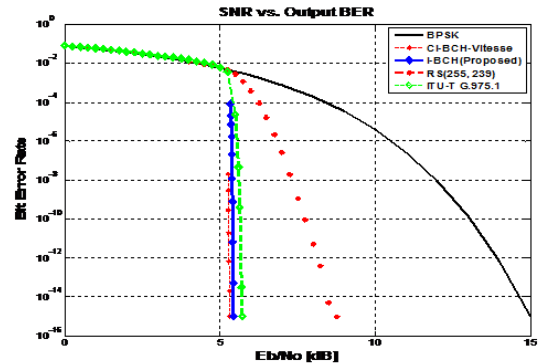


그림 13. 성능비교 (SNR vs Output BER)  
Fig. 13. Performance (SNR vs Output BER).

표 1. 합성 결과 및 성능 비교  
Table 1. Implementation result and performance comparisons.

Design	I.3-CBCH decoder [12]	L-CBCH decoder [13]	H-CBCH decoder [14]	Proposed i-BCH decoder
Redundancy ratio	6.69%	6.81%	6.69%	6.69%
Iteration	3	2	6	6
$NCG$ at $10^{-15}$ output BER (dB)	8.99	8.91	9.19	9.34
Gate count	2,781K	1,928K	3,732K	1,558K
Technology	90-nm	90-nm	90-nm	90-nm
Clock rate (MHz)	320	430	430	430
Total latency (Clocks)	8,148 (25.5ms)	5,082 (11.8ms)	16,326 (38.0ms)	25,137 (58.4ms)
Throughput (Gb/s)	81.9	110.1	110.1	110.1

에 따른 성능을 측정하였다. NCG는 ITU-T G.975.1에 정의 되어 있는 아래의 식(7)을 적용하여 산출하였다.

$$NCG = 20\log_{10}[\text{erfc}^{-1}(2B_{ref})] - 20\log_{10}[\text{erfc}^{-1}(2B_{in})] + 10\log_{10}R \quad (7)$$

where  $B_{ref}$  = 출력BER,  $B_{in}$  = 입력BER,  $R$  = 부호율

그림 13에서 볼 수 있듯이 BER의 곡선이 Linear한 특성을 보이고 있으며  $10^{-10}$ 의 BER까지 성능 측정을 수행한 결과  $10^{-15}$ 의 Post-FEC BER에서는 약 9.34 dB의 NCG성능을 보인다. 표 1은 I.3-CBCH, L-CBCH, H-CBCH와 제안된 i-BCH 복호기의 합성 결과를 보여 준다. 제안된 i-BCH 복호기는 복호기 출력 BER  $10^{-15}$ 에서 9.34 dB의 NCG를 가지며 표1에서 비교한 다른 복호기 보다 높은 NCG를 갖는다. 또한 H-CBCH 복호기

와 비교하였을 때 약 58%의 게이트 감소 효과를 가지고 최대 클럭 스피드는 430 MHz이며 데이터 처리율 (throughput)은 110 Gb/s 이다.

#### IV. 결 론

지난 20년간 광통신 시스템의 전송능력은 10Gb/s 및 40Gb/s를 넘어서 Digital coherent 방식을 채택 하면서 100Gb/s 이상의 전송능력을 보이고 있다. 이에 따른 OSNR 결핍을 해결하기 위해서 가장 효율적인 방법은 고성능 FEC를 사용 하는 것이며, 이에 따라 강력한 NCG 성능을 갖는 FEC에 대한 연구가 활발히 진행 되고 있다. 본 논문에서 제안하는 방법은 6.69% 오버헤드가 적용된 OUT-4프레임을 공유하면서  $1E^{-15}$  복호기 출력 BER에서 9.34dB이상의 높은 NCG를 얻을 수 있으며 100Gb/s의 전송률을 얻을 수 있다. 또한 m-SBS 알고리즘을 적용하여 블록의 연산량을 줄일 수 있도록 하였고 메모리 기반의 인터리빙과 디인터리버의 복잡한 메모리 컨트롤러를 Address와 다른 신호들을 ROM에 내장하여 읽어 내는 방식으로 계산량을 줄여 복잡도를 낮추었다. 따라서 100 Gb/s 이상의 고속 광통신 시스템에 적합하며 향후 연구를 발전시켜 앞으로 필요하게 될 NCG 10dB 이상의 더욱 성능 좋은 FEC의 기반 기술을 얻을 수 있는 토대를 마련하였다.

#### REFERENCES

- [1] 최창석, 이한호, "100Gb/s급 광통신시스템을 위한 3-병렬 Reed-Solomon 기반 FEC 구조 설계," 전자공학회 논문지, 제46권 SD편 제 11호, pp. 48-55, 2009년 11월.
- [2] Forward Error Correction for high bit-rate DWDM Submarine Systems," Telecommunication Standardization Section, International Telecom. Union, ITU-T Recommendation G.975.1, Dec. 2004.
- [3] K. Onohara et. al, "Soft-decision-based Forward Error Correction for 100 Gb/s Transport Systems," IEEE Jour. of Selected Topics in Quantum Electronics, vol. 16, pp. 1258-1267, Sept. 2010.
- [4] 이만영, "BCH 부호와 Reed-Solomon 부호," 민음사, 1990.
- [5] H. Hsu, S. Wang and A. Wu, "A Novel Low-Cost Multi-Mode Reed Solomon Decoder Design Based on Peterson-Gorenstein-Zierler Algorithm," Journal of VLSI Signal Processing, vol. 34, no. 3, pp. 251-259, Nov. 2003.
- [6] M. Srinivasan and D. V. Sarwate, "Malfunction in the Peterson-Gorenstein-Zierler decoder," IEEE Trans. on Information Theory, vol. 11, no. 4, pp. 580-585, Oct. 1965.
- [7] J. L. Massey, "Step-by-step decoding of the Bose-Chaudhuri-Hoquenhe m codes," IEEE Trans. Inform. Theory, vol. IT-6, pp. 580-585, Oct. 1965.
- [8] D. V. Sarwate and N. R. Shanbhag, "High-speed Architectures for Reed-Solomon decoders," IEEE Transactions on VLSI Systems, vol. 9, pp. 641-655, Oct. 2001.
- [9] S. Lee and H. Lee, "A High-Speed Pipelined Degree Computationless Modified Euclidean Algorithm Architecture for Reed-Solomon Decoders," IEICE Trans. on Fundamentals of Electronics, Communications, and Computer Sciences, vol. E91-A, no. 3, pp. 830-835, Mar. 2008.
- [10] E. R. Berlekamp, "Algebraic Coding Theory," New York: McGraw-Hill, 1968. (revised ed. - Laguna Hills, CA: Aegean Park, 1984).
- [11] H. Kristian, H. Wahyono, K. Rizki, T. Adiono, "Ultra-fast-scalable BCH decoder with efficient-Extended Fast Chien Search," IEEE International Conference on Computer Science and Information Technology (ICCSIT), pp. 338-343, July 2010.
- [12] S. Yoon, H. Lee and K. Lee, "High-speed two-parallel concatenated BCH-based super-FEC architecture for optical communications," IEICE Trans. Fundamentals, vol.E93-A, no.4, pp.769-777, April 2010.
- [13] K. Lee, H.-G. Kang, J.-I. Park and H. Lee, "A high-speed low-complexity concatenated BCH decoder architecture for 100Gb/s Optical communications," Journal of Signal Processing Systems, vol. 6, no. 1, pp. 43-55, Jan. 2012.
- [14] K. Lee and H. Lee, "A High-Performance Concatenated BCH Code and Its Hardware Architecture for 100 Gb/s Long-haul Optical Communications," International SoC Design Conference (ISOCC2010), pp. 428-431, Nov. 2010.

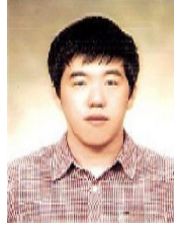


저 자 소 개



양 승 준(학생회원)  
 2011년 상명대학교 정보통신공학  
 학사 졸업  
 2013년 인하대학교 정보통신공학  
 석사 졸업

<주관심분야 : 오류정정 아키텍처 설계>



연 제 응(학생회원)  
 2011년 인하대학교 정보통신공학  
 학사 졸업  
 2013년 인하대학교 정보통신공학  
 석사 졸업

<주관심분야 : 오류정정 아키텍처 설계>



이 한 호(평생회원)  
 1993년 충북대학교 전자공학과  
 학사 졸업  
 1996년 Univ. of Minnesota  
 전기컴퓨터공학  
 석사 졸업  
 2000년 Univ. of Minnesota 전기  
 컴퓨터공학 박사 졸업

2000년~2002년 Member of Technical Staff, Lucent Technologies(Bell Labs.), USA.

2002년~2004년 Assistant Prof. Dept. of Electrical and Computer Engineering, Univ. of Connecticut, USA.

2004년~현재 인하대학교 정보통신공학부 교수  
 <주관심분야 : 디지털신호처리 및 오류정정 아키텍처 설계>