

논문 2013-50-8-15

# 내방사선용 Shift Register의 제작 및 양성자를 이용한 SEU 측정 평가

( Design of Radiation Hardened Shift Register and SEU Measurement and Evaluation using The Proton )

강 근 훈\*, 노 영 탁\*\*, 이 희 철\*\*\*

( Geun Hun Kang<sup>Ⓞ</sup>, Young Tak Roh, and Hee Chul Lee )

## 요 약

SRAM, DRAM을 포함한 Memory 소자들은 우주환경에서 고에너지 입자에 취약하다. SEE(Single Event Effect) 또는 TID(Total Ionizing Dose)에 의해서 소자의 비정상적인 동작이 야기될 수 있다. 본 논문은 SRAM의 기본 단위 셀인 Latch 회로를 이용하여 양성자에 대한 취약성을 나타내는 SEU cross section을 추정할 수 있는 방법에 대해서 설명한다. 또한 양성자에 의한 SEU 효과를 줄일 수 있는 Latch 회로를 제안하였다. 두 소자를 이용하여 50b shift register를 0.35 $\mu$ m 공정에서 제작하였고, 한국 원자력 의학원의 43MeV 양성자 빔을 이용하여 방사선 조사 실험을 진행하였다. 실험 결과로부터 conventional latch를 이용한 shift register에 비해서 제안한 latch를 이용한 shift register가 방사선 환경에서 내구성이 강한 동작 특성을 가진다는 것을 확인하였다.

## Abstract

Memory devices including SRAM and DRAM are very susceptible to high energy radiation particles in the space. Abnormal operation of the devices is caused by SEE or TID. This paper presents a method to estimate proton SEU cross section representing the susceptibility of the latch circuit that the unit cell of the SRAM and proposes a new latch circuit to mitigate the SEU. 50b shift register was fabricated by using the conventional latch and the proposed latch in 0.35 $\mu$ m process. Irradiation experiment was conducted at KIRAMS by using 43MeV proton beam. It was found that the proposed latch-shift register is not affected by the radiation environment compared to the conventional latch-shift register.

**Keywords :** SEE(Single Event Effect), SEU(Single Event Upset), Proton, Latch, SEU cross section

## I. 서 론

\*: \*\* 학생회원, \*\*\* 정회원, 한국과학기술원 전기 및 전자공학과

(Department of Electrical Engineering, Korea Advanced Institute of Science and Technology)

Ⓞ Corresponding Author(E-mail: fine108@kaist.ac.kr)

※ 본 연구는 한국연구재단을 통해 교육과학기술부의 우주기초원천기술개발 사업(NSL, National Space Lab)으로부터 지원받아 수행되었습니다. (2011-0020906). 본 연구에 사용된 CAD tool은 반도체설계교육센터(IDEC)에서 지원 받았습니다.

접수일자: 2013년1월24일, 수정완료일: 2013년7월29일

우주 방사선 환경은 고에너지 이온 입자들과 지구 자기장, 플라즈마 작용 등, 복잡한 시스템으로 구성되어 있다. 특히, 고에너지의 전자(electron), 양성자(proton), 중하전입자(Heavy ion)들은 Van allen radiation belt, Galactic cosmic ray, Solar energetic particle<sup>[1]</sup>등에 의해 발생하며, 또한 지구 대기 중의 입자와 상호작용을 통하여 상당한 방사선 입자를 생성해내는 원인이 된다. 이러한 고에너지 입자들은 인공위성이나, 우주 탐사선

과 같은 특수 용도로 제작된 전자 소자에 영향을 미치게 되며, 이러한 효과는 TID(Total Ionizing Dose)와 SEU(Single Event Upsets), SEL(Single Event Latchup), SET(Single Event Transient)등을 포함하는 SEE(Single Event Effects)로 크게 두 가지로 분류할 수 있다.<sup>[2]</sup>

특히 고에너지 방사선 입자에 의한 SEE는 Latch나 SRAM과 같은 Memory 소자에 저장되어 있는 data 값을 변형하여 시스템 전체의 에러를 야기할 수 있다. 예를 들어 논리 데이터 1이 0으로 바뀐다거나 또는 0이 1로 바뀌는 현상을 말한다. 이를 SEU 또는 soft error라고 하며, 1970년대 SRAM, DRAM 과 같은 Memory 소자에서 SEU 효과가 처음으로 발견되었다. 최근에는 미세 공정에 의한 소자의 크기의 감소에 따른 커패시턴스의 감소와 저전력 소자를 위한 Supply voltage의 감소로 인해 하나의 전자 소자가 고에너지 방사선 입자에 대해 더욱 취약하게 되었고, 소자내의 단위 cell의 밀집도가 높아질수록 MBU(Multiple Bit Upset)가 일어날 확률 또한 높아지게 되었다.

이에 고 신뢰성 우주용 메모리 소자를 위해 TMR(Triple Modular Redundancy)Latch, 방사선에 취약한 부분의 기생(parasitic) 커패시턴스 크기의 증가, MOSFET을 추가하여 기존의 latch 구조를 변형시키는 등 여러 가지 방법이 연구되어 왔다. 하지만 TMR 방법은 SEU에 대해 고 신뢰성 동작을 보여주는 대신에 많은 면적을 차지하며 전력 효율이 좋지 않아 활용 범위가 상당히 제한적이다. 또한 새롭게 제안된 여러 구조의 Latch들은 높은 신뢰성을 보장하지 못하는 문제점이 존재하거나 정상적인 Latch 동작에 어려움이 존재하였다.

이러한 문제점을 해결하기 위해 본 논문에서는 SRAM의 기본 구조가 되는 단위 Latch cell의 SEU 감소를 목적으로 하는 2중 feedback loop를 이용한 Latch를 제안하였다. 제안한 Latch내에서 data는 3개의 node에 의해서 저장되며, 이 node들을 이용하여 upset된 node를 보정하는 원리이며 제 II장에 상세하게 설명하였다. 또한 Latch 소자가 양성자에 대한 민감도를 나타내는 SEU cross section을 제 III장에서 추정 및 분석하였다. 고에너지 양성자는 Silicon기판 내에서 아주 작은 LET(Linear Energy Transfer : 단위 길이 당 전달하는 에너지의 양)를 가지기 때문에 직접적인 효과는

무시할 수 있지만 양성자가 Si 원자핵과 핵반응(Nuclear Reaction)을 통해 중하전 입자를 생성할 수 있기 때문에 수백nm급 이하의 공정에서 SEU가 일어날 확률을 무시할 수 없다. 이에 대해 기존의 Latch와 제안한 Latch를 이용하여 50bit shift register를 0.35 $\mu$ m 공정에서 설계 하여 SEU 시뮬레이션 및 양성자 조사 실험을 진행하였다.

## II. Latch 구조에 따른 SEU 비교 분석

### 2.1 Conventional Unit Latch에 대한 SEU분석

Conventional Latch는 Node에 저장되는 전압의 값을 유지하기 위해 일반적으로 두 개의 Inverter 소자를 이용한 Feedback loop를 형성한다. 하지만 신호의 제어를 위해 NAND 소자를 이용한 Conventional Latch 구조를 그림 1에서 나타내었다. Clock 신호가 Low 레벨일 때, P1과 N1이 도통 상태를 유지하고 있기 때문에, IN 신호가 OUT 단자까지 전달이 된다. Clock 신호가 High 레벨일 때, P2와 N2가 도통 상태가 되며, 이전에 IN 신호로부터 저장되었던 Node 전압 값이 Feedback loop에 의해 유지된다.

예를 들어, P1, N1을 통해 Node A의 논리 레벨이 High라고 가정했을 때, 고에너지 양성자가 P4의 Drain Junction에 입사한다면 Single Event Upset이 일어날 수 있다. SEU는 역방향 바이어스(Reverse bias)를 형성하는 P/N 접합부에 고에너지 입자들이 입사하였을 때 주로 발생하는데, 양성자에 의해서 생성된 EHP(Electron-Hole Pair)들이 Drain에 걸리는 Electric field

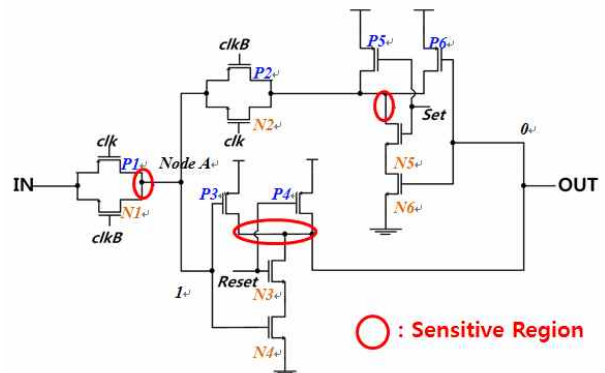


그림 1. Conventional Latch 회로  
Fig. 1. Conventional Latch circuit.

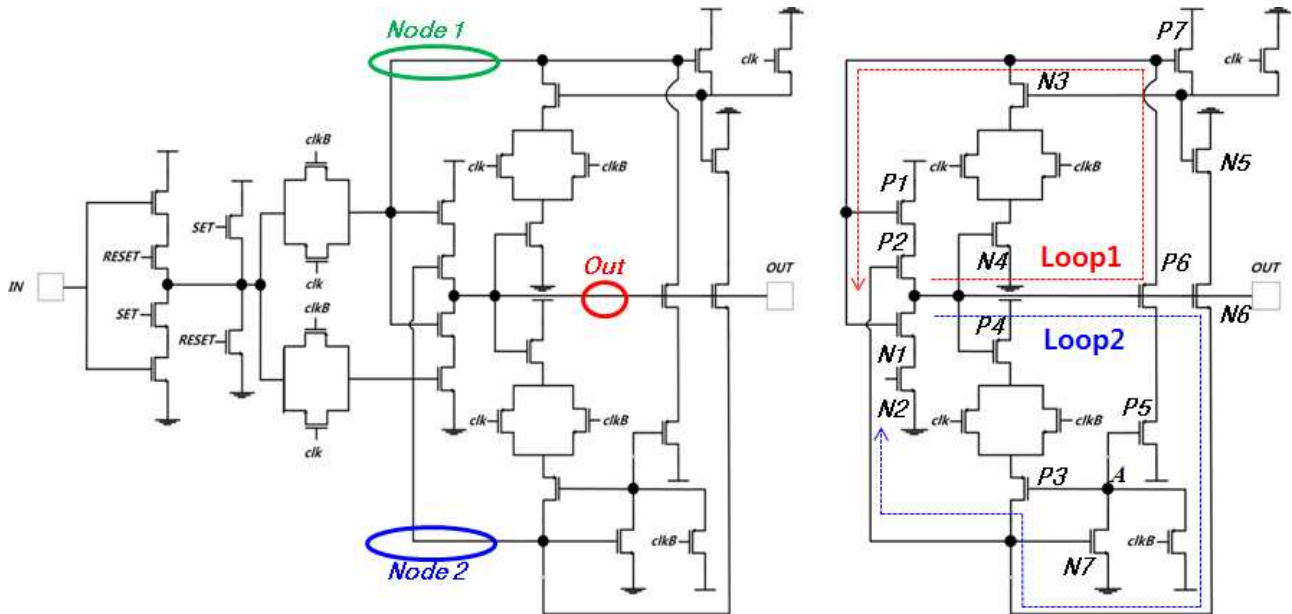


그림 2. 제안된 Latch 회로 (a) Transparent Mode (b) Latched Mode  
Fig. 2. The proposed Latch circuit (a) Transparent Mode (b) Latched Mode.

에 의해 Charge들이 순간적으로 빠지거나 들어올 수 있기 때문이다. 순간적인 Charge들에 의해 바뀐 논리 레벨은 feedback loop에 의해 고정되기 때문에 Memory 소자들이 방사선에 취약하다고 말하며, 이를 SEU라고 한다.

앞서 언급하였듯이, 양성자가 Silicon과의 핵반응을 통해서 중하전 입자를 생성하였을 때의 경우에 한해서 SEU에 대한 분석을 진행하도록 한다.

## 2.2 SEU 감소를 위해 제안된 Latch의 구조와 원리

앞서 서론에서 언급하였듯이, 회로의 구조를 이용한 SEE 완화 방법은 많은 연구자들에 의해서 제시되었다. M. Omana et al.<sup>[3-4]</sup>에서 제시한 Latch의 경우, 기존의 Conventional Latch의 문제점을 해결하였지만, 출력 단자에서 SEU가 발생했을 때의 문제를 해결 하지 못하는 단점이 존재한다. 또한 ZHOA Y et al.<sup>[5]</sup>에서 제시된 Latch 역시 출력 단자에서의 SEU 가능성을 막지 못하는 문제점을 가지고 있다. WANG L. et al.<sup>[6]</sup>과 Arima Y. et al.<sup>[7]</sup>에 제시된 Latch의 경우 기본 원리는 비슷하나, Weak driving NMOS, PMOS 구조를 사용함으로써 몇 개의 Node 전압이  $V_{DD}-2V_{thn}$  또는  $GND+2V_{thp}$ 로 유지된다. 이는 미세 공정에서 제작된 소자일 경우 양성자에 더욱 취약할 수 있는 문제를 가지고 있다고 할 수 있다.

이러한 문제점을 극복하기 위해 본 논문에서 제시한 Latch의 구조를 그림 2에 (a) Transparent Mode와 (b) Latched Mode로 나누어서 나타내었다. 기존 Conventional Latch가 하나의 feedback loop를 통해 data의 값을 유지하였다면, 제안한 Latch 구조는 2개의 Feedback loop를 구현하여 Node1, Node2, Out Node에 data를 저장 할 수 있도록 설계하였다. 즉 3개의 Node 중 하나가 고에너지 양성자 입자에 의해 Node의 논리 레벨에 변화가 있더라도 2개의 정상적인 Node 논리 레벨이 하나를 원래의 상태로 복구하는 원리이다.

예를 들어, High 레벨 IN 신호가 Transmission gate를 통해 전달된 뒤, 다음 Clock 신호에서 data가 저장된 상태(Latched Mode)일 때, 각각의 Node에 양성자가 입사하여 SEU를 일으키는 경우를 고려해보면 다음과 같다.

**1. Node 1 upset** : P3와 P4, N3와 N4 사이의 Transmission gate는 Latch 모드에서 항상 도통 상태이며, N7, P5, P6 또한 도통 상태이다. 따라서 Node 1의 논리 레벨이 바뀐다 하더라도, 원래의 레벨로 다시 복구가 될 수 있다.

**2. Node 2 upset** : Node 2에 저장된 논리 레벨이 바뀌었을 때, Out node와 Node A가 플로팅(floating)상태가 된다. 이때 Electron 또는 Hole들의 life time은 수

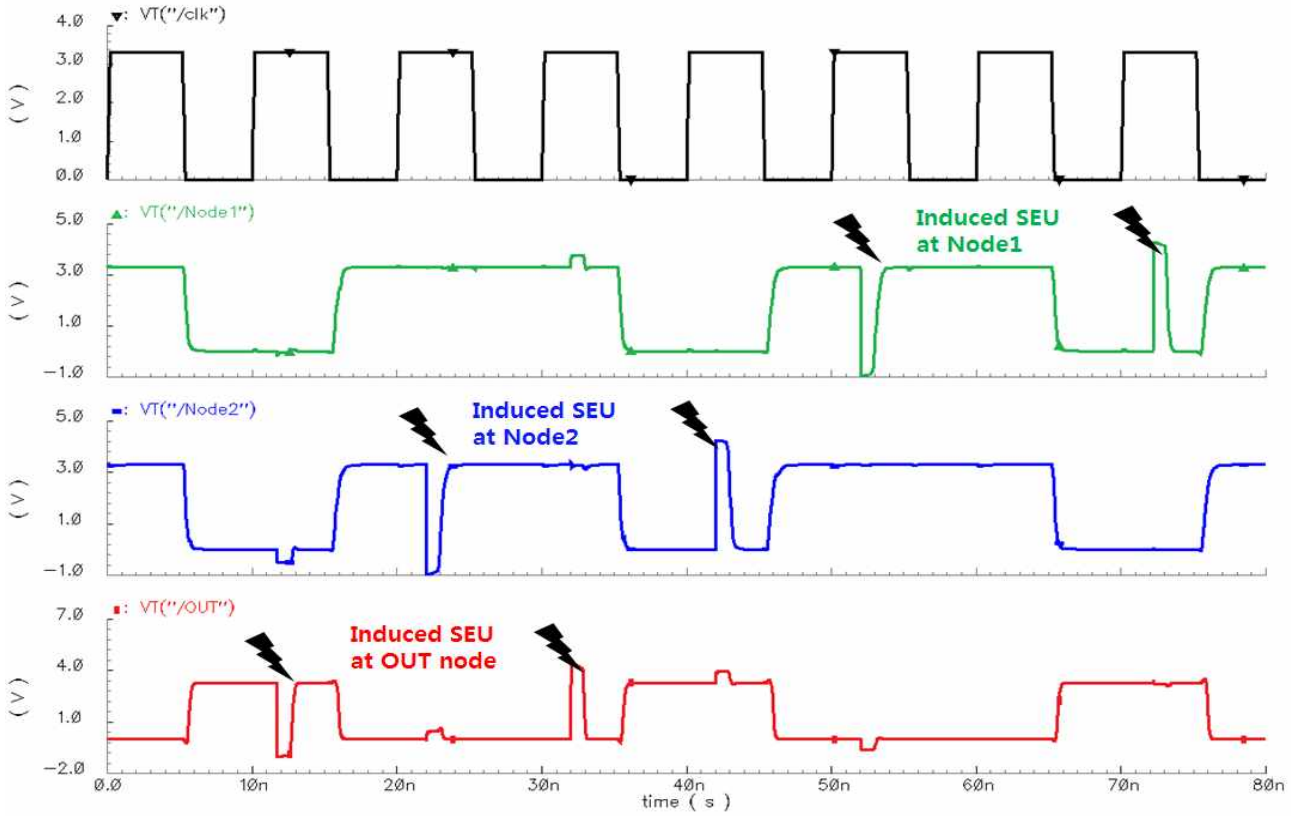


그림 3. Node1, Node2, OUT node SEU simulation에 대한 제안한 Latch의 완화 특성  
 Fig. 3. Mitigation behavioral of the proposed latch with SEU injection simulation at Node1, Node2 and Out node.

십  $\mu s$  이고, SEE로 인한 순간적인 charge의 변화는 수십 ps에서 수 ns 이다. 따라서 원 상태를 유지하고 있는 Out Node와 Node1에 의해서 Node 2는 다시 원래의 값으로 회복이 가능하다.

**3. Out node upset :** 2번째 경우와 마찬가지로 Node1과 Node2가 플로팅 상태가 된다. 따라서 P1, P2, N1, N2가 이루고 있는 C-element에 의해 Out node의 원래 값의 회복이 가능하다.

제안한 Latch의 구조는 Single Event Upset의 경우에 이론적으로 양성자에 취약한 부분이 없다고 할 수 있다. 그림 3에서는 각 Node에 SEE가 발생한 경우와 비슷한 current현상을 모델링 하여 주입하였을 때 시뮬레이션 결과 파형을 나타낸 것이다. 각 Node의 논리 값이 순간적으로 변하더라도 다음 Clock 신호가 되기 전에 다시 원래의 값으로 복구 되는 것을 확인할 수 있다. 시뮬레이션 결과에서도 확인할 수 있듯 제안한 Latch 구조에서는 방사선 입자의 Single Event에 대해서는 취약 부분이 없다고 할 수 있다. 따라서 제안한 Latch에

서는 앞서 제시된 단점을 찾을 수 없지만, Transistor의 개수가 더 많이 쓰이게 됨으로써 전력 효율적인 측면에서는 단점이 존재한다.

### III. 양성자를 이용한 SEU 측정 평가

#### 3.1 SEU cross section 시뮬레이션

역바이어스 P/N 접합은 방사선 입자에 취약하며, 이를 Sensitive Region이라고 표현한다. 일반적으로 방사선 입자에 의한 SEU의 취약성을 나타내는 척도로 SEU cross section( $\sigma_{SEU}$ )을 사용한다. X. Y. Zhang et al.<sup>[8]</sup>에 의하면,  $\sigma_{SEU}$ 는 다음 수식에 의해 표현 할 수 있다.

$$\sigma_{SEU} \approx SNR\sigma \tag{1}$$

S는 Sensitive Region의 면적, N은 Silicon의 농도, R은 양성자에 의해서 생성된 중하전 입자가 Si 기판 내에서 이동할 수 있는 거리 ( $\approx 10\mu m$ ),  $\sigma$ 는 양성자와 Si

원자핵과의 충돌면적을 나타낸다. 하지만 식(1)은 양성자 에너지가 200MeV 이상일 때만 고려한 것으로 양성자로 인한 2차 입자들이 중하전 입자가 될 확률을 1로 본 것이기 때문에, 100MeV 이하에서  $\sigma_{SEU}$ 는 정확하게 구할 수 없다. 따라서 다음의 Bendel 방정식을 이용하여 100MeV 이하의  $\sigma_{SEU}$ 를 추정하였다.

$$\sigma_{SEU} = \sigma_{saturated SEU} (1 - \exp(-0.18 Y^{0.5}))^4$$

$$Y = \left(\frac{18}{A}\right)^{0.5} (E - A)$$

E는 양성자의 에너지, A는 문턱 에너지를 나타낸다. 150MeV 이상에서는  $\sigma$ 이 일정한 상수 값으로 포화되므로<sup>[9]</sup> 식(1)를 통해 200MeV에서의  $\sigma_{saturated SEU}$  구한 뒤, 식(2)에 의해서 양성자 에너지에 대한 SEU cross section을 추정할 수 있다. 0.35 $\mu$ m 공정으로 제작한 그림 1의 Conventional Latch에서 빨간색으로 나타낸 Sensitive Region의 면적인  $7.82 \times 10^{-8} cm^2$ 와 각각의 문턱 에너지를 대입하면 그림 4와 같은 그래프를 얻을 수 있다. 그림 4를 통해 각각 문턱 에너지(A)값과 양성자 에너지에 따른 단위 Latch cell의 SEU cross section 값을 대략적으로 유추할 수 있다.

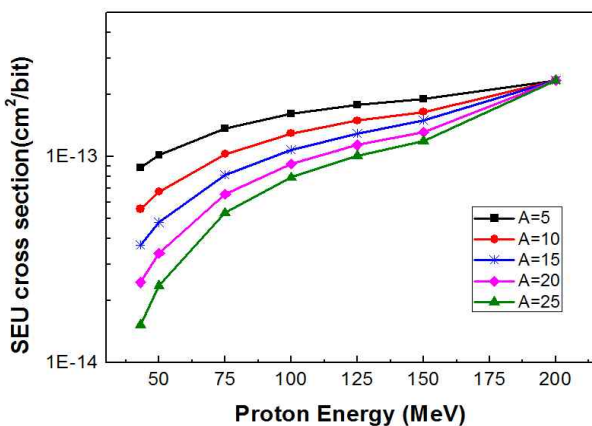


그림 4. 문턱 에너지(A)와 양성자 에너지에 대한 SEU cross section

Fig. 4. The SEU cross section as the proton energy and threshold energy.

### 3.2 양성자 조사 실험 결과와의 비교 분석

Conventional Latch와 제안한 Latch가 양성자에 대한 성능 차이를 비교하기 위해 각 소자들은 0.35 $\mu$ m 공정으로 제작되었고 양성자 조사 실험은 한국 원자력의

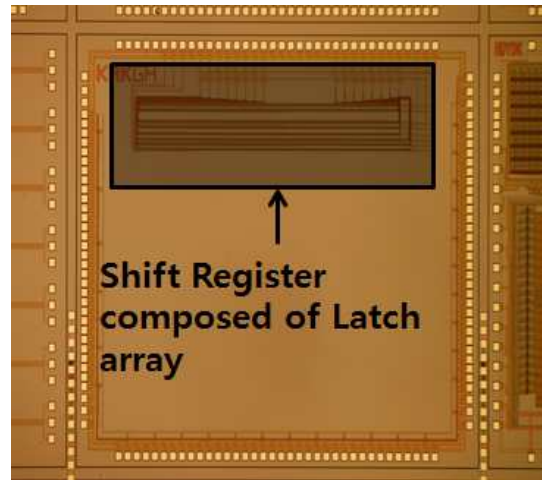


그림 5. Shift Register의 Layout

Fig. 5. The Layout of the shift register.

학원(KIRAMS)에 있는 MC-50 양성자 가속기를 사용하였다. 양성자 출력 에너지는 43MeV, 각 소자에 대한 flux density를  $3.5 \times 10^9 / cm^2 \cdot s$ 로 조사하였다.

그림 5는 양성자가 소자에 높은 확률로 입사할 수 있도록 각 Latch를 Master-Slave array구조로 50bit의 SISO(Serial Input Serial Output) 타입 Shift Register로 구성되어 소자를 제작한 것을 나타낸다.

Shift Register에 들어가는 신호들은 FPGA를 이용한 신호 생성기를 통해 인가하였으며, Clock 신호는 10MHz의 주파수를 가지도록 설정하였다. 결과 분석은 Shift Register에서 나오는 출력 데이터를 FPGA내의 Memory를 이용해 수집하고, 수집된 출력 데이터는 비교기(Comparator)를 통해 입력 데이터와 비교 하였다. 이때 출력 데이터와 입력 데이터가 서로 일치 하지 않을 때 카운터(Counter)가 에러 발생을 알리고 이를 통해 양성자에 의한 데이터 upset, 즉 SEU 발생 횟수를 측정하였다. 고주파 동작신호에 의한 SET(Single Event Transient)효과보다 Latch 모드에서의 데이터

표 1. Shift Register에 대한 43MeV 양성자 조사실험 결과

Table 1. The Result of SEU test of shift register in 43 MeV proton environment.

	Latch 모델	총 error 개수
1차 조사	Conventional	183
	Proposed	0
2차 조사	Conventional	167
	Proposed	0

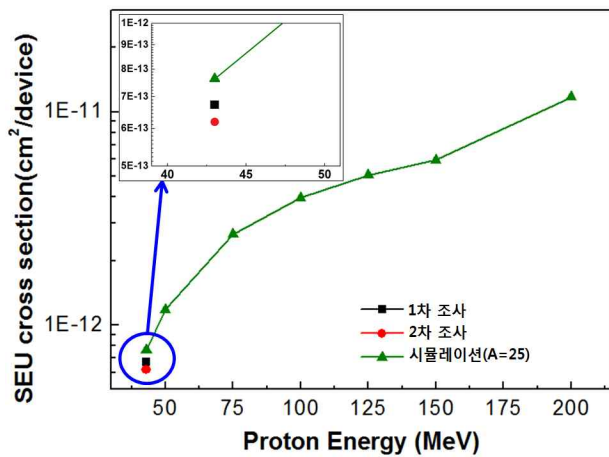


그림 6. 시뮬레이션 결과와 실험결과와의 SEU cross section의 유사성.

Fig. 6. SEU cross section Similarity between the simulation result and experiment result.

upset 만을 살펴보기 위해 10MHz Clock 신호를 인가하였다. 표 1은 각 소자의 실험에 대한 결과를 나타낸 것이다.

실험치를 이용한 SEU cross section은 다음 수식으로 구할 수 있다.

$$\sigma_{measured\ SEU} = \frac{\text{발생한 에러의 총 개수}}{\text{소자의 총비트수} \times \text{Fluence}} \quad (3)$$

Conventional shift register에 대한  $\sigma_{measured\ SEU}$ 는 각각  $6.78 \times 10^{-13} \text{ cm}^2/\text{device}$ 와  $6.185 \times 10^{-13} \text{ cm}^2/\text{device}$ 임을 확인할 수 있다. 식 (1)과 식 (2)를 통해서 구한 추정치는 단위 bit에 대한 cross section 값을 나타내기 때문에 50bit를 포함한 device SEU cross section을 그림 6에 나타내었다. 추정치와 실측치가 문턱 에너지(A)가 25일 때 거의 일치 하는 것을 확인할 수 있으며, 이를 통해  $0.35\mu\text{m}$ 에서 설계된 소자가 양성자에 대해서 어떤 특성을 갖고 있는지 알 수 있다. 또한 Conventional Latch 소자가 나머지 양성자 에너지에서 갖는 SEU cross section 값 역시 개략적으로 예측할 수 있음을 확인할 수 있다.

#### IV. 결 론

Conventional Latch 회로로 구성된 50bit shift register에 대한 43MeV 양성자 조사 실험에서 SEU로

인한 data error는 발견할 수 있었다. 반면에 제안한 Latch 회로로 구성된 50bit shift register에서는 SEU error가 발견되지 않음으로써 제안한 Latch 회로가 방사선 입자에 대한 내성이 상대적으로 강하다는 것을 확인할 수 있었다. 따라서 43MeV 양성자 환경에서 Single Event에 의한 data upset 효과는 충분히 줄일 수 있음을 확인할 수 있었다. 이러한 Latch를 우주용 SRAM 설계에 적용한다면 SRAM의 동작에 충분한 신뢰성을 부여할 수 있을 것이라 예상된다.

또한 기존에 제안된 SEU 추정 모델을 이용하여 양성자에 대한 SEU cross section을 추정할 수 있는 환경을 구성하였고 이를 통해 각 소자들이 SEU를 일으킬 수 있는 상대적 확률과 제안한 Latch가 Conventional Latch보다 낮은 SEU cross section을 가진다는 것을 확인할 수 있었다.

#### REFERENCES

- [1] Eun-Gu Lee. "A Study on The Electron-Hole pair Generation Model due to Single Event Upset." 대한전자공학회 학술대회 논문지 제20권 2호, pp. 437-440, 1997.11
- [2] Xapsos, M. "Modeling the Space Radiation Environment." *IEEE Nuclear Science and Radiation Effect Conference (NSREC) 2006 Short Course Notes*, Florida, United States, 62 pages, (2006)
- [3] Avery, K. "Radiation Effects Point of View", *IEEE Nuclear Science and Radiation Effect Conference (NSREC) 2009 Short Course Notes*, Quebec, Canada, 44 pages, (2009)
- [4] M. Omana, D. Rossi, C. Metra, "Novel Transient Fault Hardened Static Latch", *Proc. of IEEE Int. Test Conference (ITC'03)*, pp. 886-892, (2003)
- [5] M. Omana, D. Rossi, C. Metra, "Latch susceptibility to transient faults and new hardening approach", *IEEE trans. Comput.*, Vol.56, pp. 1255-1268, (2007)
- [6] ZHOA Y., DEY S., "Separate dual transistor - registers - a circuit solution for on-line testing of transient error in UDSM-IC", *Proc. of IEEE Int. On-Line Testing Symposium*, pp. 7-11, (2003)
- [7] WANG L., YUE S., ZHAO Y., "Low-overhead SEU-tolerant latches", *Proc. Int. Conf*

*Microwave and Millimeter Wave Technology*,  
pp. 1-4, (2007)

- [8] Arima Y., Yamashita T., Komatsu Y., Fujimoto T., Ishibashi K., "cosmic ray immune latch circuit for 90nm technology and beyond", *IEEE Solid-State Circuits Conference*, Vol. 1, pp. 492-493, (2004)
- [9] X. Y. Zhang and X. B. Shen, "The SEU Cross Section Estimation in SRAM Induced by Protons of Space Environment", *IEEE Circuits and Systems International Conference on Testing and Diagnosis*, pp. 474-477, (2009).
- [10] W.J. Stapor, J.P. Meyers, J.B. Langworthy, E.L. Petersen, "Two Parameter Bendel Model Calculations For Predicting Proton Induced Upset", *IEEE Trans. on Nucl. Science*, Vol. 37, No. 6, (1990).

— 저 자 소 개 —



강 근 훈(학생회원)  
2011년 경북대학교 전자공학부  
학사 졸업  
2013년 한국과학기술원 전기 및  
전자공학과 석사 졸업

<주관심분야 : Radiation Hardening electronics,  
Memory devices>



노 영 탁(학생회원)  
2012년 경북대학교 전자공학부  
학사 졸업  
2013년 한국과학기술원 전기 및  
전자공학과 석사 재학

<주관심분야 : Radiation Hardening electronics,  
Memory devices>



이 희 철(정회원)  
1978년 서울대학교 전자공학  
학사 졸업  
1986년 동경공업대학교  
전자공학과 석사 졸업  
1989년 동경공업대학교  
전자공학과 박사 졸업

2004년~2010년 나노융합랩센터 소장 역임  
1989년~현재 한국과학기술원 전기 및 전자공학  
과 교수

<주관심분야 : Infrared detector, Radiation  
hardening electronics, Ferroelectric Nonvolatile  
memory,>