

논문 2013-50-9-7

IEEE 1149.7 표준 테스트 인터페이스를 사용한 핀 수 절감 테스트 기술

(Reduced Pin Count Test Techniques using IEEE Std. 1149.7)

임 명 훈*, 김 두 영**, 문 창 민**, 박 성 주***

(Myunghoon Lim, Dooyoung Kim[Ⓢ], Changmin Mun, and Sungju Park)

요 약

다양한 Intellectual Property(IP)로 이루어진 복잡한 SoC 테스트에 있어 테스트 비용 절감은 필수적이다. 본 논문에서는 IEEE Std. 1500과 IEEE Std. 1149.7 인터페이스를 사용하여 적은 수의 핀 수로 IP 기반의 System-on-a-Chip(SoC) 테스트를 가능케 하는 테스트 구조를 제안한다. IEEE Std. 1500은 IP 기반의 SoC 테스트에 있어 각 IP를 테스트할 수 있는 독립된 접근 경로를 제공한다. 본 논문에서는 이러한 독립된 테스트 경로를 IEEE Std. 1149.7로 제어 가능하도록 구성함으로써 SoC의 테스트 핀 수를 2 핀으로 줄일 수 있게 한다. 본 기술은 Wafer 및 Package 수준 테스트에 요구되는 테스트 핀 수를 줄임으로써 동시에 테스트 가능한 대상회로의 수를 늘릴 수 있고, 결과적으로 전체적인 양산 테스트 비용을 크게 절감할 수 있게 한다.

Abstract

Test cost reduction is necessary to test a complex System-on-a-Chip(SoC) which adopts various Intellectual Properties (IP). In this paper, test architecture with low pin count which is able to IP-based SoC test, using IEEE Std. 1149.7 and IEEE Std. 1500, is proposed. IEEE Std. 1500 provides independent access mechanism for each IP in IP-based SoC test. In this paper, just two test pins are required by composing that these independent access mechanism can be controlled by IEEE Std. 1149.7. The number of Chips which are tested at the same time is increased by reducing required test pin count at wafer and package level test, and consequently the overall manufacturing test cost will be reduced significantly.

Keywords : Reduced Pin Count Test, Test Cost Reduction, IEEE Std. 1149.7, IEEE Std. 1500

I. 서 론

무어의 법칙에 따라 반도체 집적도가 크게 향상되었고, 더불어 디자인의 복잡도 역시 크게 증가하고 있다. 디자인 복잡도의 증가는 짧은 개발 시한을 만족하는데 큰 어려움을 주었고, 이를 극복하기 위해 Intellectual

Property(IP) 기반의 설계 기술이 일반적으로 사용되고 있다. IP 기반의 SoC는 설계에 있어 이미 검증된 설계를 재사용하거나 설계를 독립적인 요소로 분리함으로써 디자인 복잡도를 낮출 수 있지만, 테스트에 있어 각 IP에 적합한 테스트 수단을 제공해야 하기 때문에 테스트 방법의 복잡도는 크게 증가하게 된다^[1].

테스트 비용은 크게 테스트에 소요되는 시간 및 테스트에 필요한 장비 혹은 하드웨어와 같은 리소스 측면의 비용으로 구성된다. 각 측면에서 테스트 비용을 절감하기 위해 스케줄링 알고리즘을 통한 테스트 시간 절감 기술^[2], 테스트 패턴 압축 알고리즘을 통한 ATE 리소스 절감 기술^[3] 등이 연구되었다. 한편, Automatic Test Equipment(ATE)는 테스트 비용 절감을 위해 동

* 정회원, ** 학생회원, *** 평생회원, 한양대학교 컴퓨터공학과

(Department of Computer Science & Engineering, Hanyang University)

Ⓢ Corresponding Author(E-mail: doo.kim0505@gmail.com)

※ 이 논문은 지식경제부 및 한양대학교 IDEC 플랫폼센터와 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임. [No. 2010-0026822]

접수일자: 2013년5월6일, 수정완료일: 2013년8월26일

시에 테스트 가능한 Chip의 수를 늘려 테스트 비용을 절감할 수 있는 다중 사이트 테스트 기술을 사용한다^[4]. 다중 사이트 테스트 기술은 사이트 수 확보에 있어 Chip 테스트에 요구되는 테스트 핀의 수에 의존적이다. 이에 따라 테스트에 요구되는 핀의 수를 줄이기 위한 테스트 구조가 요구되었으며, IEEE Std. 1149.1(이하 IEEE 1149.1)을 사용하여 6개의 핀 만으로 SoC 테스트가 가능한 핀 수 절감 테스트 기술이 제안되었다^[5].

한편, 디자인 복잡도가 높은 SoC는 테스트 복잡도 역시 높기 때문에, 구성요소인 IP 수준에서 독립된 테스트를 할 필요가 있다. 이를 위해, 각 IP로 독립된 테스트 접근 경로를 제공할 수 있는 테스트 접근 수단이 제안되었다^[6].

본 논문은 테스트 표준 인터페이스인 IEEE Std. 1500(이하 IEEE 1500)과 IEEE Std. 1149.7(이하 IEEE 1149.7)을 사용하여 IP 기반의 SoC뿐 만 아니라 일반적인 SoC에 대해서도 테스트 비용을 크게 절감할 수 있는 핀 수 절감 테스트 기술을 제안한다. IEEE 1500은 SoC를 구성하는 각 IP의 테스트에 독립성을 부여하여 테스트를 구성하는데 소모되는 복잡성을 크게 낮출 수 있다^[11]. IEEE 1149.7은 테스트에 요구되는 핀의 수를 2핀으로 한정하여 Wafer 혹은 Package 수준에서 동시에 테스트할 수 있는 사이트의 수를 크게 늘려주어 제품 단위 당 테스트 비용을 절감할 수 있다.

본 논문의 구성은 다음과 같다. 본론의 I 장에서는 본 논문에서 제안하는 테스트 기술에 사용되는 IEEE 1500과 IEEE 1149.7에 대해 설명하고, II 장에서는 상기 테스트 인터페이스를 사용하여 테스트 비용을 절감할 수 있는 IP 기반의 핀 수 절감 테스트 기술 및 구조를 제시한다. 이어 III 장에서는 제안된 방식을 통해 얻을 수 있는 테스트 비용 절감 효과를 기존 기술과 함께 정량적으로 분석 비교한 실험 결과를 보여주며, 마지막으로 IV 장에서 결론을 도출한다.

II. 본 론

1. 표준 테스트 인터페이스

가. IEEE Std. 1500

IEEE 1500은 SoC를 구성하는 각 Core, 본 논문에서는 IP로 통칭한, 수준의 테스트를 위해 제안된 테스트 표준 인터페이스로서 그림 1과 같은 래퍼 셀을 각 IP의 입출력 핀에 설치하여 SoC 내에서 독립된 요소로서 존

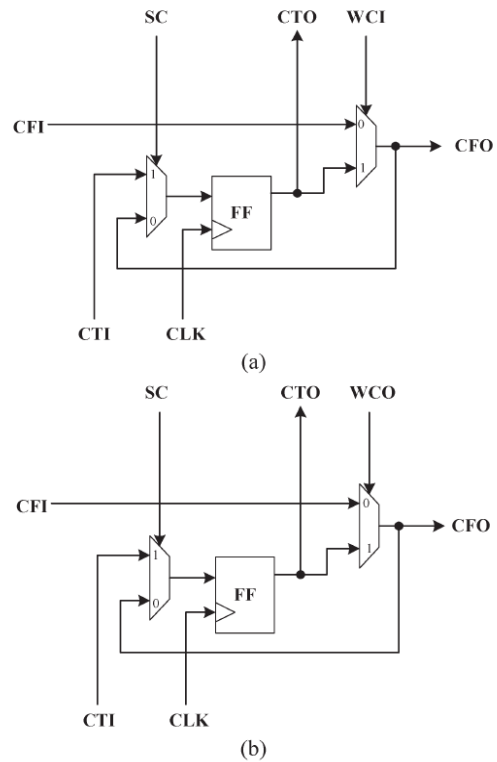


그림 1. IEEE Std. 1500 코어 래퍼 셀
Fig. 1. IEEE Std. 1500 core wrapper cells.

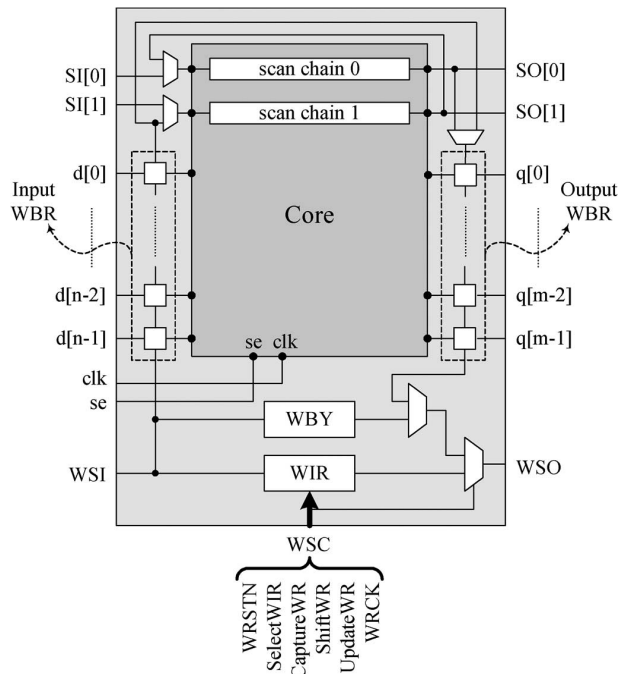


그림 2. SoC 내 Core에 대한 IEEE Std. 1500 구성 예
Fig. 2. IEEE Std. 1500 example for core in SoC.

재할 수 있게 한다. 각 래퍼 셀은 IP의 입출력 신호를 SoC로부터 차단하고, WTAP 제어기를 통해 외부로부터 접근 가능하다.

IEEE 1500 래퍼는 그림 2와 같이 크게 명령 레지스

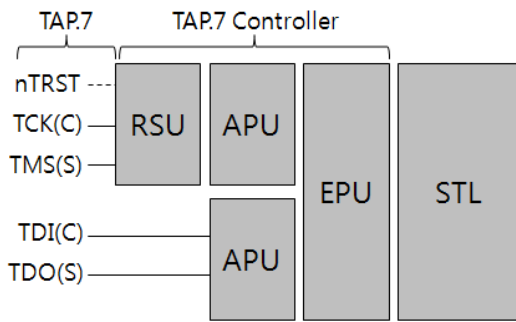


그림 3. IEEE Std. 1149.7 하드웨어 구조
Fig. 3. IEEE Std. 1149.7 Hardware architecture.

터(Wrapper Instruction Register, WIR), 바이패스 레지스터(Wrapper Bypass Register, WBY), 그리고 경계 레지스터(Wrapper Boundary Register, WBR)로 구성되어 있다. 또한, 직렬로 구성된 WBR 에 접근하기 위한 직렬 포트(Wrapper Serial Port, WSP) 및 IP 내부의 스캔 체인에 접근하기 위한 병렬 포트(Wrapper Parallel Port)를 통해 테스트를 수행한다.

IEEE 1500은 코어 테스트 래퍼를 표준화하고 있지만, 테스트 제어부와 TAM은 설계자의 몫으로 남겨두고 있다. 일반적으로 IEEE 1500 테스트 구성에 있어 TAM은 WSP, WPP를 테스트 구성에 따라 선택적으로 접근하는 경로를 제공하는 방식, 테스트 제어부는 IEEE Std. 1149.1의 TAP을 이용하는 방식이 널리 사용된다.

나. IEEE Std. 1149.7

IEEE 1149.7은 IEEE 1149.1에 대비하여 적은 수의 핀으로 더욱 향상된 기능을 제공할 수 있는 표준 인터페이스이다. 기존의 IEEE 1149.1이 최소 4개의 핀을 요구한 반면, IEEE 1149.7은 최소 2개의 핀만으로 동작이 가능하다. 또한, 디버깅 및 스타 토폴로지, 그리고 비스캔 데이터의 전송 등의 향상된 기능을 제공하며 기존의 IEEE 1149.1을 사용하는 SoC를 위해 IEEE 1149.1의 모든 기능을 호환 가능하다. IEEE 1149.7은 기존 IEEE 1149.1을 접근할 수 있는 시스템 테스트 로직(System Test Logic)과 4와이어 또는 2와이어의 칩-레벨 TAP.7을 연결해주는 칩-레벨 TAP.7 제어기를 제공한다. 시스템 테스트 로직들은 각각 1149.1 칩-레벨 TAP 제어기(CLTAPC)와 칩-레벨 바운더리 스캔 레지스터, EXTEST, PRELOAD, SAMPLE 명령어를 포함하는 테스트 로직 구조를 포함한다.

IEEE 1149.7은 기능에 따라 T0부터 T5까지 6개의 서로 다른 클래스로 세분화된다. 상위 클래스는 하위

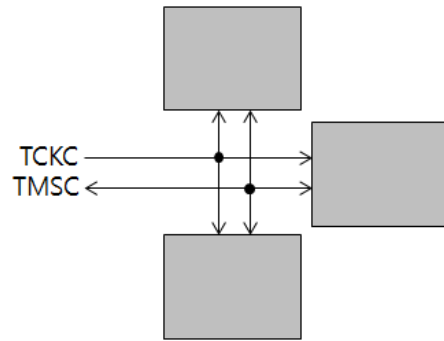


그림 4. IEEE Std. 1149.7 클래스 T4 스타-2 토폴로지
Fig. 4. IEEE Std. 1149.7 class T4 star-2 topology.

클래스의 특성을 모두 포함하고 더욱 확장된 기능을 제공하며, 각 클래스의 TAP.7 제어기는 사용 목적에 맞도록 구현되어야 한다^[7~8]. 하위 4개의 클래스(T0~T3)는 본질적으로 IEEE 1149.1의 연장선상에 있다. 상위 2개의 클래스(T4~T5)는 2개의 핀만으로 동작 가능한 고급 기능을 제공한다.

IEEE 1149.7의 각 클래스에는 그림 3과 같이 Advanced Protocol Unit (APU), Extended Protocol Unit(EPU), Pin-Sharing Logic (PSL), 그리고 Reset and Selection Unit(RSU) 등이 선택적으로 구현된다.

클래스 T0은 IEEE 1149.7의 기본으로서 IEEE 1149.1의 모든 기능에 100% 호환된다. Test-Logic-Reset 후의 모든 IEEE 1149.1 상태를 따르며 바이패스 명령에 대한 1비트 DR-Scan을 실행한다. 클래스 T0은 오로지 RSU 만을 선택적으로 사용하게 된다.

클래스 T1은 RSU 및 EPU를 채택하여 후속 클래스의 고급 기능의 기반이 되는 컨트롤 시스템을 정의한다. 요컨대, 0 비트 DR 스캔으로 알려진 IEEE 1149.1 호환 TAP 상태 시퀀스 및 시프트 상태 감시(shift-state watching)를 위한 기능은 IEEE 1149.7 호환 칩의 상태를 설정하면서 IEEE 1149.1 호환 칩에는 전혀 영향을 주지 않는 컨트롤 시스템을 생성한다. 또한 IEEE 1149.7은 보드 테스트, 칩 테스트 및 어플리케이션 디버깅 동작을 위해 설계된 네 가지 절전모드를 지원한다.

클래스 T2는 JScan0 - JScan2의 새로운 스캔 데이터 형식을 지원한다. EPU를 필요로 하며, RSU는 선택적으로 요구한다. 또한, Chip 수준의 바이패스 메커니즘을 구현함으로써 스캔 체인을 단축시켜 Chip의 수가 많은 애플리케이션의 디버깅 성능을 향상시킨다.

클래스 T3는 Chip 선정 메커니즘과 link-ID 할당을 통해, 기존의 IEEE 1149.1의 직렬 구성 접근 방식 대신

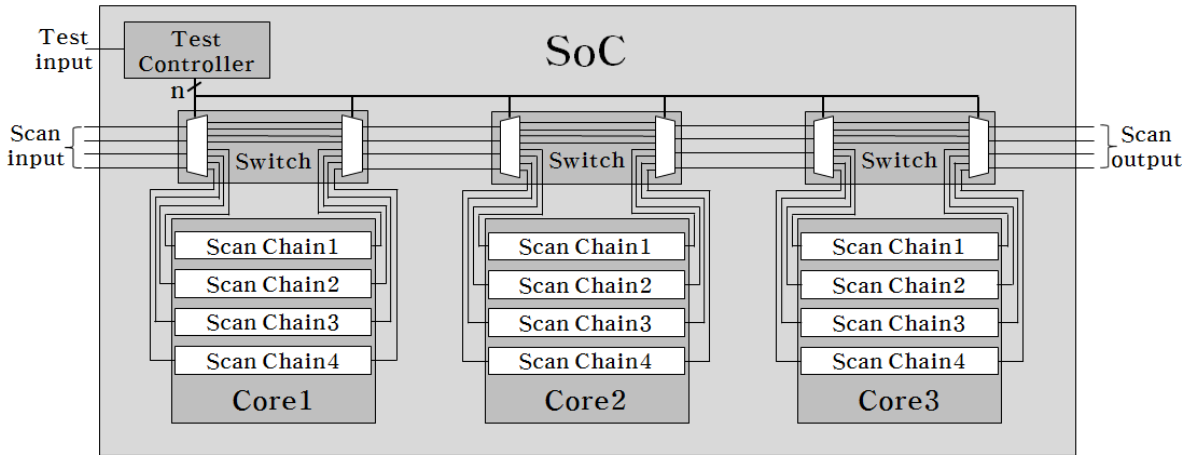


그림 5. IP 기반의 SoC 테스트를 위한 Test Access Mechanism 구조
Fig. 5. Test Access Mechanism architecture for IP-based SoC test.

직접 주소 접근 방식을 사용하여 스타 토폴로지 구조를 구현한다. 이러한 직접 주소 접근 방식의 구현을 위해 SSD(Scan Selection Directives), TCA(TAP Controller Address), CID(Controller ID)가 추가되었다.

클래스 T4는 기존 데이터 라인인 TDI와 TDO가 없어지고, TMSC 라인을 이용한 직렬 데이터의 양방향 전송한다. 동작에 요구되는 핀 수가 4-pin에서 2-pin으로 감소함으로써 그림 4와 같은 스타-2 토폴로지를 이용한 테스트 방식은 테스트에 필요한 핀 수를 줄일 수 있다. 또한, 데이터 및 제어 신호를 효율적인 전송을 위해 스캔 데이터를 패킷단위로 전송할 수 있는 MScan 및 OScan0-OScan7 등의 새로운 스캔 포맷이 정의되었다.

클래스 T5는 패킷 전송할 스캔 데이터에 백그라운드 데이터나 사용자 정의 데이터 등의 비스캔 데이터를 삽입하여 전송이 가능하다.

2. IP 기반의 핀 수 절감 테스트 기술

본 논문에서는 상기에서 설명한 표준 테스트 인터페이스인 IEEE 1500과 IEEE 1149.7을 사용하여 SoC의 저비용 테스트를 가능케 하는 IP 기반의 핀 수 절감 테스트 기술을 제안한다.

가. IP 기반 테스트 기술

높은 복잡도를 갖는 SoC는 설계 전체를 한 번에 테스트하기에는 테스트 복잡도에 따른 비용 소모가 크게 나타난다. 따라서 설계 시와 마찬가지로 SoC를 구성하는 각 IP에 대해 독립된 테스트 접근 수단을 제공함으

로써 테스트 복잡도를 낮출 수 있다.

Test Access Mechanism(TAM)은 SoC 내에서 IP와 같이 독립된 테스트 단위에 대한 테스트 접근 경로를 제공한다. TAM을 사용한 IP 기반의 테스트는 그림 5와 같이 SoC 내의 각 IP에 대해 공유된 인터페이스를 통해 테스트 데이터를 입출력하게 되며, 각 IP에 대한 테스트 접근을 제어하기 위해 테스트 컨트롤러가 필요하다. 테스트 컨트롤러는 이미 약속된 순서 혹은 외부로부터의 입력 신호에 의해 IP를 선택하여 테스트를 수행하게 된다.

이미 설명한 바와 같이 IEEE 1500은 래퍼 셀을 사용하여 SoC 내의 IP에 대한 독립된 테스트 접근 경로를 제공하는 TAM으로써 동작할 수 있다. 각 IP를 테스트하기 위한 테스트 입력은 래퍼 셀로 구성된 래퍼 체인에 대한 WSP 및 스캔 체인에 대한 입출력을 통해 송수신된다. 또한, 각 IP에 대한 선택적 테스트 제어는 Chip 수준의 제어를 통해 수행되며 IP 내에서의 테스트 제어는 IEEE 1500 WTAP을 통해 이루어진다.

나. 핀 수 절감 테스트 기술

Wafer 및 Package 수준의 테스트에 있어 동시에 테스트 가능한 Chip의 수를 늘리는 다중 사이트 테스트 기술은 테스트 비용을 줄이기 위해 널리 사용된다. 하지만, 다중 사이트 테스트 기술은 테스트 대상 Chip의 테스트 핀 수에 민감하다.

이에 SoC 테스트에 필요한 테스트 핀의 수를 최소로 절감하는 테스트 기술이 요구된다. 이러한 핀 수 절감 테스트 기술은 ATE에 구현 가능한 다중 사이트 테스

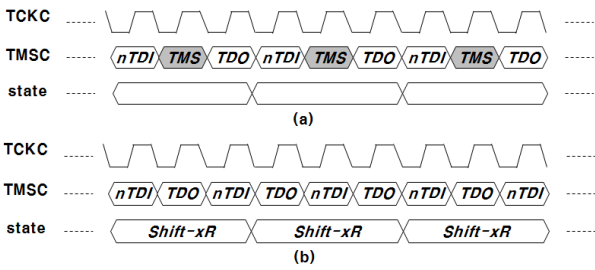


그림 6. 스캔 데이터 패킷 (a) OScan1 (b) OScan5
Fig. 6. Scan data packet (a) Oscan1 (b) OScan5.

트 기술의 테스트 비용 절감 효과를 극대화시킬 수 있는 효과를 갖는다^[9-10].

IEEE 1149.1 표준 인터페이스에 기반한 핀 수 절감 테스트 기술^[5]은 SoC 테스트를 위해 TCK, TMS, TRST, TDI, TDO, 그리고 Clock의 6핀을 요구한다. 선행된 5핀은 IEEE 1149.1의 TAP을 위한 제어 및 데이터 신호이며, 나머지 1핀은 At-speed 테스트를 위해 SoC 내부의 PLL로 입력되는 Clock 신호이다. 반면, IEEE 1149.7은 클래스 T4를 적용함으로써 2핀으로 TAP 제어가 가능하다. 따라서 IEEE 1149.7 클래스 T4 기반의 핀 수 절감 테스트 기술은 TCKC, TMSC 핀과 PLL 제어를 위한 Clock의 3핀으로 SoC에 대한 테스트

가 가능하다.

IEEE 1149.7 클래스 T4는 기존의 IEEE 1149.1의 TMS, TDI, TDO, TRST에 해당하는 데이터를 TMSC 한 핀을 사용하여 패킷으로 전송한다. 이 때, 패킷 데이터 전송의 효율성을 위해 그림 6과 같이 OScan1 및 OScan5의 스캔 데이터 포맷을 제시한다. 또한, IEEE 1149.7의 동작 클럭인 TCKC는 IEEE 1149.1의 TCK보다 2배로 빠르게 동작할 수 있는 특성을 가지기 때문에 OScan5를 통한 스캔 데이터 전송에 있어 패킷 데이터 전송으로 인한 Throughput의 손실은 없다. 다만, OScan1을 통한 TAP.7 제어는 TAP.1보다 여분의 cycle을 필요로 하는데 이 역시 TCKC가 빠르고 스캔 테스트 데이터 전송이 테스트 시간의 대부분을 차지하기 때문에 스캔 테스트 시간에 큰 영향을 주지 않는다.

IEEE 1500 WTAP은 그림 7과 같이 IEEE 1149.7 TAP 제어기로부터 WSI, WSO, WRSTN, WRCK, ShiftWR, CaptureWR, UpdateWR, 그리고 SelectWR 신호를 받아 동작한다. 또한, 기존의 IEEE 1500 테스트에서와 같이 WSP와 SI/SO를 별도의 테스트 핀으로 할당하는 테스트 접근 방식은 핀 수 절감 테스트 방식에 적합하지 않기 때문에 각 IP의 IEEE 1500 테스트 경로

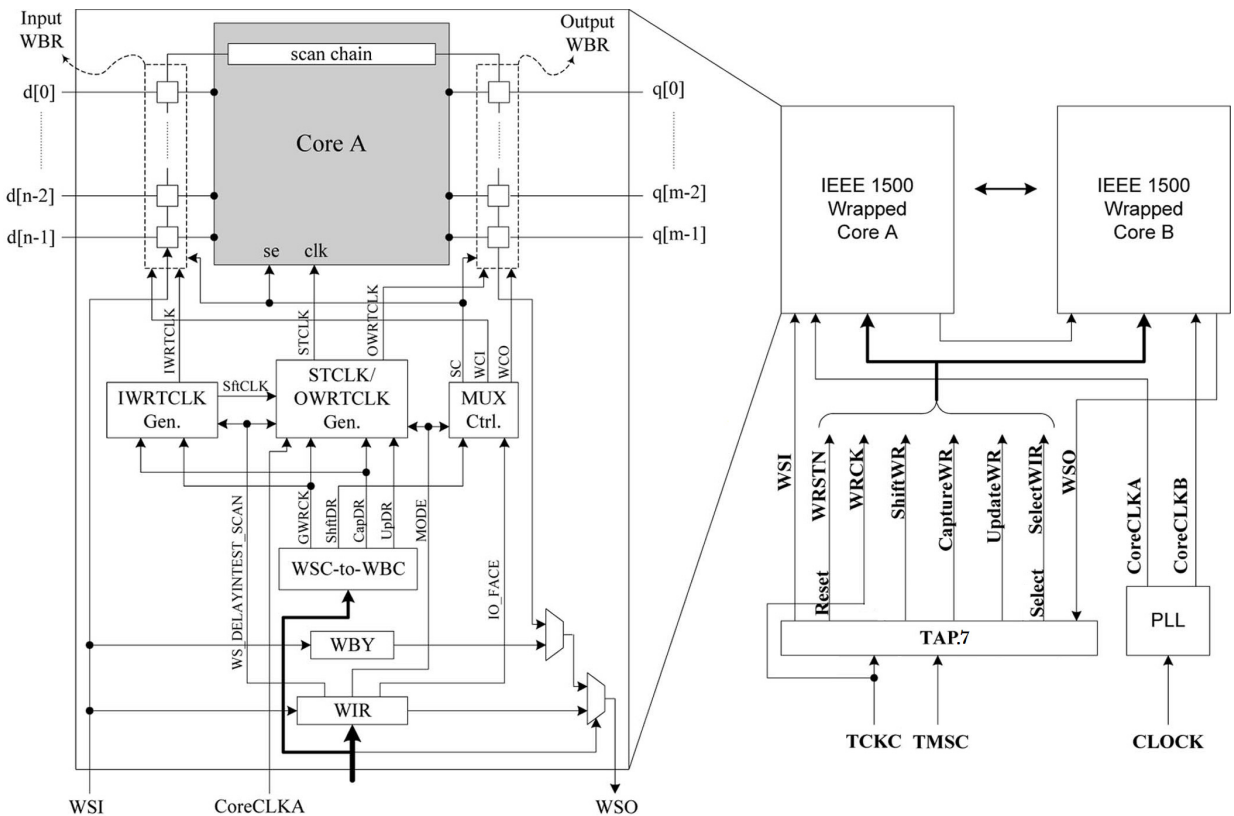


그림 7. IEEE Std. 1149.7과 IEEE Std. 1500을 사용한 핀 수 절감 테스트 기술 구조
Fig. 7. Reduced Pin Count Test technique architecture using IEEE Std. 1149.7 and IEEE. Std. 1500.

의 구성은 스캔 체인과 래퍼 체인을 직렬로 연결하여 WSP 포트를 사용하여 테스트 입출력 데이터를 송수신함으로써 핀 수를 절감하게 된다.

III. 실험

핀 수 절감 테스트 기술의 테스트 비용 절감 효과를 분석하기 위해 ITC '02 벤치마크 회로를 사용하였다. 각 벤치마크 회로는 독립된 스캔체인을 갖는 기능 모듈로 구성되어 IP 기반의 SOC 테스트 기술을 평가하는데 적합한 특성을 갖는다.

표 1은 각 벤치마크 회로에 대해 기본적인 스캔 테스트를 적용하는 Full-pin 테스트 방식, IEEE 1149.1에 기반한 핀 수 절감 테스트 방식, 그리고 본 논문에서 제안하는 IEEE 1149.7 기반의 핀 수 절감 테스트 방식에 대해 ATE Channel 사용 효율성을 보여준다. 각 방식에서

필요한 테스트 핀 수가 TPC(Test Pin Count), 동시에 테스트 가능한 사이트의 수는 NOS (Number of Sites)와 같이 계산되며, 이 때 ATE 채널의 사용 효율성은 CU(Channel Utilization)와 같이 나타난다. 결론적으로 IEEE 1149.7 기반의 핀 수 절감 테스트 방식은 기본적인 스캔 테스트 방식보다 적게는 2%에서 많게는 36%까지 채널 사용 효율을 높일 수 있으며, IEEE 1149.1 기반의 핀 수 절감 테스트 방식에 비해서도 약 1% 내외의 효율성 향상을 보인다.

표 2는 각 벤치마크 회로에 대한 상기 세 가지 테스트 방식의 스캔 테스트 시간을 보여준다. IEEE 1149.1 및 IEEE 1149.7 기반의 핀 수 절감 테스트 방식은 테스트 진입 및 각 core에 대한 접근을 위한 인터페이스 시간이 필요하지만 스캔 테스트에 소모되는 시간에 대비하여 극히 미비한 수준이다. 또한, 앞서 설명하였듯이 IEEE 1149.1 및 IEEE 1149.7은 데이터 전송 방식에 관

표 1. 테스트 요구 핀 수에 따른 Automatic Test Equipment 채널 효율성

Table 1. Automatic Test Equipment channel utilization according to required test pin count.

| Number of ATE Channels | SoC Benchmarks | Basic(Full-pin test) | | | IEEE 1149.1 | | | IEEE 1149.7 | | | CU Improved (%) |
|------------------------|----------------|----------------------|-----|-------|-------------|-----|-------|-------------|-----|-------|-----------------|
| | | TPC | NOS | CU(%) | TPC | NOS | CU(%) | TPC | NOS | CU(%) | |
| 256 | h953 | 56 | 4 | 87.5 | 6 | 42 | 98.4 | 4 | 64 | 100 | 12.5 |
| | g1023 | 70 | 3 | 82.0 | | | | | | | 18.0 |
| | f2126 | 391 | X | X | | | | | | | 100 |
| | p34392 | 176 | 1 | 68.8 | | | | | | | 31.2 |
| | p93791 | 251 | 1 | 98.0 | | | | | | | 2.0 |
| | t512205 | 163 | 1 | 63.7 | | | | | | | 36.3 |
| | a586710 | 204 | 1 | 79.7 | | | | | | | 20.3 |
| 512 | h953 | 56 | 9 | 98.4 | 6 | 85 | 99.6 | 4 | 129 | 100 | 1.6 |
| | g1023 | 70 | 7 | 95.7 | | | | | | | 4.3 |
| | f2126 | 391 | 1 | 76.4 | | | | | | | 23.6 |
| | p34392 | 176 | 2 | 68.8 | | | | | | | 31.2 |
| | p93791 | 251 | 2 | 98.0 | | | | | | | 2.0 |
| | t512205 | 163 | 3 | 95.5 | | | | | | | 4.5 |
| | a586710 | 204 | 2 | 79.7 | | | | | | | 20.3 |

표 2. ITC '02 벤치마크 회로의 IP 기반 스캔 테스트 시간

Table 2. IP-based scan test time for ITC '02 benchmark set.

| SoC Benchmarks | Basic | 1149.X 1 site | 256 channels | | | 512 channels | | |
|----------------|----------|------------------|--------------|----------|---------------|--------------|-----------|---------------|
| | | | 1149.1 | 1149.7 | Reduction (%) | 1149.1 | 1149.7 | Reduction (%) |
| | | | 42 sites | 85 sites | | 85 sites | 129 sites | |
| h953 | 228208 | 1127820 | 26853 | 13268 | 94.19 | 13268 | 6634 | 97.09 |
| g1023 | 41077 | 293806 | 6995 | 3457 | 91.59 | 3457 | 1728 | 95.79 |
| f2126 | 561730 | 4822674 | 114826 | 56737 | 89.90 | 56737 | 28369 | 94.95 |
| p34392 | 1240971 | 11877953 | 282808 | 139741 | 88.74 | 139741 | 69870 | 94.37 |
| p93791 | 3065398 | 48659956 | 1158570 | 572470 | 81.32 | 572470 | 286235 | 90.66 |
| t512205 | 11073794 | 163679609 | 3897134 | 1925642 | 82.61 | 1925642 | 962821 | 91.31 |
| a586710 | 14080045 | 113194020 | 2695096 | 1331694 | 90.54 | 1331694 | 665847 | 95.27 |

계없이 테스트에 소모되는 시간이 동일하다. 각 벤치마크 회로의 테스트 사이클은 (1)과 같이 벤치마크 회로를 구성하는 각 Core에 대한 테스트 사이클의 총합으로 계산된다. 이 때 각 Core에 대한 테스트 사이클은 Full pin 테스트의 경우 (2)와 같이 가장 길이가 긴 스캔체인에 패턴의 수를 곱한 것과 같으며, 49.X RPCT 테스트는 (3)과 같이 Core 내의 총 스캔 셀 수에 PI/PO 신호 중 다수를 차지하는 수를 합한 후 패턴의 수를 곱하여 계산된다.

$$\text{Total test time} = \sum(\text{Core test time}) \quad (1)$$

$$CT_{FP} = \text{max. scan length} \times \#Pat \quad (2)$$

$$CT_{49.X} = (\#scan\ cell + \text{max}(PI,PO)) \times \#Pat \quad (3)$$

IEEE 1149.X 기반의 핀 수 절감 테스트 기술은 다수의 스캔 체인을 한 개로 구성해야 하는 구조적 한계에 의해 기본 스캔 테스트 시간이 Full-pin 테스트에 비해 크게 나타난다. 하지만, 핀 수 절감 효과로 인해 동시에 테스트 가능한 Chip의 수가 늘기 때문에 다중 사이트를 최대의 효율로 수행할 경우 단위의 Chip에 소모되는 테스트 시간은 크게 줄어든다. 표에서 보이는 바와 같이 IEEE 1149.7 기반의 기술의 경우 Full-pin 테스트보다 최소 82% ~ 최대 97% 테스트 시간을 절감할 수 있다. 또한, IEEE 1149.7은 다중 사이트의 수가 IEEE 1149.1의 두 배 수준으로 구성 가능하기 때문에 IEEE 1149.1에 비교할 경우 약 50%의 테스트 시간 절감 효과를 보게 된다.

IV. 결 론

본 논문에서는 테스트 표준 인터페이스인 IEEE Std. 1149.7과 IEEE Std. 1500을 사용하여 테스트 복잡도 및 테스트 비용을 낮출 수 있는 저비용의 IP 기반 SoC 테스트 수단을 제안하였다. 제안된 기술은 기존의 IEEE Std. 1149.1과 IEEE Std. 1500 표준 인터페이스에 기반한 6-핀의 핀 수 절감 테스트 기술과 비교하여 3-핀만으로 테스트가 가능하며, 다중 사이트 테스트에 있어 동시에 테스트 가능한 Chip의 수를 약 두 배 수준으로 늘릴 수 있다. 결과적으로 단위 Chip 당의 테스트 비용을 절감할 수 있게 되어 양산 테스트 비용을 절감할 수 있는 효과를 얻을 수 있다. 또한 본 기술은 테스트 효율성 뿐만 아니라, 테스트 표준 인터페이스를 사용함으로써 테스트 생성 및 테스트 접근에 대해 용이성을 제

공한다. 따라서 본 기술은 복잡도가 높아가는 SoC 테스트에 있어 테스트 비용 및 테스트 복잡도를 낮출 수 있는 효율적인 테스트 기술로서의 가치를 제공할 것이다.

REFERENCES

- [1] Y. Zorian, A. Yessayan, "IEEE 1500 utilization in SoC design and test," IEEE proc. of International Test Conference, Nov 2005.
- [2] 송재훈, 오정섭, 박성주, "AMBA 기반 SoC의 병렬 코어 테스트를 위한 효과적인 테스트 설계 기술", 대한전자공학회 논문지, 제48권 SD편 2호, pp.44-54, Feb 2011.
- [3] S. Hwang and J. A. Abraham, "Test Data Compression and Test Time Reduction Using an Embedded Microprocessor," IEEE Trans. on VLSI Systems, Vol. 11, pp. 853-862, Oct 2003.
- [4] H. Hashempour, F. J. Meyer, and F. Lombardi, "Analysis and Evaluation of Multisite Testing for VLSI," IEEE Trans. on Instrumentation and Measurement, Vol. 54, pp.1770-1778, Oct 2005.
- [5] H. Yi, J. Song, and S. Park, "Low-Cost Scan Test for IEEE-1500-Based SoC," IEEE Transactions on Instrumentation and Measurement, Vol. 57, pp.1071-1078, May 2008.
- [6] J. Song, P. Min, H. Yi, and S. Park, "Design of Test Access Mechanism for AMBA Based System-on-a-Chip," IEEE VTS, pp. 375-380, Berkeley, US, May 2007.
- [7] "IEEE Standard for Reduced-Pin and Enhanced-Functionality Test Access Port and Boundary-Scan Architecture," IEEE Std1149.7-2009, pp.c1-985, Feb 2010.
- [8] Adam. W. L., "Doing More with Less - An IEEE 1149.7 Embedded Tutorial : Standard for Reduced-pin and Enhanced-functionality Test Access Port and Boundary-Scan Architecture," in Proc. of IEEE Test Conf., pp.1-10, Austin, US, Nov 2009.
- [9] H. Vranken, et al, "Enhanced Reduced Pin-Count Test for Full-Scan Design," in Procs. of IEEE International Test Conference, pp. 738-747, 2001.
- [10] J. Jahangiri, N. Mukherjee, C. Wu-Tung, S. Mahadevan, and R. Press, "Achieving High Test Quality with Reduced Pin Count Testing," in Proc. of IEEE Asian Test Symposium, pp. 312-317, Dec 2005.
- [11] 이현빈, 한주희, 김병진, 박성주, "IEEE 1500 래퍼를 이용한 효과적인 AMBA 기반 시스템-온-칩 코어 테스트", 대한전자공학회 논문지, 제45권 SD편 2호, pp.61-68, Feb 2008.

저 자 소 개



임 명 훈(정회원)
2011년 한양대학교 컴퓨터공학과
학사 졸업.
2013년 한양대학교 컴퓨터공학과
석사 졸업.
<주관심분야 : SoC 설계 및 테스
트, 차량용 반도체 신뢰성>



박 성 주(평생회원)-교신저자
1983년 한양대학교 전자공학과
학사 졸업.
1983년~1986년 금성사 소프트웨
어 개발 연구원.
1992년 Univ. of Massachusetts
전기/컴퓨터공학과
박사 졸업.

1992년~1994년 IBM Microelectronics 연구스텝.
1994년~현재 한양대학교 컴퓨터공학과 정교수.
<주관심분야 : 테스트 합성, Built-In Self Test,
Scan Design, ATPG, ASIC 설계, 고속 신호처리
시스템 설계, 그래프 이론>



김 두 영(학생회원)
2004년 한양대학교 전자컴퓨터공
학부 학사 졸업.
2006년 한양대학교 컴퓨터공학과
석사 졸업.
2006년~2012년 LG전자 SIC연구
소 연구원.

2012년~현재 한양대학교 컴퓨터공학과 박사
과정 재학.
<주관심분야 : SoC 설계 및 테스트, Scan
Design, Low Power Design>



문 창 민(학생회원)
2012년 한양대학교 컴퓨터공학과
학사 졸업.
2012년~현재 한양대학교 컴퓨터
공학과 석사 과정 재학.
<주관심분야 : SoC 설계 및 테스
트, FPGA 설계>