

# 수동 소자를 사용하지 않는 가변 이득 증폭기 설계

## (Design of Variable Gain Amplifier without Passive Devices)

조 종 민\*, 임 신 일\*\*

(Jong Min Cho and Shin Il Lim)

**요 약** 본 논문은 수동소자를 사용하지 않고 선형성 향상을 얻는 가변이득증폭기(VGA, variable gain amplifier) 설계에 관련된 것이다. 이 제안된 VGA는 전류 귀환 증폭기 구조를 이용하고, 이득은 입력단과 귀환부의 트랜스컨덕턴스(GM) 비로 얻어진다. 선형성과 높은 이득을 얻기 위하여 귀환 트랜스컨덕턴스에 전류 분할 기법과 소스 축퇴(degeneration) 기법을 사용하였다. 이득의 변화는 가변 정류기로 입력 트랜스컨덕턴스의 바이어스 전류를 변화시켜 얻을 수 있다. 이 VGA는 0.35 $\mu\text{m}$  CMOS공정을 사용하여 설계하였고, 저 전력을 위해 sub-threshold 영역에서 동작시키게 하였다. 가변 이득은 23dB ~ 43dB의 결과를 얻도록 하였고, 소모 전류는 3.3V에서 2.82  $\mu\text{A}$  ~ 3  $\mu\text{A}$  이다. 이 VGA가 차지하는 칩 면적은 120 $\mu\text{m}$  x 100 $\mu\text{m}$ 이다.

**핵심주제어** : 트랜스컨덕턴스, 가변이득, 선형성, 전류 분할 기법, 소스 축퇴 기법

**Abstract** This paper presents a variable gain amplifier(VGA) without passive devices. This VGA employs the architecture of current feedback amplifier and variable gain can be achieved by using the GM ratios of two trans-conductance(gm) circuits. To obtain linearity and high gain, it uses current division technique and source degeneration in feedback GM circuits. Input trans-conductance(GM) circuit was biased by using a tunable voltage controller to obtain variable gain. The prototype of the VGA is designed in 0.35 $\mu\text{m}$  CMOS technology and it is operating in sub-threshold region for low power consumption. The gain of proposed VGA is varied from 23dB to 43dB, and current consumption is 2.82  $\mu\text{A}$  ~ 3  $\mu\text{A}$  at 3.3V. The area of VGA is 120 $\mu\text{m}$  x 100 $\mu\text{m}$

**Key Words** : GM(trans-conductance), variable gain amplifier, linearity, current division technique, source degeneration

### 1. 서 론

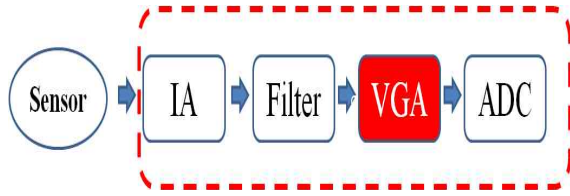
일반적으로 가변 이득 증폭기(VGA, variable gain amplifier)는 통신 시스템이나 센서 시스템 같은 응용

에서, 취득한 정보를 상황에 맞도록 적절하게 증폭시키기 위하여 많이 사용되고 있다. <그림 1>과 같은 센서 시스템의 아날로그 전 단부(analog front-end)에서는 일반적으로 세 번째 단에 가변 이득 증폭기를 배치하여 이전 단에서 검출된 신호의 크기를 적절하게 향상시킨다. 기존에 사용되는 가변 이득 증폭기는

\* 서경대학교 전자공학과

\*\* 서경대학교 전자공학과, 교신저자(silim@skuniv.ac.kr)

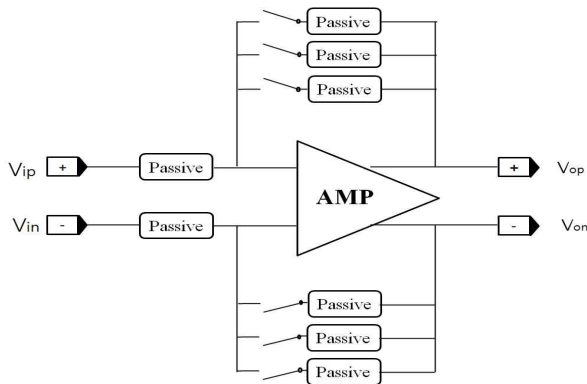
<그림 2>와 같이 수동소자를 이용한 부귀환 시스템으로 구성하게 된다. 귀환 경로 상에 수동소자 열(array)을 선택적으로 온/오프 시켜 입력과 귀환 노드의



<그림 1> 센서용 아날로그 전단부에서의 가변 이득 증폭기(VGA)

<Fig. 1> Variable gain amplifier in analog front-end for sensor system

수동소자 비를 변화시킴으로써 이득의 변화를 얻게 된다. 이때 얻게 되는 이득은 수동소자가 저항일 경우에는 귀환 저항과 입력 저항의 비로, 커패시터일 경우에는 입력 커패시터와 귀환 커패시터의 비로 이득을 얻게 된다.

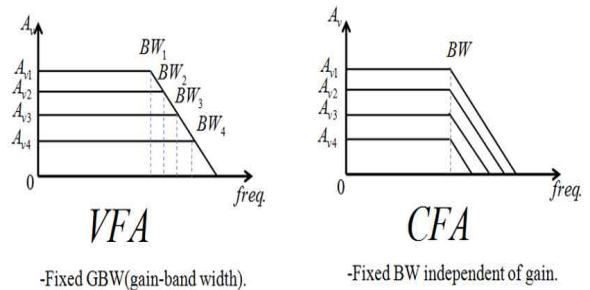


<그림 2> 일반적인 수동소자를 이용한 가변 이득 증폭기

<Fig. 2> Conventional VGA with passive devices

이렇게 부 귀환을 이용하는 가변 이득 증폭기의 장점으로는 선형성과 이득의 안정화를 얻을 수 있다는 것이다. 그러나 큰 면적을 차지하는 수동소자 때문에 반도체 칩 내에 구현할 경우 칩 면적을 효율적으로 줄일 수 없다. 또한 수동소자를 구동시키기 위해 증폭기 내에 버퍼가 추가되므로 전력소모가 증가하게 되

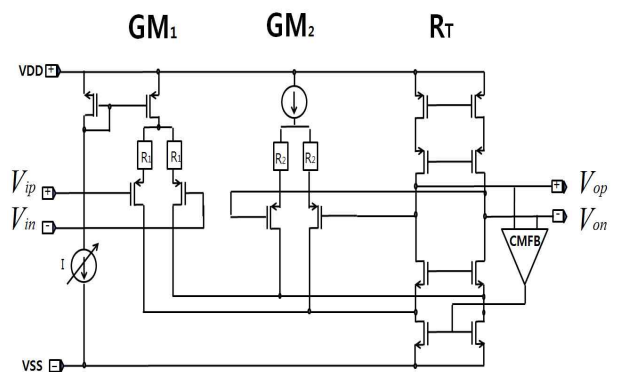
는 단점을 갖고 있다. 따라서 휴대용으로 사용되는 아날로그 프론트 엔드에서는 개선의 여지가 있다. 전압 귀환을 사용하지 않고 또 다른 형태의 가변 이득 증폭기 구현방법에는 전류 귀환을 이용하는 가변 이득 증폭기가 있다.[1] <그림 3>은 전압 귀환 가변 이득 증폭기(VFA, voltage feedback amplifier)와 전류 귀환 가변 이득 증폭기(CFA, current feedback amplifier)의 특징을 보여주고 있다. 전압 귀환 증폭기는 고정된 GBW(gain band-width product)를 갖기 때문에 이득이 증가되면 그에 따라 대역폭이 감소하게 된다. 반면에 전류 귀환 증폭기는 이득과 상관없이 일정한 대역폭을 가지게 된다.



<그림 3> VFA 와 CFA 특성 비교

<Fig. 3> Comparing between VFA's attributes and CFA's attributes

## 2. 기존의 가변이득 증폭기



<그림 4> 기존의 능동소자를 이용한 가변 이득 증폭기[1]

<Fig. 4> Conventional VGA with active devices[1]

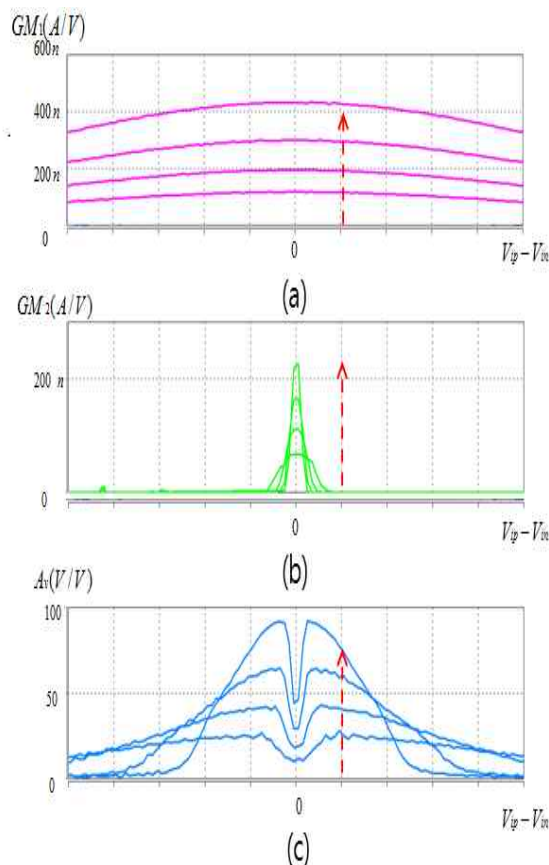
<그림 4>는 기존의 수동 소자 열을 이용하지 않고, 능동소자(트랜스컨덕턴스)의 비를 이용하여 전류 귀환 방법을 사용한 가변 이득 증폭기 예이다.[1] 이 가변 이득 증폭기의 이득은 트랜스 컨덕턴스의 비로 얻어지게 된다. 여기서 GM1은 입력 단 트랜스컨덕턴스를 의미하고 GM2는 귀환 부의 트랜스컨덕턴스를 의미한다. 이 기존 가변 이득 증폭기에서는 능동소자 내에 소스 축퇴(source degeneration)기법을 적용 하여 전체적인 이득은 식 (1)과 같이 얻어지게 된다.

$$A_v = \frac{GM_1}{GM_2} = \frac{gm_1/(1+gm_1 \times R_1)}{gm_2/(1+gm_2 \times R_2)} \quad (1)$$

여기서 gm1과 gm2는 각각 입력 단과 귀환 단의 차동 쌍에 소스 축퇴 기법을 적용하지 않았을 때의 트랜스컨덕턴스이며, R1은 입력단의 소스 축퇴 저항, R2는 귀환부의 소스 축퇴 저항을 의미한다. 이 구조에서 이득의 변화는 좌측에 가변 전류원의 크기를 변화시키면서 GM1의 크기를 변화시킴으로써 얻게 된다. 즉 이 바이어스 전류의 변화 때문에 gm1의 크기가 변화되어 이득의 변화를 얻을 수 있게 된다. 이 때 gm2와 저항(R1, R2)의 값은 고정된다. 그러나 이 구조에서는 트랜스 컨덕턴스 회로(GM1, GM2) 내에 수동소자를 사용하게 되어 칩 면적이 비교적 커지게 되고, 고정된 R1, R2 값에 비해 gm1의 변화가 상대적으로 적게 되므로 전체 이득이 적고 이득의 변화 범위(0dB~12dB)도 크지 않는 단점이 있게 된다.[1] 또한 MOSFET을 포화 영역에서 동작시키기 때문에 전류 소모가 증가하게 된다. 따라서 휴대기기용 아날로그 프론트 엔드에서 사용하게 되는 가변 이득 증폭기로 사용하기에는 많은 문제점들이 있게 된다.

이제 센서나 생체신호를 측정하기 위한 아날로그 프론트 엔드에서 사용할 수 있도록, 가변 이득의 변화 범위를 충분히 키우고, 위 나열된 문제점들을 해결하기 위해 <그림 4>의 가변이득 증폭기에서 축퇴 저항(R1, R2)을 없앤 경우를 고려해 볼 수 있다. 이 경우 축퇴 저항이 제거 되므로 GM1=gm1이 성립한다. <그림 5>는 축퇴 저항이 제거된 상태에서, 입력 차이 전압에 따른 GM1과 GM2의 차동 쌍(differential pair)에서 이득이 만들어지는 과정을 나타낸 모의실험 결과이다. 여기서 입력 단 구동 전류는 귀환 단 구동 전류에 비해 20배 이상 크게 설정하였고 변화 가능케 하

였다. 즉, 능동소자의 비로써 변화하는 이득을 얻기 위해 GM1의 트랜스 컨덕턴스를 변화 시킨다. 한편 GM2의 트랜스 컨덕턴스 회로의 구동 전류는 일정하게 하였다. 이 때 이득은 다음 수식 (2)와 같이 주어질 수 있다.



<그림 5> (a) 입력단 트랜스 컨덕턴스 (b) 귀환부 트랜스 컨덕턴스 (c) 전체 이득

<Fig. 5> (a) Input Trans-conductance (b) Feedback Trans-conductance (c) Gain

$$A_v = \frac{V_o}{V_i} = \frac{GM_1 \cdot R_T}{1 + GM_2 \cdot R_T} \approx \frac{GM_1}{GM_2} = \frac{gm_1}{gm_2} \quad (2)$$

<그림 5> (a)의 모의실험 결과는 가변이득을 얻기 위해 바이어스 전류가 증가함에 따라 GM1 트랜스 컨덕턴스가 화살표 방향으로 증가하는 것을 보여준다. 이에 따라 <그림 5> (c)와 같이 전체 이득도 증가하게 된다. 그런데 <그림 5> (b)의 GM2의 트랜스 컨덕

턴스의 크기는 구동 전류의 크기를 고정하고 모의실험을 했음에도 불구하고, 입력 단 GM1 트랜스 컨덕턴스가 화살표 방향으로 증가함에 따라, 같이 증가되는 특성을 보인다. 즉 고정된 전류를 가해준 귀환 단의 트랜스 컨덕턴스(GM2)가 입력 단 트랜스 컨덕턴스(GM1) 변화 추세에 따라 같이 변하고, 또 입력 전압( $V_{ip}-V_{in}$ )의 범위가 감소하는 것을 보게 된다. 따라서 최종 출력에서는 GM2의 트랜스 컨덕턴스가 생기는 입력 범위에서 <그림 5> (c)와 같이 비 선형성이 발생하게 된다. 이러한 현상의 원인은 다음 수식 (3)과 수식 (4)를 이용하여 설명할 수 있다. 수식 (2)의 내용을 다시 정리하면 다음 수식(3)을 얻을 수 있다.

$$gm_1 \approx A_v \cdot gm_2 \quad (3)$$

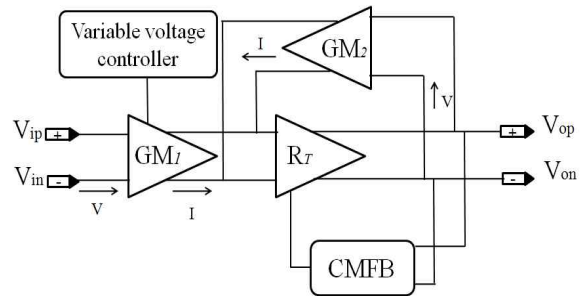
$$\frac{\Delta I_1}{\Delta V_{i1}} = A_v \cdot \frac{\Delta I_2}{\Delta V_{i2}} = \frac{\Delta I_2}{\frac{\Delta V_{i2}}{A_v}} \quad (4)$$

즉 수식 (3)에서 알 수 있는 것은, 입력 단  $gm_1$ 이 변화하면서 커지면, 귀환 단  $gm_2$ 도 같은 비례로 변화하면서 커지는 것을 알 수 있다. 또 수식 (3)을 수식 (4)와 같이 다시 표현하면, 귀환 단 입력 신호 영역이  $\Delta V_{i2}/A_v$ 로 이득  $A_v$  만큼 좁아지는 것을 알 수 있다. 여기서  $\Delta V_{i1}$ 는 입력 단 입력 신호( $V_{ip}-V_{in}$ ) 변화를  $\Delta V_{i2}$ 는 귀환 단 입력 신호 변화를 의미한다.

이제 이러한 현상을 개선하기 위하여 선형성을 보장하면서 큰 이득을 얻을 수 있는 가변이득 증폭기 설계 방법을 제안한다. 수동소자를 사용하지 않아 작은 칩 면적의 장점을 얻을 수 있고, MOS트랜지스터를 sub-threshold 영역에서 동작시켜 저 전력으로 구동하게 하여, 선형성 향상을 얻는 가변 이득 증폭기에 대해 설명한다.

### 3. 제안하는 가변이득증폭기

<그림 6>는 본 논문에서 제안하는 가변이득증폭기의 구성도이다. 이 구조는 전류 귀환 증폭기의 개념을 바탕으로 트랜스컨덕턴스(GM<sub>2</sub>)를 귀환시켜 이득을 얻게 된다. 기본적으로는 <그림 4>의 전류 귀환 증폭기 구조를 사용하였고, 완전 차동으로 구현하였다. 두 개의

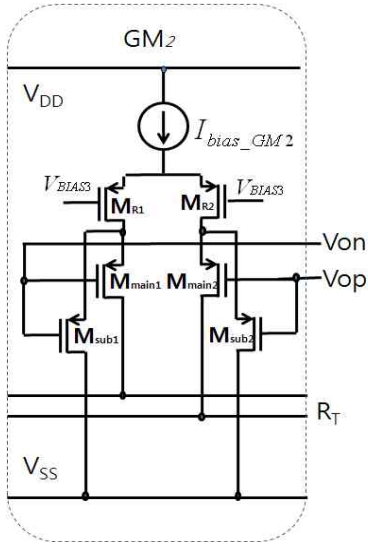


<그림 6> 제안된 가변이득증폭기 구성도  
<Fig. 6> The block diagram of proposed VGA

능동 소자(입력단 GM<sub>1</sub>, 귀환부 GM<sub>2</sub>)와, 트랜스 레지스턴스 증폭기(R<sub>T</sub>), 가변 전압 조절기(variable voltage controller) 등 4개의 블록으로 구성된다. 그 이외에 완전 차동 상태의 바이어스 안정화를 위해, 공통모드 전압 귀환(CMFB, common mode feedback) 회로가 사용된다. 가변 이득 증폭기의 구조는 트랜스 레지스턴스(R<sub>T</sub>) 증폭기를 중심으로 입력단과 귀환 부 경로 상에 차동 쌍으로 구성된 트랜스 컨덕턴스 능동 소자 쌍을 배치하였다. 회로의 동작은 입력 신호로 전압이 인가되면 입력 트랜스 컨덕턴스(GM<sub>1</sub>)에서 전류로 바뀐 후 트랜스 레지스턴스 증폭기(R<sub>T</sub>)로 인가되어 전압으로 바뀌게 된다. 이 전압이 다시 귀환 트랜스컨덕턴스(GM<sub>2</sub>)의 입력으로 인가되어 다시 전류로 바뀌는 전류 귀환 증폭기(current feedback amplifier) 형태를 가지고 있다. 이 증폭기의 전달 함수는 앞에서 제시한 수식 (2)과 거의 유사하게 나타 낼 수 있다.

이제 앞 절에서 기술했던 귀환 단 입력 신호 영역이 좁아져 비선형성이 발생하는 문제를 해결하기 위해, 귀환 단 트랜스컨덕턴스(GM<sub>2</sub>) 회로를 다음 <그림 7>과 같이 구성하여 제안한다.

귀환 단 트랜스컨덕턴스 회로는 입력 단을 부 입력 M<sub>sub</sub>와 주 입력 M<sub>main</sub>으로 나누어 그 크기 비를 M:1로 구성하고, 입력 쌍의 소오스(source)에 M<sub>R</sub>에 의한 트라이오드 영역의 MOS 저항(r<sub>o</sub>)을 구성한다. 이렇게 하면 귀환 단 트랜스컨덕턴스(GM<sub>2</sub>) 회로의 전체 트랜스컨덕턴스(GM<sub>2</sub>) 값은 다음 수식 (5)와 같이 주어질 수 있다.



<그림 7> 제안된 귀환 단 (GM<sub>2</sub>) 회로  
<Fig. 7> The circuits of proposed GM<sub>2</sub>

$$G_{m2} = \frac{1}{\frac{1}{g_{mx}(M+1)} + r_o} \quad (5)$$

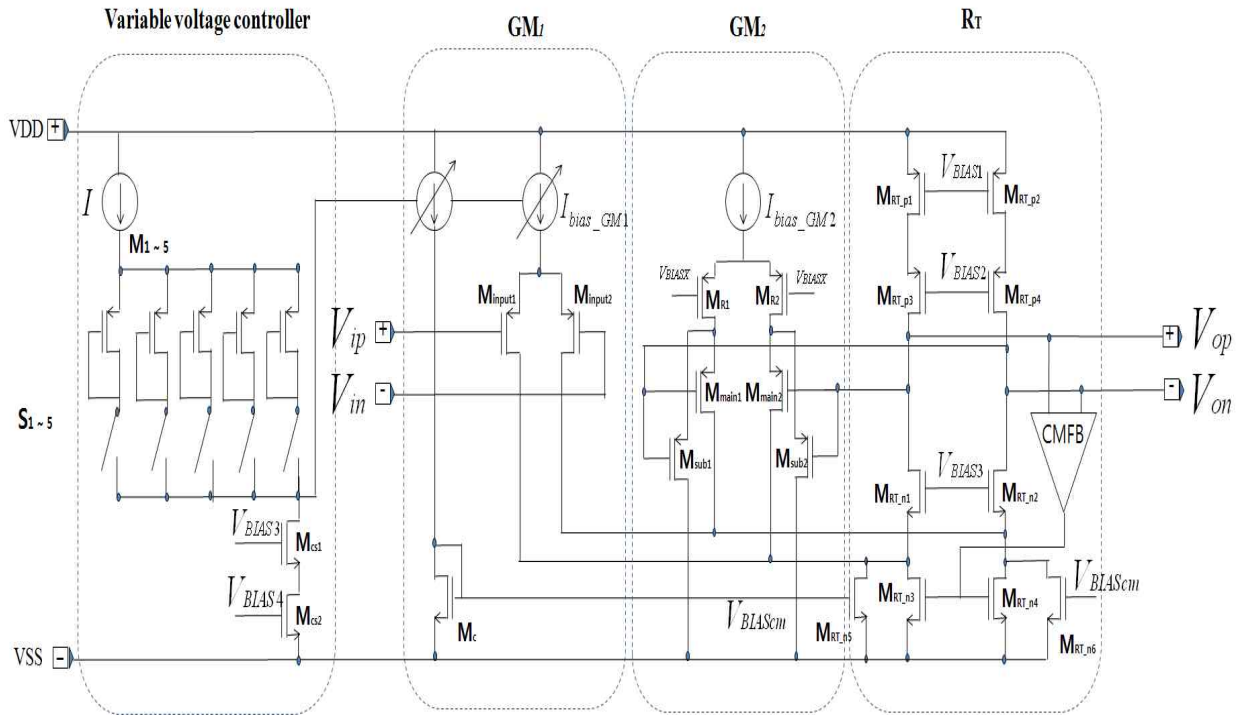
$$= \frac{1}{\frac{1}{g_{mx}M} + r_o + \frac{r_o}{M}} + \frac{1}{\frac{1}{g_{mx}} + (M+1)r_o}$$

여기서  $g_{mx}$ 는 주 입력  $M_{main}$ 의 트랜스 컨덕턴스값으로서, 트랜지스터를 sub-threshold 영역에서 설계할 경우[2],[3], 부 입력  $M_{sub}$ 에 의한 트랜스 컨덕턴스 값은  $M \cdot g_{mx}$ 가 됨을 알 수 있다. 수식 (5)에서  $G_{m2}$ 의 첫 번째 항은 (주 입력  $M_{main}$ 에 비해) 크기가  $M$ 배 큰  $M_{sub}$ 에 의한 트랜스컨덕턴스 성분이고, 두 번째 항은 크기가 작은  $M_{main}$ 에 의한 트랜스컨덕턴스 성분이다. 첫 번째 항은 그 크기로 따져볼 때,  $GM_2$ 의 대부분을 형성하고 있지만, 다음  $R_T$ 단에 전류를 전달하지 않고 접지로 다 빠지게 구성 한다. 이와 같이 설계하면  $M$ 배 큰  $M_{sub}$ 에 의한  $M \cdot g_{mx}$ 의 기여도는 없어지게 된다. 실제로 이득에 영향을 미치는 트랜스컨덕턴스는,  $M_{main}$ 에 의한 두 번째 항으로서, 전체  $G_{m2}$ 중 아주 작은 값이고, 다음 수식 (6)과 같이 주어질 수 있다.

$$G_{m2main} = \frac{1}{\frac{1}{g_{mx}} + (M+1) \cdot r_o} = \frac{g_{mx}}{1 + g_{mx}(M+1)r_o} \quad (6)$$

이제 소오스 축퇴 저항  $r_o$ 와  $M+1$ 의 곱이 비교적 크고 sub-threshold 영역에서 동작 시켰을 경우 매우  $g_{mx}$ 는 작은 값이므로, 실제적인 트랜스컨덕턴스 값  $G_{m2main}$ 은 그 값이 매우 작다. 따라서 선형 영역은 그 반비례로 매우 넓게 형성 된다. 즉 소오스 축퇴 기법[4]과 전류 분할 기법[5]을 이용하여 선형 영역이 좁아지는 현상을 개선하고, 또한 작은 트랜스 컨덕턴스 항만 선택적으로 취득함으로써 전체적으로  $G_{m1}/G_{m2main}$ 에 의한 전체 이득은 크게 구현할 수 있게 된다. 동시에 소오스 축퇴 저항  $r_o$ 는 수동소자를 사용하지 않고 구현하여 면적을 줄일 수 있게 된다.[4]

<그림 8>은 앞에서 제안된 귀환 단 ( $GM_2$ ) 회로 이용하여 구현한, 가변 이득 증폭기의 실제 전체 회로도이다. 가변 전압 조절기(variable voltage controller)는  $GM_1(g_{m1})$ 의 변화를 얻기 위해 사용된다. 이 변화된 전압이 입력 트랜스컨덕턴스의 꼬리 전류원(tail current source)으로 인가되어 바이어스 전류의 크기를 변화시키게 된다. 가변 전압 조절기는 5개의 다이오드 커넥션(M1-5)과 스위치(S1-5) 그리고 전류원(Mcs1,2)과 전류원(I)으로 구성된다. 이 구조에서 전압의 변화는 5개의 스위치를 온/오프 시켜 병렬로 연결된 다이오드의 저항 변화를 유도하여 이 저항과 전류원 저항의 비로 전압이 변화하게 된다. 입력단 트랜스 컨덕턴스( $GM_1$ )는 트랜스 레지스턴스 증폭기( $RT$ ) 앞에 배치하여 입력 신호를 받아들이기 위해 사용 되었다. 이것은 차동 쌍과 전류거울(current mirror)로 구성되는데 차동 쌍에서는 가변 정류기에 의해 변화되는 트랜스컨덕턴스를 얻게 되고, 전류거울은 트랜스 레지스턴스 증폭기 하단 전류원(MRT\_n3, MRT\_n4)에 병렬로 달아 변화되는 바이어스 전류를 흘려줌으로써 출력의 공통 모드 레벨이 흔들리는 것을 방지하도록 설계 하였다. 귀환부 트랜스 컨덕턴스( $GM_2$ )는 트랜스 레지스턴스 증폭기 귀환 경로 상에 배치하게 된다. 트랜스 레지스턴스 증폭기( $RT$ )는 캐스코드 구조로 사용하였다. 입력과 귀환 트랜스 컨덕턴스에서 전류를 받아 출력으로 전압을 낸다. CMFB (common mode feedback) 회로를 이용하여 차동 출력 전압 레벨을 공통모드 레벨로 고정시키게 설계 하였다. 전체 가변 이득 증폭기의 전체 이득은 대략 식 (7) 같이 얻어지게 된다.



<그림 8> 제안된 가변 이득 증폭기 회로도  
 <Fig. 8> Proposed VGA Circuit

$$A_v \approx \frac{g_{m1}}{1} \approx g_{m1} \cdot (M+1)r_o \quad (7)$$

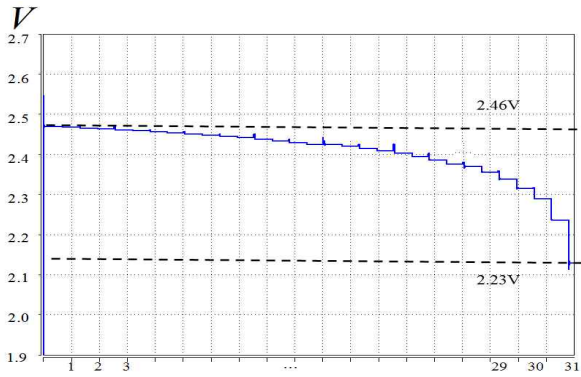
$$\frac{1}{g_{mx}} + (M+1)r_o$$

이제 가변 이득을 얻으려면 앞에서 설명한 가변 전압 조절기를 이용하여 전류 변화에 의한  $g_{m1}$ 을 조정함으로써 가능하게 된다. 또  $g_{m1}$ 의 변화 외에 <그림 7>의  $V_{BLASX}$ 를 조정하여  $r_o$ 값을 조절함으로써 추가적인 큰 가변 이득을 구할 수 있을 뿐 아니라 그 이득의 변화 범위도 크게 할 수 있다.

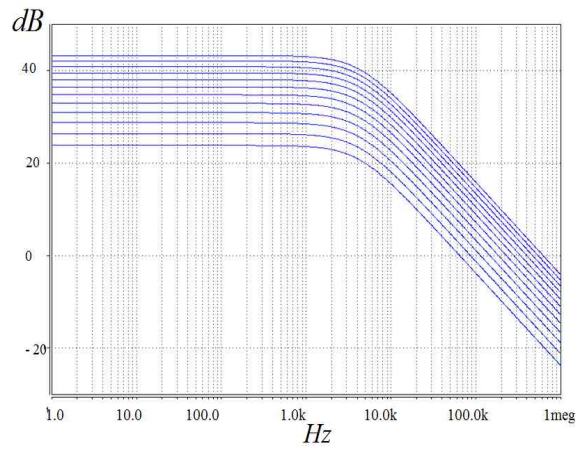
#### 4. 모의실험

본 논문에서 제안하는 가변 이득 증폭기는  $0.35\mu\text{m}$  CMOS 공정을 사용하여 설계하였다. 공급 전원 3.3V에서 (전압 조절기의 출력 전압에 따라)  $2.82\mu\text{A} \sim 3\mu\text{A}$ 의 전류소모를 가진다. 모의실험은 입력 전압을 공통 모드 레벨인 1.65V를 기준으로 하여 진행하였다. <그림 9>

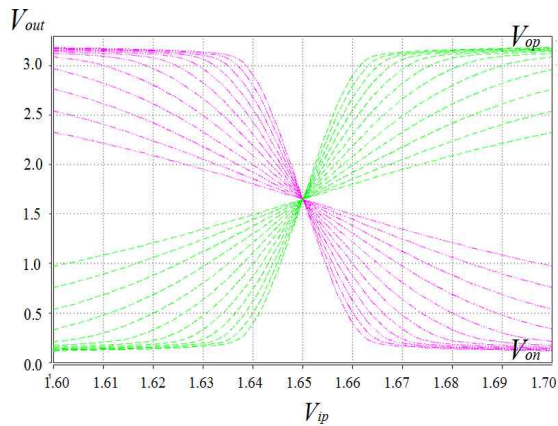
는 가변 전압 조절기의 모의실험 결과이다. 전체 32 경우가 있고, 2.23V에서 2.46V의 변화되는 전압을 얻을 수 있다. <그림 10>은 가변 이득 증폭기에 변화되는 전압을 인가하여 얻는 DC 모의실험 결과이다. 이 실험은 입력 범위 차 -1V에서 1V까지 수행하였다. 넓은 범위의 입력 전압 차이 영역에서 선형적인 이득을 얻는 것을 확인할 수 있다. <그림 11>은 향상된 선형성 확인하기 위해 <그림 10>의 출력  $V_{op}$ 의 그래프를 미분하여 얻은 결과이다. <그림 5> (C)에서 보던 비선형 성이 사라지는 것을 확인할 수 있다. <그림 12>은 가변 이득 증폭기의 변화되는 이득을 확인하는 AC 모의실험 결과이다. 이 모의실험 결과에서 볼 수 있듯이 이득은 23dB에서 43dB의 큰 이득과 큰 이득의 변화를 확인할 수 있다. 이것은 기존의 0dB에서 12dB의 가변 이득에 비해 현저하게 개선된 것이다. 또한 이득 변화에 관계없이 일정한 대역폭을 가지는 전류 귀환 증폭기 특성을 볼 수 있다. 신체 신호 측정에 사용하기 위해 설계된 가변이득 조절기의 layout이 <그림 13>에 나타나 있으며 전체 크기는  $120\mu\text{m} \times 100\mu\text{m}$ 이다.



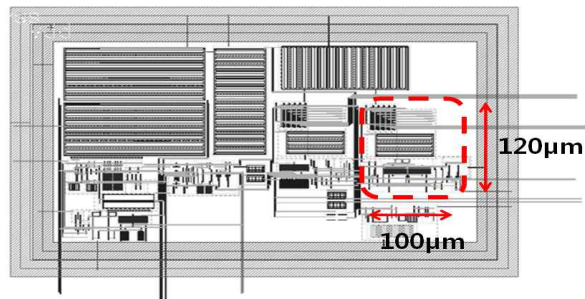
<그림 9> 가변 전압 조절기 모의실험 결과  
 <Fig. 9> Simulation results of variable voltage controller



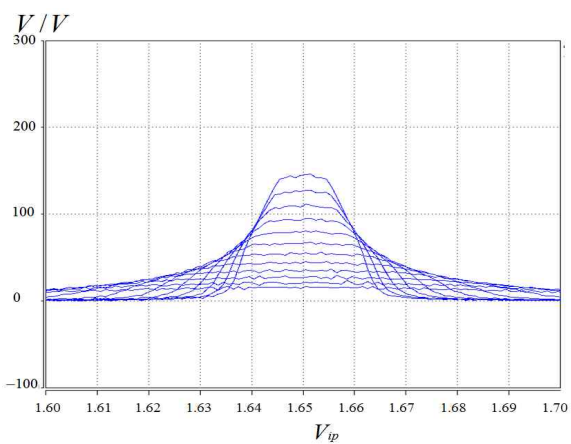
<그림 12> 가변 이득 증폭기 AC 모의실험 결과  
 <Fig. 12> AC simulation results of VGA



<그림 10> 가변 이득 증폭기 DC 모의실험 결과  
 <Fig. 10> DC simulation results of VGA



<그림 13> 아날로그 전단부에서의  
 가변이득증폭기의 레이아웃  
 <Fig. 13> Layout of VGA in AFE



<그림 11> 그림 9의 Vop 파형의 미분  
 <Fig. 11> Derivation of Vop in Fig 9

## 5. 결론

본 논문에서는 수동소자를 사용하지 않는 가변 이득 증폭기를 제안하였다. 전류 분할 기법과 소스 축퇴 기법을 적용하여 귀환 트랜스 컨덕턴스의 크기를 작게 만들어 큰 이득과 큰 이득의 변화 및 선형성 향상을 얻게 되었다. 설계된 VGA는 sub-threshold 영역에서 설계하여 소모 전류를 최소화 하였고, 수동소자를 사용하지 않고 능동소자를 사용하여 칩 면적을 줄일 수 있었다. <표1>에 기존의 가변 이득 증폭기와 비교한 성능이 요약되어 있다.

<표 1> 가변 이득 증폭기 성능 비교

<Table 1> Comparison of VGA performance

	[1]	this work
<b>Technology</b>	0.35 $\mu\text{m}$ CMOS	0.35 $\mu\text{m}$ CMOS
<b>Supply Voltage</b>	3.6V	3.3V
<b>Total current</b>	240 $\mu\text{A}$	2.82 $\mu\text{A}$ ~ 3 $\mu\text{A}$
<b>Gain</b>	0dB~12dB	23dB~43dB
<b>Band-width</b>	35MHz	4.1KHz
<b>chip size</b>	250 $\mu\text{m}$ x120 $\mu\text{m}$	120 $\mu\text{m}$ x100 $\mu\text{m}$

### 감 사 의 글

본 연구는 미래창조과학부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업의 연구결과로 수행되었음(NIPA-2013-H0301-13-1013)

### References

[1] Ivan Koudar, "Variable Gain Differential Current Feedback Amplifier" *IEEE 2004 Custom Interated Circuits Conference*, pp 659-662.

[2] Alice Wang, "Sub-Threshold Design for Ultra Low Power Systems": ISBN:978-0-387-33515-5, 2006

[3] Benton H.Calhoun, A. Wang, A. Chandrakasan, "Modeling and Sizing for Minimum Energy Operation in Subthreshold Circuit" *IEEE J. Solid-State Circuits*, vol.40 ,no 9, pp1778-1786, September 2005

[4] P. Monsurro, S. Pennisi, "Linearization Technique for Source-Degenerated CMOS Differential Transconductor" *IEEE Transaction on Circuits and Systems*, vol. 54, no. 10, pp 848-852, October 2007

[5] A. Veeravalli, E. Sanchez-Sinencio, J.Silva-Martinez, "Transconductance Amplifier Structures with very Small Transconductance: A Comparative Design Approach" *IEEE J. Solid-State Circuits*, vol.37, no. 6, pp. 770- 775, June 2002



조 종 민 (Jong Min Cho)

- 비회원
- 2012년 서경대학교 전자공학과 학사 졸업.
- 2012년 ~ 현재 서경대학교 대학원 전자컴퓨터공학과 석사 과정.
- 관심분야 : 바이오 메디컬, 아날로그 집적회로 설계.



임 신 일 (Shin Il Lim)

- 정회원, 교신저자
- 1980년 서강대학교 전자공학과 학사 졸업.
- 1983년 서강대학교 대학원 전자공학과 석사 졸업.
- 1995년 서강대학교 대학원 전자공학과 박사 졸업.
- 1982년 ~ 1991년 한국전자통신연구원(ETRI)선임연구원
- 1991년 ~ 1995년 전자부품연구원(KETI) 선임 연구원
- 1995년 ~ 현재 서경대학교 전자공학과 교수
- 관심분야 : 아날로그 집적회로 설계(통신, 바이오 메디컬, 산업, 가전)

논문 접수 일 : 2013년 08월 26일

1차수정완료일 : 2013년 09월 16일

2차수정완료일 : 2013년 09월 30일

게재확정일 : 2013년 10월 01일