

기준 클럭 발생을 위한 저 전력, 저 잡음 DLL기반 주파수 체배기†

(A Low-power, Low-noise DLL-based Frequency Multiplier for Reference Clock Generator)

김 형 필*, 황 인 철**

(Hyung Pil Kim and In Chul Hwang)

요 약 본 논문은 DLL 기술을 사용하여 낮은 위상잡음을 갖는 주파수 체배기를 설계 하였다. VCDL은 공통모드 잡음을 줄이기 위해서 차동구조를 이용하여 설계 되었다. 이번 설계는 65nm, 1.2V TSMC CMOS 공정을 이용 하였고, 동작 주파수 범위는 10MHz에서 24MHz로 측정 되었다. TCXO를 기준 주파수로 사용하여 위상잡음을 측정하였을 때 38.4MHz의 출력에서 1MHz offset 기준으로 -125dBc/Hz가 측정되었다. 총 면적은 0.032mm²을 사용하였고, 출력 버퍼를 포함하여 총 1.8mA의 전류를 칩에서 소비하였다.

핵심주제어 : DLL, VCDL, 위상잡음, 주파수 체배기

Abstract This paper is designed frequency multiplier with low phase noise using DLL technique. The VCDL is designed using a differential structure to reduce common-mode noise. The proposed frequency multiplier is fabricated in a 65nm, 1.2V TSMC CMOS process, and the operating frequency range from 10MHz to 24MHz was measured. The SSB phase noise is measured to be -125dBc/Hz at 1MHz from 38.4MHz carrier. A total area of 0.032 mm² were consumed in the chip, including the output buffer. Total current is 1.8mA at 1.2V supply voltage.

Key Words : DLL, VCDL, Phase noise, frequency multiplier

1. 서 론

무선통신 IC용 분수-N형 PLL(Phase Locked Loop) 기반 주파수 합성기에서 기준 클럭의 주파수를 높여려는 시도가 많이 있었다. 그 이유는 PLL 구조상, 기

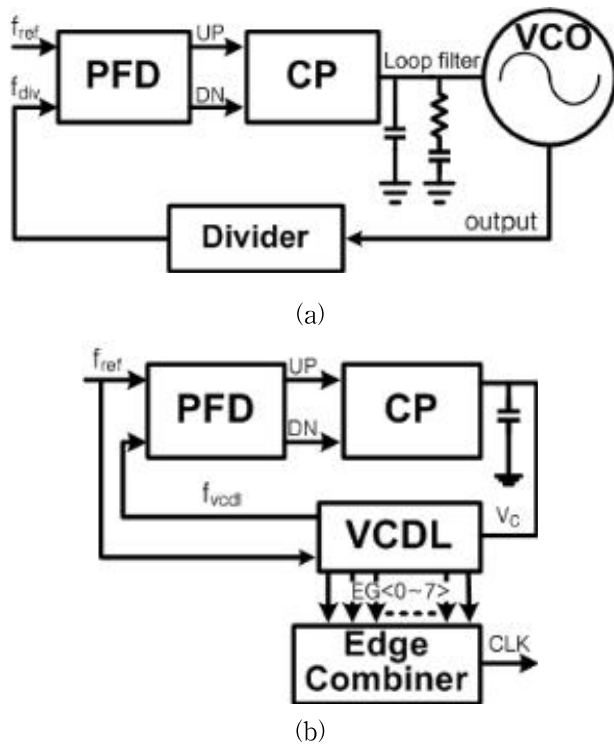
준 주파수가 높아질수록, 분주비가 적어지고 루프 대역폭을 키울 수 있기 때문에 in-band 위상잡음을 개선 할 수 있고, Sigma-Delta Modulator의 양자화 잡음을 좀 더 고주파 대역으로 확산하는 효과를 얻을 수 있기 때문이다. 그러나 기준 주파수용 크리스탈 공진기는 주파수가 높아질수록 가격이 기하급수적으로 비싸지고, 이미 기존의 무선 통신용 SoC들이 20~30MHz 대역의 크리스탈 공진기를 사용하는 환경에서, RF PLL의 기준 주파수만 올리는 것은 불가능 하다.

† 본 논문은(보고서는) 미래창조과학부 지원으로 수행한 ETRI SW-SoC융합 R&D센터의 연구결과입니다.

* 강원대학교 전기전자공학전공, 교신저자(kimhp@kangwon.ac.kr)

** 강원대학교 전기전자공학전공

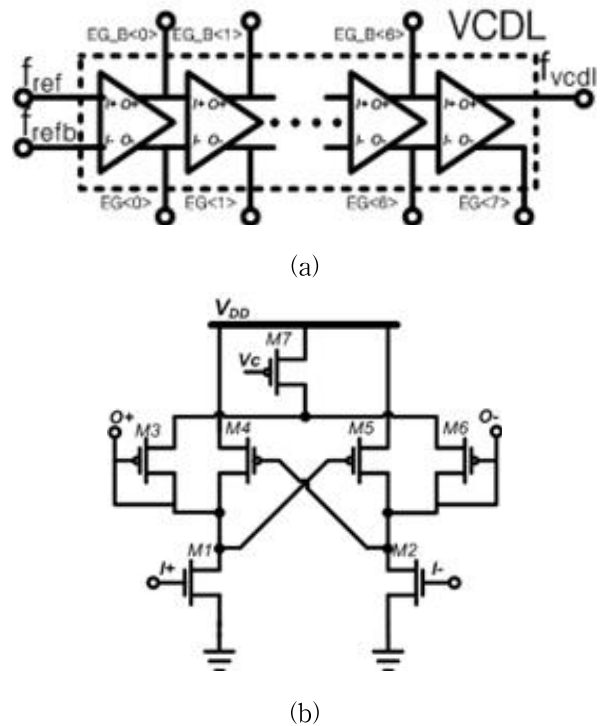
이를 해결하기 위해 본 논문에서는 DLL(Delay Locked Loop) 기반의 주파수 체배기를 제안하고 그 효과를 검증 하였다. 주파수 체배기는 일반적으로 PLL구조나 DLL구조가 많이 사용되고 있다. PLL 기반의 클럭 합성기의 구조는 그림 1 (a)에서 보이는 것과 같이 크게 PFD(Phase Frequency Detector), CP(Charge Pump), LF(Loop filter), VCO (Voltage Controlled oscillator), Divider로 구성되어 있고, DLL기반의 클럭 합성기는 그림 1 (b)와 같이 PFD, CP, LF, VCDL(Voltage Controlled Delay Line), Edge Combiner로 구성되어 있다. DLL의 경우에는 개방형 지연 소자를 사용하기 때문에 기본적으로 주파수 체배가 불가능하다. 그러나 DLL이 제공하는 다중 위상 신호들을 이용하여 각 신호들의 edge를 합성해 주면, 주파수 체배된 신호를 얻을 수 있다. 이 경우에 합성에 사용되는 다중 위상 신호들의 위상이 균일해야 하고, 전체 위상 합이 360도가 되는 조건을 만족해야 한다.



<그림 1> (a) PLL기반 클럭 합성기 블록다이어그램 (b) DLL기반 클럭 합성기 블록다이어그램

PLL에서는 VCO와 고차의 루프필터를 사용하는 시

스템이기 때문에 안정도 확보가 어렵다. 반면에 DLL의 경우 1차 루프필터를 사용하여 항상 안정한 영역에서 동작하기 때문에 설계하기가 쉽다는 장점을 가지고 있다. 또한 PLL의 경우에는 VCO를 사용하기 때문에 지터가 축적되는 단점을 가지게 된다. 그러나 DLL의 경우에는 VCDL을 사용하고 있기 때문에 지터 축적의 문제가 발생하지 않는다. 그 밖에 일반적으로 DLL은 PLL보다 빠른 고정시간을 가지고, 적은 면적을 사용하여 설계 할 수 있다는 장점을 가진다.



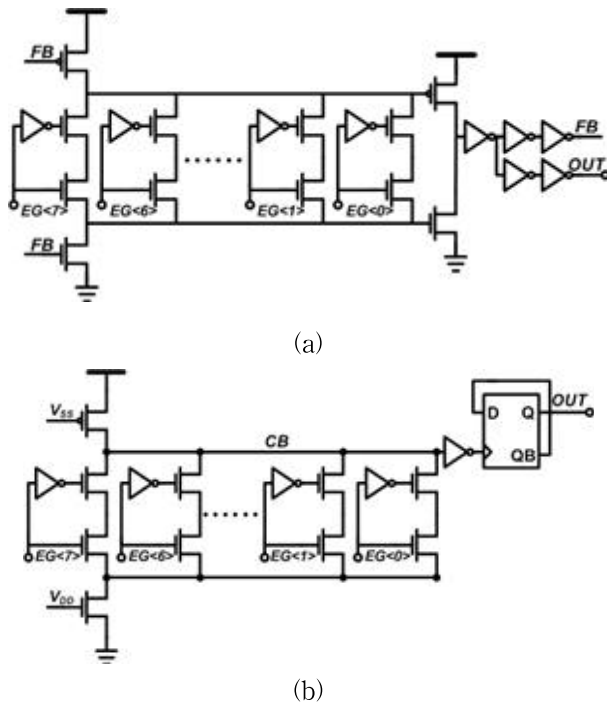
<그림 2> (a) VCDL의 회로도, (b)지연 단의 회로도.

본 논문의 설계한 DLL 기반의 주파수 체배기는 기준 주파수의 2배 및 4배의 주파수를 합성하는 용도로 사용되기 때문에 높은 위상 잡음 특성을 만족하여야 한다. 이를 위해서 DLL에 사용되는 블록들은 잡음에 강하도록 설계 되었다. 회로에 관한 자세한 내용은 2장에서 설명하고, 3장에서는 65nm CMOS 공정을 이용하여 제작된 칩의 측정결과를 제시하고, 4장에서는 논문의 결론을 맺도록 한다.

2. DLL 기반 주파수 체배기

2.1 자연선로

DLL의 위상 잠음 특성을 개선하기 위해서 VCDL에 사용하는 지연 단은 차동 구조로 설계하여 공동형 잠음을 제거 하였다. 그림 2의 (a)와(b)는 VCDL과 지연 단의 회로도 를 나타내고 있다.



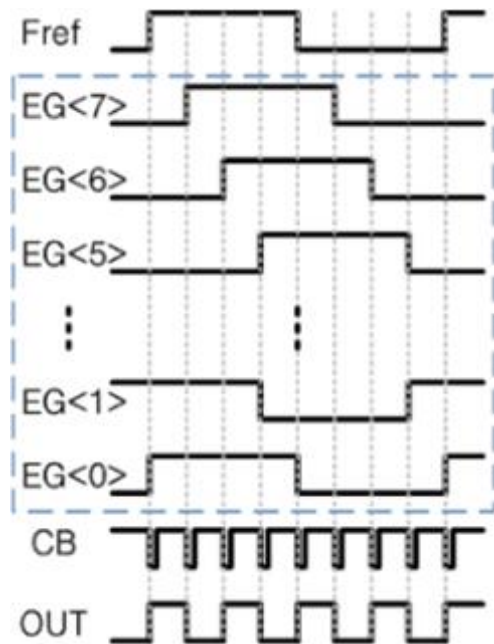
<그림 3> (a) 기존의 Edge combiner의 회로도,
(b) 제안된 Edge combiner의 회로도

그림 2의 (b)는 VCDL에 사용하는 지연 단의 회로이다.^[7] 동작원리를 간단히 살펴보면 다음과 같다. M1과 M2 트랜지스터의 게이트 부분은 입력으로 사용되고, 드레인 쪽은 출력이 된다. M7 트랜지스터는 지연 단의 지연시간을 조절하기 위해서 사용하였다. 컨트롤 전압 V_c 가 변하게 되면 M7를 통해 M3과 M6에 흐르는 전류가 가변 되어 지연시간이 조절 된다. V_c 전압이 V_{SS} 일 때 가장 빠른 지연시간을 가지고, V_c 전압이 증가할수록 점점 지연시간이 증가하게 된다.

2.2 Edge Combiner

Edge Combiner회로는 VCDL에서 출력되는 지연 신호들을 합성하여 원하는 주파수의 클럭을 합성해 주게 된다. 그림 3의 (a)와(b)는 기존의 Edge combiner와 제안된 Edge combiner를 비교 도시하였다.

그림 3 (a)는 기존구조의 Edge Combiner를 나타내고 있다.^[8] 동작원리를 간단히 알아보면 EG 신호들이 들어오게 되면 NMOS 2개와 인버터 하나로 구성된 Edge Combiner의 입력 회로가 턴 온 되는 시간 동안 링 오실레이터 처럼 동작하게 된다. 그러한 이유 때문에 공정이 발전하면서 출력 인버터들의 단위 지연시간이 짧아지면서 입력회로가 턴 온 된 시간 동안 발전할 수 있는 문제가 있다.

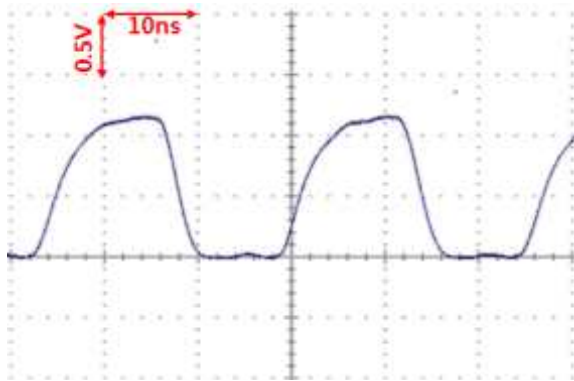


<그림 4> 제안된 Edge combiner의 타이밍도

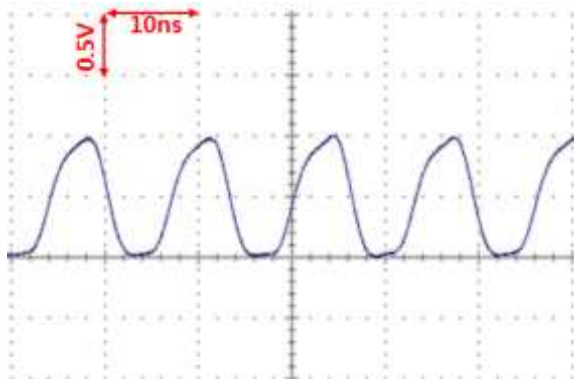
이러한 문제를 해결하기 위해서 그림 3 (b)와 같은 구조를 제안하게 되었다. 동작원리를 간단히 살펴보면 클럭이 VCDL에 인가되면 지연 선로를 통과하면서 그림 4와 같이 일정한 지연시간을 갖는 EG<7> ~ EG<0>의 신호를 출력하게 된다. 이 신호들은 Edge Combiner의 입력으로 사용하게 된다. 이 EG 신호들은 입력 회로에서 각 신호의 상승 edge마다 작은 펄스 신호를 만들어 주게 된다. 입력회로에서 만들어진 신호들은 그림 4의 CB 신호와 같이 나타나게 된다. CB 신호는 출력 단에 있는 플립플롭의 입력 클럭으로

사용되고, 그림 4의 OUT 신호와 같은 출력 신호를 만들어주게 된다. 이러한 구조를 사용하게 되면 입력 회로의 턴 온 시간이 길어지게 되더라도 EG가 들어올 때 한번의 출력 변화만 가져오기 때문에 더 안정적인 동작을 보장 할 수 있다.

본 논문에서는 설계한 DLL기반의 주파수 체배기는 기준 주파수의 2배와 4배의 주파수를 출력하도록 되어있고, 이를 위해서 4배의 주파수를 출력할 경우에는 VCDL에서 출력되는 EG<7>~ EG<0>의 신호가 모두 Edge Combiner에 입력되어 출력을 만들어 주게 설계하였고, 2배의 주파수를 출력하는 경우에는 짝수 번째의 EG신호만 Edge Combiner에 입력되어 출력을 만들어주게 설계되었다.



(a)



(b)

<그림 5> DLL 기반의 주파수 체배기의 출력파형, (a) 기준 주파수의 2배의 출력, (b) 기준 주파수의 4배의 출력

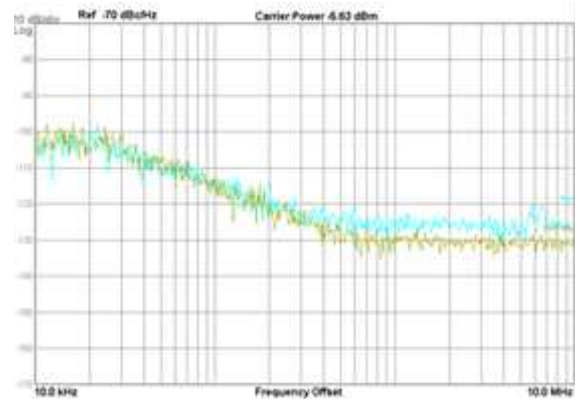
Edge Combiner 블록 또한 최적의 잡음 특성을 갖

도록 하기 위하여 위상잡음 시뮬레이션을 통하여 트랜지스터의 사이즈를 조절하였다.

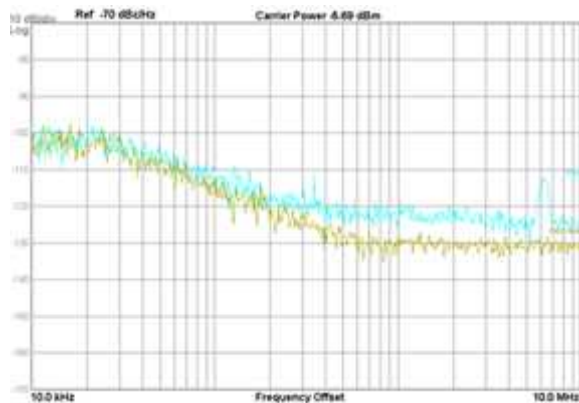
3. 측정결과

본 논문은 65nm, 1.2V TSMC CMOS 공정을 이용하여 설계 되었고 위상잡음을 측정하기 위해서는 Agilent Technologies 사의 N9010A EXA 신호 분석기를 사용하였고, 출력파형 및 전류를 측정하기 위해서는 Tektronix 사의 MSO 4140 오실로스코프를 사용하였다.

DLL기반 주파수 체배기 측정에는 19.2MHz의 SMD 타입의 TCXO(Temperature Compensated Crystal Oscillator)를 기준주파수로 사용하여서 측정을 진행하였다. 그림 5는 DLL기반의 주파수 체배기의 출력파형을



(a)



(b)

<그림 6> SSB 위상잡음 측정(a)기준 주파수의 2배의 출력, (b)기준 주파수의 4배의 출력

나타내고 있고, (a)는 기준 주파수의 2배의 주파수를 출력 할 때의 파형이고, (b)는 기준 주파수의 4배의 주파 수를 출력 할 때의 파형이다. 그림 5의 (a)는 파형의 주기가 26ns로 측정되어 원하는 주파수가 나오는 것을 확인 할 수 있었고, (b)의 파형 역시 주기가 13ns로 측정되어 원하는 주파수가 출력 되는 것을 확인 할 수 있었다.

위상잡음 측정을 위해서 DLL기반의 주파수 체배기의 스펙트럼 분석을 진행하였다. 그림 6의 (a),(b)는 DLL기반 주파수 체배기의 출력 주파수 특성을 나타내고 있다.

그림 6 (a)는 주파수 체배기가 기준주파수의 2배의 주파수를 출력할 때를 위상 잡음을 측정한 파형이다. 본 논문에서 위상 잡음 감소에 초점을 맞추어 설계하였기 때문에 가장 중요한 측정 자료라고 할 수 있다. 두 개의 파형 중에 아래쪽에 있는 파형은 TCXO 자체의 위상 잡음을 나타낸 것이고, 위쪽에 있는 파형은 주파수 체배기의 출력 위상잡음을 나타내고 있다. 파형을 분석해보면 TCXO 자체의 위상잡음과 주파수 체배기 출력의 위상잡음이 5dB정도 잡음특성이 열화 된 것을 확인 할 수 있었고, 1MHz에서 -125dBc/Hz의 위상잡음을 측정 할 수 있었다. 그리고 위상잡음 측정에서 300kHz 이하의 주파수 에서 두 위상잡음이 거의

차이가 없는 것처럼 보이는 것은 측정 장비의 한계치 때문인 것으로 판단된다.

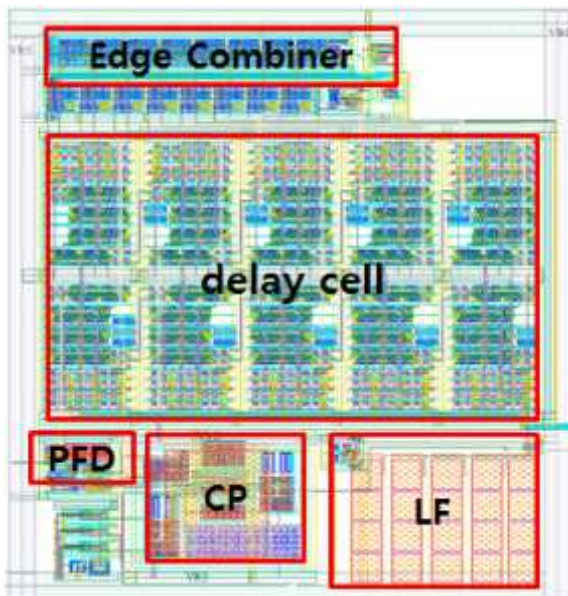
그림 6의 (b)는 기준 주파수의 4배의 주파수를 출력 할 때의 위상잡음을 측정한 것으로 이전의 측정과 비슷한 경향을 보였으나 300kHz 이상에서 TCXO 와 주파수 체배기의 출력 위상잡음이 7dB 정도 잡음특성이 열화 된 것을 확인 할 수 있었다.

그림 7은 이번에 설계한 DLL기반의 주파수 체배기의 레이아웃 이다. 레이아웃에서 지연선로가 가장 넓은 면적을 차지하고 있고 전체 면적은 0.032 mm²으로 설계 되었다. 또한 출력버퍼를 포함하여 전체 칩에서 소비한 전류는 기준주파수의 2배의 주파수를 출력하는 경우에는 1.8mA 로 측정되었고, 4배의 주파수를 출력하는 경우에는 2.2mA로 측정 되었다.

4. 결 론

본 논문에서는 낮은 위상잡음을 갖는 DLL 기반의 주파수 체배기를 제안하였다. 잡음 특성을 개선하기 위해서 VCDL에 사용하는 지연 단을 차동구조로 설계 하였고, Edge Combiner 역시 위상잡음 시뮬레이션을 통해 트랜지스터 크기를 최적화 하였다.

주파수 체배기의 설계는 65nm, 1.2V TSMC CMOS 공정을 이용하였고, 위상잡음은 기준주파수와 비교하였을 때 5dB정도 잡음특성이 열화 된 것을 확인 할 수 있었다. 이번에 설계한 주파수 체배기를 이용하면 PLL 기반의 주파수합성기에 잡음 특성 개선을 기대할 수 있다.



<그림 7> DLL 기반의 주파수 체배기 레이아웃

References

- [1] Kyungho Ryu; Dong-Hoon Jung; Seong-Ook Jung, "A DLL With Dual Edge Triggered Phase Detector for Fast Lock and Low Jitter Clock Generator,"IEEE Transactions on Circuits and Systems I Regular Papers Volume. 59 PP. 1860 - 1870, Sept. 2012.
- [2] Hwang. S, Kim, K.-M. ; Kim. K, Kim. C., "A Self-Calibrated DLL-Based Clock Generator for an Energy-Aware EISC Processor,"IEEE

Transactions on Very Large Scale Integration(VLSI) Systems, Issue: 99 ,PP.1 - 5 , Apr 2012

- [3] Seung-Jun Bae; Hyung-Joon Chi; Park, H.-J., "A VCDL-based 60-760-MHz dual-loop DLL with infinite phase-shift capability and adaptive-bandwidth scheme," IEEE Journal of Solid-State Circuits , PP.1119 - 1129, May 2005
- [4] Ng, H.J.; Stuhlberger, R.; Maurer, L.; Sailer, T.; Stelzer, A. "Low Phase Noise 77-GHz Fractional-N PLL with DLL-based Reference Frequency Multiplier for FMCW Radars," European Microwave Integrated Circuits Conference (EuMIC) PP.196 - 199 , 2011
- [5] Pu Xiao; Abraham, J.; Thomsen, A.; Nagaraj, K. "A novel fractional-N PLL based on a simple reference multiplier," International Midwest Symposium on Circuits and Systems (MWSCAS), PP.1-4 ,2011
- [6] Woojae Lee; SeongHwan Cho ,"A 2.4-GHz Reference Doubled Fractional-N PLL with Dual Phase Detector in 0.13- μ m CMOS," International Symposium on Circuits and Systems (ISCAS), PP. 1328 - 1331, 2010
- [7] Sunghwa Ok; Kyunghoon Chung ,"An Antiharmonic, Programmable, DLL-Based Frequency Multiplier for Dynamic Frequency Scaling," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, PP. 1130 - 1134 , 2010
- [8] Chulwoo Kim; In-Chul Hwang; Sung-Mo Kang, "A low-power small-area ± 7.28 -ps -jitter 1-GHz DLL-based clock generator," IEEE Journal of Solid-State Circuits, PP. 1414-1420 , 2002



김형필 (Hyung Pil Kim)



황인철 (In Chul Hwang)

- 2012년 강원대학교 전기전자공학 전공 학사 졸업
 - 2012년 ~ 현재 강원대학교 전기전자공학전공석사 재학 중
 - 관심분야 : 반도체, PLL, Power Management IC
- 1993년 고려대학교 전자공학 학사 졸업
 - 1995년 고려대학교 공학석사 졸업
 - 2000년 고려대학교 공학박사 졸업
 - 2000년 ~ 2001년 Univ. of Illinois at Urbana-Champaign에서 박사 후 연구원.
 - 2001년 ~ 2007년 삼성 Sys. LSI 책임연구원.
 - 2007년 ~ 현재 강원대학교 전기전자공학전공 부교수
 - 관심분야 : Analog & RF IC 설계, Power Management IC

논문접수일 : 2013년 08월 26일
 1차수정완료일 : 2013년 09월 23일
 2차수정완료일 : 2013년 09월 27일
 게재확정일 : 2013년 10월 04일