

# 뇌전도 신호 처리용 아날로그 전단부 구현†

## (Implementation of an analog front-end for electroencephalogram signal processing)

김민철\*, 심재훈\*\*

(Min-Chul Kim and Jae Hoon Shim)

**요약** 본 논문은 뇌전도 신호 처리를 위한 아날로그 전단부를 제시한다. 일반적으로 뇌전도 신호는 낮은 주파수 대역에 존재하고 신호의 크기가 미약하므로 이를 처리하기 위한 아날로그 전단부는 높은 전압 이득 및 공통모드 제거비를 가져야 하며 저주파 잡음을 효과적으로 억제해야 한다. 본 논문에서 제시하는 아날로그 전단부는 가변 이득 계측 증폭기와 대역통과 필터로 구성되어 있다. 낮은 주파수의 잡음을 제거하기 위하여 주파수 chopping을 적용하였다. 본 논문의 회로는 0.18 $\mu$ m CMOS 공정을 이용하여 제작하였으며 측정 결과 최대 60dB의 전압이득과 100dB 이상의 공통모드 제거비를 내는 것을 확인하였다.

**핵심주제어** : 계측 증폭기, 뇌전도 신호, 가변증폭기

**Abstract** This paper presents an analog front-end for electroencephalogram(EEG) signal processing. Since EEG signals are typically weak and located at very low frequencies, it is imperative to implement an amplifier with high gain, high common-mode rejection ratio(CMRR) and good noise immunity at very low frequencies. The analog front-end of this paper consists of a programmable-gain instrumentation amplifier and a band-pass filter. A frequency chopping technique is employed to remove the low-frequency noise. The circuits were fabricated in 0.18 $\mu$ m CMOS technology and measurements showed that the analog front-end has the maximum gain of 60dB and >100dB CMRR over the programmable gain range.

**Key Words** : Instrumentation Amplifier, EEG, VGA

### 1. 서론

뇌의 수많은 신경에서 발생한 전기적 신호들은 두 피상의 접촉 또는 비접촉 전극을 이용하여 측정 가능한데 이를 뇌전도(Electroencephalogram) 신호라고 한다[1]. 뇌전도 신호는 사람의 심신 상태에 따라 다르

게 나타나며 뇌의 활동 상황을 측정하는 중요한 지표로 활용된다. 하지만 뇌전도의 측정 환경 특성 상 여러 신경세포에서 발생된 전기 신호의 합만을 관측할 수 있어 공간 분해능이 떨어지고 신경 세포로부터 전극까지 전달될 때 많은 감쇄를 겪기 때문에 일반적으로 뇌전도 신호는 수 백  $\mu$ V 정도로 매우 미약한 문제점을 갖고 있다[2]. 또한 뇌의 활동에 따른 전기 신호이므로 매우 낮은 주파수를 갖고 있다. 따라서 뇌전도 신호 처리를 위한 아날로그 회로는 잡음 특성이 우수해야 하며 낮은 주파수의 신호를 효과적으로 처리할

† This research was supported by Kyungpook National University Research Fund, 2009

\* 하이 에어 코리아, 제1저자

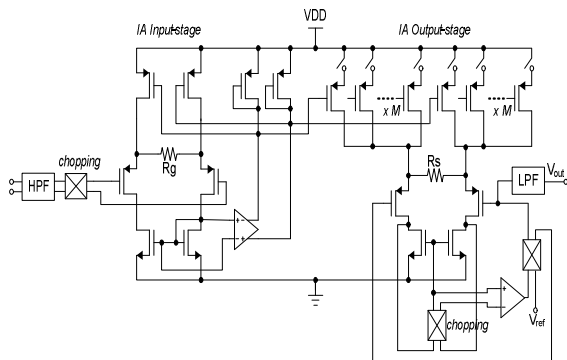
\*\* 경북대학교 IT대학 전자공학부, 교신저자(jhshim@knu.ac.kr)

수 있어야 한다.

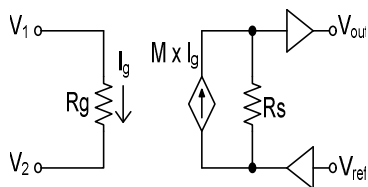
본 논문에서는 저전압, 저주파수 대역의 EEG신호를 효과적으로 처리할 수 있는 아날로그 전단부를 제시한다. 고정된 이득의 계측증폭기 뒤에 가변증폭기를 추가로 사용하는 일반적인 방식과는 달리 계측 증폭기 자체에 가변 이득을 줄 수 있는 방식을 사용하여 전력 소모 및 칩 면적을 줄였다. 또한 DC 오프셋 전압 및 낮은 주파수의 잡음을 제거하기 위하여 주파수 chopping 방식을 이용하였고 chopping을 위한 클럭 신호가 출력에 타고 들어 가는 것을 줄이기 위하여 chopping 주파수에 노치를 갖고 있는 필터를 사용하였다.

## 2. 회로 구성

<그림 1>은 본문에서 제시하는 뇌전도 신호 처리용 아날로그 전단부의 전반적인 구성도이다. 기본적으로 계측증폭기와 대역통과필터로 구성되어 있고 여기에 주파수 chopping이 적용되어 있다. 또한 전압 이득을 조정할 수 있도록 되어 있다.



<그림 1> 회로 구성도



<그림 2> 전류 변환 증폭기 개념도

### 2.1 전류 변환 증폭기

뇌전도 신호는 두 전극의 전위차를 차동 증폭기를 이용하여 측정하여 얻어진다. 연산 증폭기 세 개를 이용하는 일반적인 계측 증폭기는 전력 소모와 회로의 크기가 커지는 문제점이 있으나 <그림 2>와 같은 전류 변환 구조를 사용하면 적은 면적으로 회로를 구현할 수 있고 더 좋은 CMRR(common-mode rejection ratio)을 얻을 수도 있다[3-5]. <그림 2>에서 입력단의 차동 입력 전압은 입력 저항( $R_g$ )에 의해 전류로 변환되고 이 전류가 출력단에 복사 되어 출력 저항( $R_s$ )에 의해 다시 전압으로 변환된다. 이 과정에서 전류가 복사되는 비( $M$ )와 입력 저항과 출력 저항의 비에 의해 전체 전압 이득이 다음 수식과 같이 결정되게 된다.

$$V_{out} = M \frac{R_s}{R_g} (V_1 - V_2) + V_{ref} \quad (1)$$

뇌전도 신호의 크기는 사람마다 그리고 측정 환경에 따라 크게 달라질 수 있기 때문에 증폭기의 전압 이득을 조절할 수 있어야 한다. 수식 (1)을 보면 전압 이득은 저항 비 또는 전류 비를 조절함으로써 변경할 수 있음을 알 수 있다. 저항의 비를 조절하는 것보다는 전류비  $M$ 을 조절하는 것이 쉽고 면적도 적게 차지하므로 트랜지스터 어레이를 이용하여 전류비  $M$ 을 3비트의 디지털 코드로 제어할 수 있게 하였다.

### 2.2 주파수 Chopping

뇌전도 신호와 같은 생체 신호는 일반적으로 낮은 주파수 대역에 존재하므로 아날로그 회로의 DC 오프셋 전압 및 저주파 잡음이 문제가 된다. 특히 CMOS 공정을 사용할 경우 입력 저항을 크게 할 수 있다는 장점이 있으나  $1/f$  잡음이 크다는 단점이 있다. 이를 해결하기 위하여 주파수 chopping을 사용하였다[6]. 주파수 chopping은 입력 신호를 잠시 높은 주파수로 이동시킨 후 신호를 증폭시킴으로써 낮은 주파수에 존재하는 DC 오프셋 신호와  $1/f$  잡음을 원하는 신호와 분리하는 기술이다. 증폭된 신호를 다시 낮은 주파수로 이동시킨 후 이 과정에서 높은 주파수로 이동한 DC 오프셋 및  $1/f$  잡음을 필터를 이용하여 제거하는 방식이다.

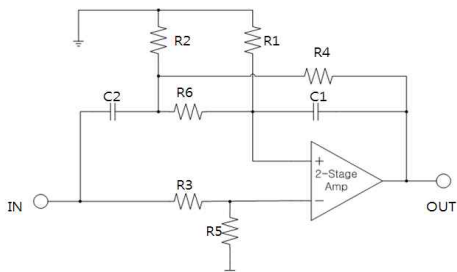
본 논문의 아날로그 전단부에서는, 입력 신호가 고역 통과 필터를 통과한 후 계측 증폭기의 입력단에

인가 되기 바로 직전 주파수 변조를 실행하고 계측 증폭기의 출력단에서 다시 전압으로 변환되고 출력 버퍼에 들어 가기 직전 다시 한번 변조를 수행한다. 변조 주파수는  $1/f$  잡음의 코너 주파수보다 충분히 높은 2.5 kHz를 사용하여 DC 오프셋 전압 및 저주파 잡음을 제거하기 쉽게 하였다.

### 2.3 필터

대부분의 뇌전도 신호는 0.5 Hz에서 30 Hz 사이의 주파수에 존재하나 일부 뇌파 신호는 수 백 Hz의 주파수에까지 뻗어 있기도 하다. 본 논문의 아날로그 전단부는 이 주파수 이외의 신호를 제거하기 위하여 대역 통과 필터를 포함하고 있다.

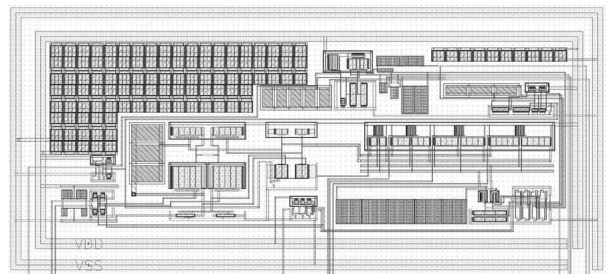
대역 통과 필터는 고역 통과 필터와 저역 통과 필터를 함께 사용하여 구현하였다. 특히 저역 통과 필터는 주파수 chopping에 의해 고주파 대역으로 이동한 DC 오프셋 및  $1/f$  잡음, 그리고 chopping에 사용된 클럭 신호의 리플을 제거해야 하므로 chopping 주파수와 같은 2.5 kHz에 노치를 포함하는 <그림 3> 형태의 필터를 사용하였다[7]. <그림 3>의 필터는 신호를 추가적으로 두 배 증폭시키게 설계 되었다.



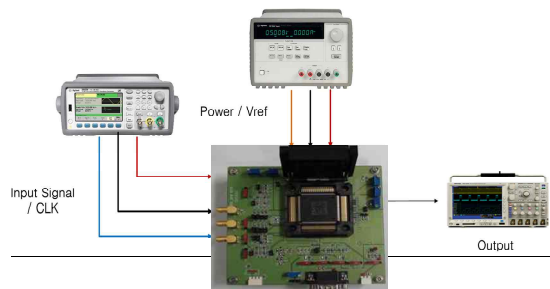
<그림 3> Low-pass-notch 필터 회로

## 3. 구현 및 측정 결과

본 논문의 아날로그 전단부는 0.18um CMOS 공정을 이용하여 구현되었다. <그림 4>는 아날로그 전단부의 레이아웃 결과이다. 칩 안에 필터를 위한 큰 커패시터를 포함하고 있어 0.15mm<sup>2</sup>의 비교적 큰 면적을 사용하였다.

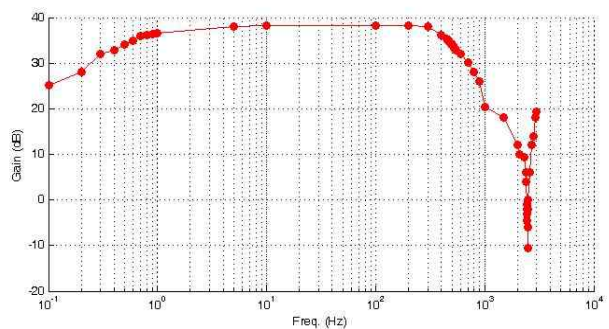


<그림 4> 아날로그 전단부의 레이아웃



<그림 5> 측정 환경

<그림 5>는 측정 환경이다. 입력신호의 주파수를 변경해 가며 전압 이득을 측정한 결과 <그림 6>의 결과를 얻었다. 전압 이득은 약 38dB로 설정한 상태이고 0.5Hz에서 500Hz의 범위에서 비교적 일정한 전압 이득을 얻을 수 있다. 또한 2.5kHz에서 약 40dB의 감쇄를 갖는 노치가 있음을 확인하였다.



<그림 6> 주파수에 따른 전압 이득

공통모드제거비(CMRR)는 모든 전압 이득 설정에서 100dB 이상의 값을 보였다. 전원 전압은 3.3V를 사용하였고 전체 전력 소모는 2mW이다. <표 1>은 아날로그 전단부의 측정 결과를 요약한 것이다.

<표 1> 측정 결과 요약

구분	값
공정	0.18um CMOS
전원 전압	3.3V
전압이득(가변)	80 - 1040
공통모드제거비	>100dB
대역폭	0.5Hz - 500Hz
전력소모	2mW
칩 면적	0.15mm <sup>2</sup>

#### 4. 결 론

뇌전도 신호를 처리하기 위한 아날로그 전단부를 제시하였다. 가변 이득 전류 궤환 증폭기와 필터로 구성되며 주파수 chopping 기술을 적용하였다. 전류 궤환 구조를 사용함으로써 높은 공통모드제거비를 얻을 수 있고 별도의 가변이득증폭기를 추가로 사용할 필요가 없어 면적 및 전력소모를 줄일 수 있다. CMOS 공정을 사용함으로써 발생하는 큰 DC 오프셋 전압 및 1/f 잡음을 주파수 chopping을 사용하여 완화하였으며 chopping으로 인해 출력 신호에 더해지는 리플은 chopping 주파수에 필터의 노치를 추가함으로써 해결할 수 있다.

#### References

[1] R. Cooper, J.W. Osselton, and J. C. Shaw, *EEG Technology*, Third edition, Butterworths, 1980.

[2] T. Lim and Y. P. Xu, "A low-power and low-offset CMOS front-end amplifier for portable EEG acquisition system," *Biomedical Circuits and Systems, 2004 IEEE International Workshop on*, 1-3 Dec. 2004, pp. 17-20.

[3] H. Krabbe, "A high performance monolithic instrumentation amplifier," in *ISSCC Dig. Tech. Papers*, Feb. 1971, pp. 186-187.

[4] M. S. J. Steyaert, W. M. C. Sansen, and C. Zhongyuan, "A micropower low-noise monolithic instrumentation amplifier for medical purposes," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 1163-1168, Dec. 1987.

[5] R. Martins, S. Selberherr, and F. A. Vaz "A CMOS IC for Portable EEG Acquisition Systems," *Instrumentation and Measurement, IEEE Transactions on*, vol. 47, no. 5, pp. 1191 - 1196, Oct. 1998.

[6] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization," *Proc. IEEE*, vol. 84, no. 11, pp. 1584-1614, Nov. 1996.

[7] S. Boctor, "Single amplifier functionally tunable low-pass-notch filter," *Circuits and Systems, IEEE Transactions on*, vol. 22, no. 11, pp. 875-881, Nov. 1975.



김민철 (Min-Chul Kim)

- 한밭대학교 전자공학과 공학학사
- 경북대학교 전자전기컴퓨터학과 공학석사
- 하이 에어 코리아 근무

• 관심분야 : 임베디드 시스템, 바이오 시스템



심재훈 (Jae Hoon Shim)

- KAIST 전기및전자공학과 공학학사
- KAIST 전자전산학과 공학석사
- KAIST 전자전산학과 공학박사

• 경북대학교 IT 대학 전자공학부 조교수

• 관심분야 : Data Converter, PLL, 바이오 시스템

논문접수일 : 2013년 08월 28일

1차수정완료일 : 2013년 09월 17일

2차수정완료일 : 2013년 09월 25일

게재확정일 : 2013년 10월 02일