

SRAM 셀 안정성 분석을 이용한 고속 데이터 처리용 TCAM(Ternary Content Addressable Memory) 설계[†]

(High Speed TCAM Design using SRAM Cell
Stability)

안 은 혜*, 최 준 림**

(Eun Hye Ahn and Jun Rim Choi)

요 약 본 논문에서는 고속 데이터 처리용 TCAM(Ternary Content Addressable Memory) 설계를 위하여 6T SRAM cell의 안정성 분석 방법에 대해 기술하였다. TCAM은 고속 데이터 처리를 목적으로 하기 때문에 동작 주파수가 높아질수록 필요 시 되는 CMOS 공정의 단위가 작아지게 된다. 공급 전압의 감소는 TCAM 동작에 불안정한 영향을 줄 수 있으므로 SRAM cell 안정성 분석을 통한 TCAM 설계가 필수적이다. 우리는 6T SRAM의 정적 노이즈 마진(SNM)을 측정하여 분석하였고, TCAM의 모든 시뮬레이션은 0.18 μ m CMOS 공정을 사용하여 확인하였다.

핵심주제어 : TCAM, SRAM, Static Noise Margin, Write Margin, Read Margin

Abstract This paper deals with the analysis of 6T SRAM cell stability for Hi-speed processing Ternary Content Addressable Memory. The higher the operation frequency, the smaller CMOS technology required in the designed TCAM because the purpose of TCAM is high-speed data processing. Decrease of Supply voltage is one cause of unstable TCAM operation. Thus, We should design TCAM through analysis of SRAM cell stability. In this paper we propose methodology to characterize the Static Noise Margin of 6T SRAM. All simulations of the TCAM have been carried out in 180nm CMOS process technology.

Key Words : TCAM, SRAM, Static Noise Margin, Write Margin, Read Margin

1. 서 론

CAM(Content Addressable Memory)은 탐색 데이터를 처리해야 하는 분야에 사용되는 특수 메모리로

써 저장된 데이터의 수와 상관없이 병렬 처리 방식으로 접근하여 검색 데이터와 비교가 가능하다. 그렇기 때문에 대용량 데이터 처리 시스템에 많이 사용되고 있으며 빠른 속도의 이점을 지니고 있다. 본 논문에서는 CAM의 구조를 변형하여 TCAM(Ternary Content addressable memory) 설계를 제안하였다. TCAM은 기존의 CAM과 달리 데이터를 기록하는 밸류 셀

[†] 이 논문은 2013학년도 경북대학교 전임교원 연구년 교수 연구비에 의하여 연구되었음.

* 경북대학교 전자공학과, 제1저자

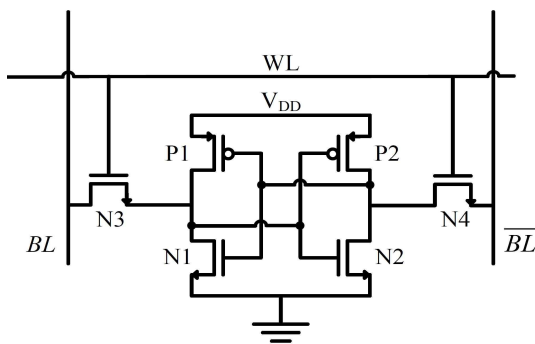
** 경북대학교 전자공학과, 교신저자(jrchoi@ee.knu.ac.kr)

(Value Cell)뿐만 아니라 마스크 셀(Mask Cell)을 따로 구성하여 0, 1의 이진 값과 돈 케어 값(Don't care : X) 모두 사용할 수 있다. 그러므로 고속으로 IP 주소 테이블 검색하여 다음 목적지를 찾는 분야에 대표적으로 이용되고 있다. [1] 또한, TCAM은 고속 데이터 처리를 주요 목적으로 하기 때문에 동작 주파수가 높아질수록 SRAM 셀에 대한 안정성 분석이 필수적이게 된다. 우리는 0.18 μ m CMOS 공정을 사용하여 TCAM을 설계 하였고, SNM(Static Noise Margin) 측정을 통한 셀 안정성 분석뿐만 아니라 시뮬레이션을 통한 TCAM의 전체적인 동작까지 검증하였다.

2. 본 론

2.1 6T SRAM

<그림 1>은 4개의 NMOS 트랜지스터와 2개의 PMOS 트랜지스터를 사용하여 총 6개의 트랜지스터로 구성된 SRAM 셀을 보여주고 있다. 셀 내부에는 두 개의 인버터가 래치의 마주 보는 형태로 배치되어 있으며, 두 개의 NMOS 트랜지스터는 비트 선에서 셀에 접근을 허용하는 액세스 트랜지스터(Access Transistor)로 구성되어 있다. 데이터는 2개의 비트선(BL, BLB)을 통하여 이동하며, 워드선(WL)을 통해 액세스 신호가 컨트롤되는데 이를 이용하여 SRAM 셀에 데이터를 읽고 쓰는 것(read/write)이 가능하다. [2]

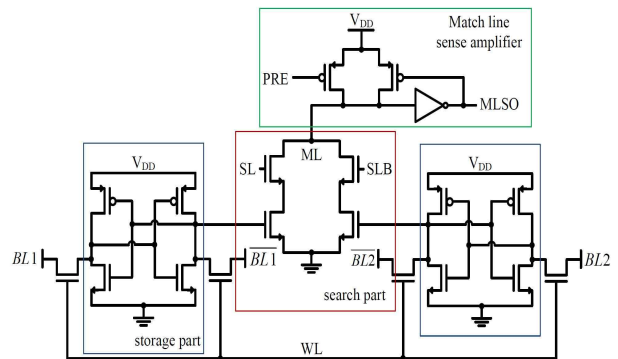


<그림 1> 6-transistor SRAM cell

2.2 TCAM

<그림 2>는 16T TCAM cell과 MLSA(Match Line

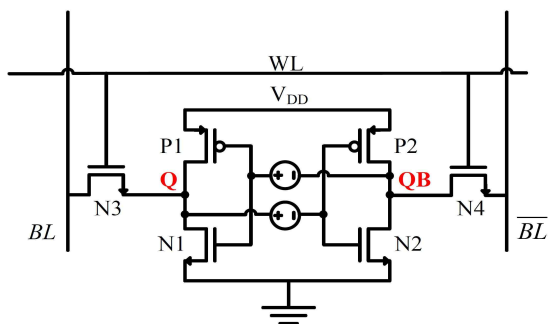
Sense Amplifier)를 함께 배치한 전체적인 설계 회로를 보여주고 있다. 회로 중앙부의 search part는 SL, SLB로 들어온 입력 데이터를 통해 storage part에 저장된 데이터와 비교를 하는 search operation을 하며, 설계에 따라 XOR 혹은 OR으로 구성할 수 있다. 이후에는 데이터가 ML을 따라 MLSA로 흐르게 되며 match 일 경우 MLSA의 출력이 high level을 유지하게 되고, miss-match일 경우 low level을 유지한다. 앞서 언급한 MLSA는 ML의 출력 값을 더욱 명확하게 high level이나 low level으로 구분하기 위해 구성하는데, MLSA의 종류는 매우 다양하기 때문에 search time이나 전력 소모 등의 필요한 특성에 맞춰 설계할 필요가 있다.



<그림 2> designed TCAM one cell

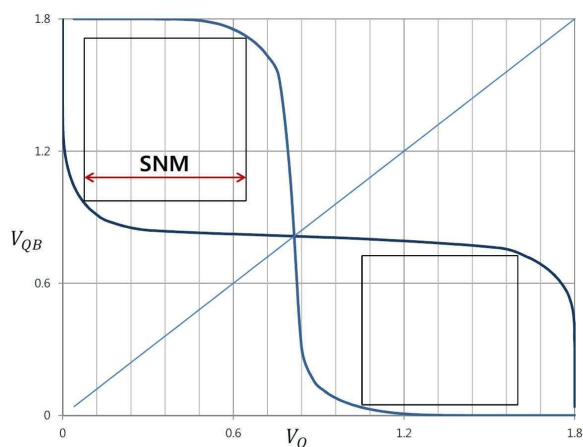
2.3 SNM(Static Noise Margin) 측정

SRAM cell의 셀 안정도(stability)란 공급전압, 온도, 공정 등의 변화나 노이즈가 존재할 경우에도 SRAM cell이 기억된 데이터를 훼손시키지 않고 잘 유지하는 능력을 말한다. SNM(Static Noise Margin)은 이러한 셀 안정성을 분석하는 방법이며, 전압의 단위로 노이즈를 측정하여 확인한다. <그림 3>은 SNM을 측정하기 위한 6T SRAM cell 회로를 보여주며, Q와 QB 노드에서 VTC(Voltage Transfer Characteristic)를 측정한다.



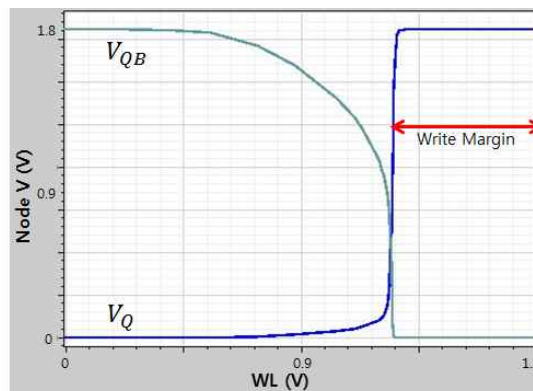
<그림 3> 6T SRAM cell for SNM

<그림 4>는 6T SRAM cell의 Q와 QB 노드에서 측정된 butterfly curve 그래프이다. SNM은 인버터의 입력에 의한 출력 특성과 이에 대해 반전 시킨 출력 특성인 두 개의 VTC 사이에서 최대의 정사각형을 찾는 다음, 한 변의 길이를 구함으로써 얻어진다. [2]



<그림 4> 6T SRAM cell for SNM

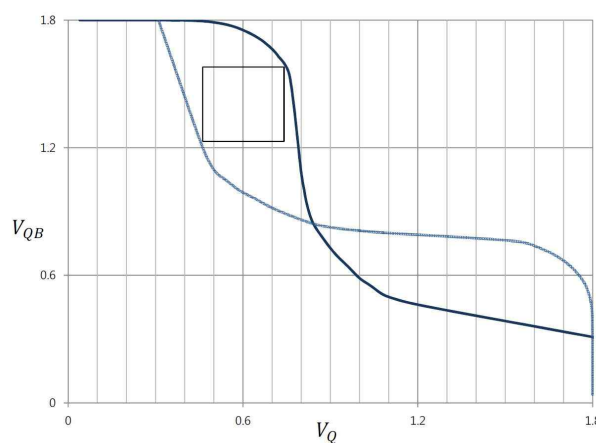
<그림 5>는 write margin을 나타내는 그래프이다. Q와 QB 노드에 각각 0과 1.8V의 전압으로 프리차지시켜 준 상태에서 BL=1.8V, BLB=0의 값을 준 뒤, WL의 전압을 0에서 1.8V로 증가시키면서 데이터가 write되는 지점을 확인하였다. WL이 1.2V 정도 되었을 때 새로운 데이터가 Write되었으며, 급격히 증가 또는 감소하는 지점(1.2V)부터 1.8V(supply voltage)까지의 간격이 write margin을 구하는 방법이다. [3]



<그림 5> Write margin of 6T SRAM

<그림 6>은 read margin을 나타내는 그래프이다. Read 동작 시에 SNM은 심각하게 감소하게 되는 것을 확인할 수 있다. 6T SRAM은 두 개의 인버터가 서로의 입력과 출력을 공유하고 있다. 그렇기 때문에 기억된 데이터가 뒤바뀔 위험성이 있어 드라이브 트랜지스터의 W/L값을 액세스 트랜지스터의 사이즈보다 크게 해준다.

<수식 1>은 6T SRAM<그림 3>의 액세스 트랜지스터(N4)와 드라이브 트랜지스터(N2)의 W/L의 비율에 따른 memory cell ratio(CR)이다. 보통 CR은 2 내지 3.5 정도의 값을 가지며 CR의 값이 클수록 셀 안정도가 좋아지고, noise margin이 증가하게 된다. [4]



<그림 6> Read margin of 6T SRAM

$$CR = \frac{(W/L)_{Driver\ tr.}}{(W/L)_{Access\ tr.}} = \frac{(W/L)_2}{(W/L)_4} \quad \text{<수식 1>}$$

<표 1>은 앞서 6T SRAM cell의 Q와 QB 노드에서 측정된 Margin 시뮬레이션 데이터를 정리하여 나타내었다. 1.8V의 공급 전압을 사용했을 때 SNM=0.560V, write margin=0.556V, read margin=0.286V이 나왔으며, 읽기 동작에서 SNM이 최소화되어 셀 안정도가 악화되었다.

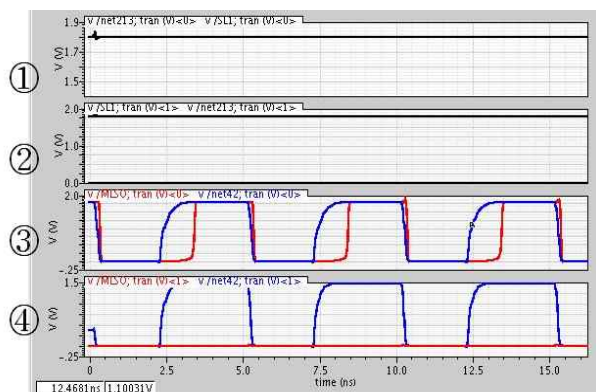
<표 1> Margin 시뮬레이션 데이터

Supply Voltage(V)	1.8V
SNM(V)	0.560V
Write Margin(V)	0.556V
Read Margin(V)	0.286V

2.4 TCAM 측정

<그림 7>은 제안된 구조의 TCAM one cell 시뮬레이션 그래프이다. 셀에 1이 저장(Q=1, QB=0)되어 있을 때 SL=1이면 'MATCH'되어 ML이 계속해서 High(1.8V)의 값을 유지하고, SL=0이면 'MISS-MATCH'되어 ML의 값이 LOW(1.5V)를 유지하게 된다. 이후, ML의 값이 MLSA를 거치게 되면 출력이 더욱 명확해져 High의 값 1.8V 그대로 유지하게 되고, LOW(1.5V)는 0V의 방전된 값을 출력한다.

<표 2>는 본 논문에 제안된 TCAM의 스펙과 성능을 요약하여 나타내었다.



<그림 7> Simulation wave form of TCAM

- ①: SL=1.8, Q=1.8
- ②: SL=0, Q= 1.8
- ③: ML=1.8V, MLSO=1.8V
- ④: ML=1.5V, MLSO=0V)

<표 2> TCAM 동작

Supply voltage(V)	1.8V
Process Technology	0.18 μ m
Operating Frequency(MHz)	100MHz
Matching time(ns)	1.97ns

3. 결론

본 논문에서는 고속 데이터 처리를 목적으로 하는 TCAM을 설계하기 위해 SNM 측정을 통한 SRAM의 셀 안정성 분석 방법을 제시하였다. 제안된 회로에서의 시뮬레이션에서 write margin과 read margin이 각각 0.556V, 0.286V로 측정되었으며, 100MHz에서 설계한 TCAM을 동작시켰을 때 1.97ns의 matching time을 보였다.

6T SRAM은 래치 구조의 배치 특성 상 드라이브 트랜지스터와 액세스 트랜지스터의 cell ratio를 고려 해주어야 하며, cell ratio가 증가할수록 SNM의 값이 커지며 셀 안정도가 커지는 것을 확인할 수 있었다.

References

- [1] K. Pagiamtzis and A. Sheikholeslami, "Content-Addressable Memory (CAM) Circuits and Architectures : A Tutorial and Survey" IEEE J, Solid-State Circuits, Vol. 41, no. 3, pp 712-727, March 2006.
- [2] Debasis Mukherjee, Hemanta Kr. Mondal and B.V.R.Reddy, "Static Noise Margin Analysis of SRAM Cell for High Speed Application" IJCSI, Vol. 7, Issue 5, September 2010.
- [3] Ajay Gadhe and Ujwal Shirode, "Read stability and Write ability analysis of different SRAM cell structures" IJERA, Vol. 3, Issue 1, pp.1073-1078, 2013.
- [4] J. Wang, S. Nalam, and B. H. Calhoun, "Analyzing static and dynamic write margin for nanometer SRAMs" ISLPEd, January. 1, 2008.

- [5] 박홍준, CMOS 디지털 집적회로 설계, 홍릉 과학출판사, 2008.
- [6] Sampath Kumar, Arti Noor, Brajesh Kumar Kaushik and Brijesh Kumar, "Design of Ternary Content Addressable Memory (TCAM) with 180nm" ICDeCom, pp 1-5, 2011.
- [7] M. M. Hasan, A.B.M.H. Rashid, M.M. Hussain, "A Novel Match-line Selective Charging Scheme for High-Speed, Low-Power and Noise-Tolerant Content-Addressable Memory" ICIAS, pp 1-4, 2010.

논문 접수일 : 2013년 08월 28일
 1차수정완료일 : 2013년 09월 24일
 2차수정완료일 : 2013년 10월 05일
 게재확정일 : 2013년 10월 08일



안 은 혜 (Eun Hye Ahn)

- 2012년 영남대학교 전자공학과 학사 졸업.
- 2013년 경북대학교 전자공학과 석사 재학.

• 관심분야 : TCAM, 아날로그 IC 설계, 디지털 IC 설계



최 준 립(Jun Rim Choi)

- 1986년 연세대학교 전기공학과 학사 졸업.
- 1988년 (미)Cornell Univ. 전자 전기공학과 석사 졸업.
- 1991년 (미)Minnesota Univ. 전자 전기공학과 박사 졸업.

• 1991년 ~ 1997년 LG전자기술원 책임연구원.
 • 1997년 ~ 현재 경북대학교 교수.
 • 2000년 ~ 현재 경북대 IDEC 지역센터장.
 • 관심분야 : System On Chip, 마이크로 센서, 디지털 시스템 설계