

MIPI D-PHY를 위한 2-Gb/s SLVS 송신단†

(A 2-Gb/s SLVS Transmitter for MIPI D-PHY)

백 승 욱*, 정 동 길**, 박 상 민***, 황 유 정****, 장 영 찬*****

(Seung Wuk Baek, Dong Gil Jeong, Sang Min Park, Yu Jeong Hwang, and Young Chan Jang)

요 약 고속 저전력 모바일 응용분야를 위한 1.8V 2-Gb/s scalable low voltage signaling (SLVS) 송신단을 제안한다. 제안하는 송신단은 데이터 전송을 위한 4-lane 송신단, 소스 동기 클럭 방식을 위한 1-lane 송신단, 그리고 8-phase 클럭 발생기로 구성된다. 제안하는 SLVS 송신단은 50 mV에서 650 mV의 출력 전압 범위를 가지며 고속 동작 모드와 저전력 모드를 제공한다. 또한, signal integrity를 개선하기 위한 출력 드라이버의 임피던스 교정 기법이 제안된다. 제안하는 SLVS 송신단은 1.8 V의 공급 전압을 가지는 0.18- μm 1-poly 6-metal CMOS 공정을 이용하여 구현된다. 구현된 SLVS 송신단의 데이터 jitter의 시뮬레이션 결과는 2-Gb/s의 데이터 전송속도에서 8.04 ps이다. 1-lane을 위한 SLVS 송신단의 면적과 전력소모는 각각 $422 \times 474 \mu\text{m}^2$ 와 5.35 mW/Gb/s이다

핵심주제어 : SLVS, 출력 임피던스 교정, 고속 동작 모드, 저전력 모드

Abstract A 1.8V 2-Gb/s scalable low voltage signaling (SLVS) transmitter (TX) is designed for mobile applications requiring high speed and low power consumption. It consists of 4-lane TX for data transmission, 1-lane TX for a source synchronous clocking, and a 8-phase clock generator. The proposed SLVS TX has the scaling voltage swing from 50 mV to 650 mV and supports a high speed (HS) mode and a low power (LP) mode. An output impedance calibration scheme for the SVLS TX is proposed to improve the signal integrity. The proposed SLVS TX is implemented by using a 0.18- μm 1-poly 6-metal CMOS with a 1.8 V supply. The simulated data jitter of the implemented SLVS TX is about 8.04 ps at the data rate of 2-Gb/s. The area and power consumption of the 1-lane of the proposed SLVS TX are $422 \times 474 \mu\text{m}^2$ and 5.35 mW/Gb/s, respectively.

Key Words : SLVS, output impedance calibration, high speed mode, low power mode

1. 서 론

MIPI (Mobile Industry Processor Interface)는 모바일 IT 기기의 프로세서와 주변장치간의 인터페이스를 최적화하기 위한 모바일 어플리케이션과 프로세서의 개방형 표준이다. 최근 모바일 디스플레이를 이용하는 스마트폰 및 스마트 북과 같은 모바일 기기의 수요가

† 본 논문은 중소기업청에서 지원하는 2013년도 산학연공동 기술개발사업(No. C0095753)의 연구수행으로 인한 결과물임을 밝힙니다.

* 금오공과대학교 전자공학과, 제1저자

** 금오공과대학교 전자공학과, 제2저자

*** 금오공과대학교 전자공학과, 제3저자

**** 금오공과대학교 전자공학과, 제4저자

***** 금오공과대학교 전자공학과, 교신저자(ycjang@kumoh.ac.kr)

급증함에 따라 이에 관련된 기술이 급속도로 발전되고 있다. 모바일 응용분야에서는 편의성과 휴대성을 요구하고 하나의 장치에서 다양한 기능을 수행할 수 있는 멀티미디어 요소는 모바일 디바이스에서 빠질 수 없는 요소가 되었다. 하지만 디바이스가 다양한 기능을 수행할수록 더 많은 전력을 필요로 하게 되므로 기존의 병렬 인터페이스 방식보다 전력 소모를 줄일 수 있는 고속 직렬 인터페이스가 주로 이용된다[1][2]. 또한 고속 직렬 인터페이스 방식은 wire의 수를 줄여 생산비용과 신뢰성 면에서 장점을 가지고 있어 저면적 저전력의 특성을 가지는 MIPI의 채택이 급증하고 있다.

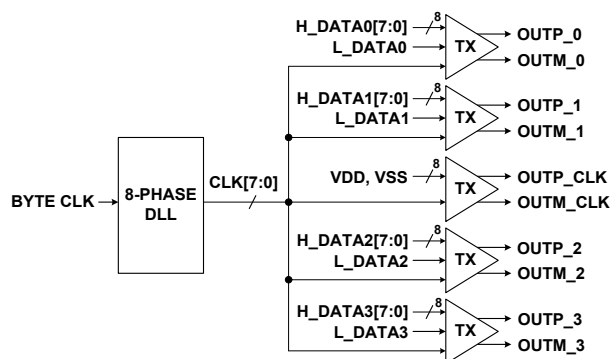
일반적으로, 전압 모드로 동작하는 송신단의 임피던스는 출력 드라이버 소자의 turn on 저항으로 모델링되고, signal integrity를 향상시키기 위해 소자의 turn on 저항을 채널 임피던스에 정합시킨다. SLVS 송신단의 출력 임피던스 정합을 위하여 pre-driver의 공급 전압을 제어하는 방법[3][4]과 출력 드라이버를 병렬로 구성하는 방법[5][6]이 연구되었다. Pre-driver의 공급 전압을 제어하는 방법 [3][4]의 경우 pre-driver의 공급 전압을 제어하기 위한 레귤레이터가 필요하고 그에 따라 전력소모와 면적이 증가한다. 출력 드라이버를 병렬로 연결하는 방법[5]의 경우 레귤레이터로 인한 추가 전력소모와 면적 증가가 없고, 출력단의 기생 커패시터가 적어 고속 동작에 좋은 장점이 있다. [5]의 경우 송신단의 출력 전압 swing이 signal integrity에 따라 변경될 경우 임피던스 교정 방법이 제시되지 않았다. 본 논문에서는 저전력 2-Gb/s SLVS 송신단을 제안하며 출력전압 swing은 50 mV에서 650 mV로 변화한다. 또한 signal integrity를 개선하기 위한 출력 드라이버의 임피던스 교정 기법을 제안한다. 그리고 제안된 SLVS 송신단을 이용하여 MIPI D-PHY를 위한 2-Gb/s SLVS 송신단을 제안한다.

본 논문의 2 장에서는 SLVS 송신단의 구조 및 회로를 소개한다. 3 장에서는 제안된 SLVS 송신단의 시뮬레이션 결과를 논의하며, 마지막 4 장에서 본 논문의 결론을 맺는다.

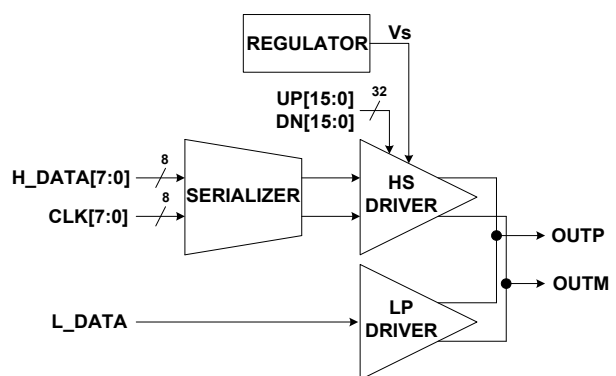
2. 제안하는 2-Gb/s SLVS 송신단

2.1 2-Gb/s SLVS 송신단의 전체 구조

<그림 1>은 MIPI D-PHY를 위한 2-Gb/s SLVS 송신단의 블록도이다. 송신단에 입력된 데이터가 출력 드라이버를 거쳐 최종 출력되는 4개의 송신단과 소스 동기 클록 방식을 위한 1개의 송신단으로 구성된다. 8-PHASE DLL(클록 발생기)의 출력은 송신단의 SERIALIZER의 클록으로 입력된다. <그림 2>는 1-lane의 SLVS 송신단 블록도이다. 송신단은 SERIALIZER, REGULATOR, HS DRIVER, LP DRIVER로 구성된다. 출력전압 swing은 출력 드라이버에 공급되는 Vs전압에 의해 제어되며 출력전압의 범위는 50 mV에서 650 mV로 ground를 기반으로 swing한다. 제안된 SLVS 송신단은 고속 데이터 전송을 위한 고속 동작 모드와 저전력 모드의 2가지 동작 방식으로 동작한다. 송신단이 고속 동작 모드일 때는 8개의 H_DATA가 SERIALIZER를 통해 2-Gb/s의 전송속도를 가진 차동 신호로 드라이버 단에 입력되며 저전력 모드일 때는 L_DATA가 입력되어 출력 드라이버를 통해 최종 출력된다.



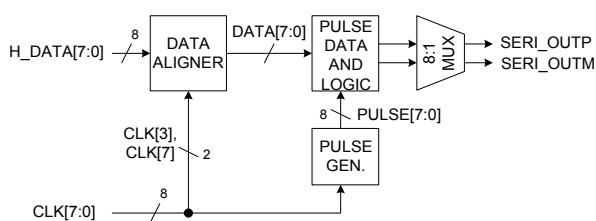
<그림 1> MIPI D-PHY를 위한 2-Gb/s SLVS 송신단의 블록도



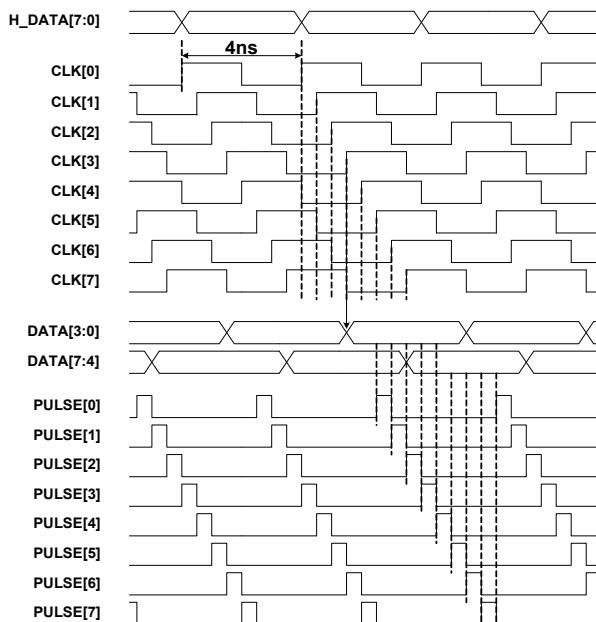
<그림 2> 1-lane의 SLVS 송신단 블록도

2.2 SERIALIZER

<그림 3>은 SERIALIZER의 블록도이다. SERIALIZER는 병렬로 입력되는 여러 개의 데이터를 순서화하여 직렬로 변환하는 기능을 하며 DATA ALIGNER, PULSE DATA AND LOGIC, PULSE GEN, 8:1 MUX로 구성된다. <그림 4>는 SERIALIZER의 타이밍도를 나타낸다. 8-PHASE DLL에서 250MHz의 주파수를 가진 동일한 8개의 클록이 출력되어 SERIALIZER에 입력된다. SERIALIZER에 병렬로 입력된 클록과 데이터를 순서화하여 2-Gb/s의 전송속도를 가지는 데이터가 출력된다. 외부 핀에서 입력되는 8개의 데이터가 SERIALIZER에 입력되기까지 칩 내부의 거리 차이가 있어 8개의 클록 중 CLK[3]으로 DATA ALIGNER를 통해 입력된 데이터를 정렬한다. 8-PHASE DLL에서 출력된 8개의 클록이 PULSE GEN을 통해 출력되



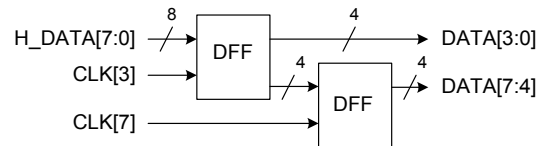
<그림 3> SERIALIZER의 블록도



<그림 4> SERIALIZER의 타이밍도

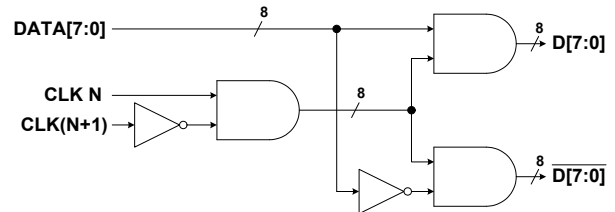
는 8개의 short pulse와 DATA ALIGNER에서 출력된 데이터가 PULSE DATA AND LOGIC을 통해 차동 신호가 출력된다.

외부 핀에서 송신단에 입력되는 8개의 데이터는 송신단에 입력되기까지 칩 내부에서 거리의 차이가 있기 때문에 동일한 시간에 맞추어 입력되기 어렵다. 따라서 플립-플롭으로 구성된 DATA ALIGNER를 이용하여 8개의 데이터를 정렬한다. <그림 5>는 DATA ALIGNER의 블록도이다. DATA ALIGNER는 두 부분으로 나뉜다. 먼저 8개의 플립-플롭에 입력된 8개의 데이터는 CLK[3]으로 정렬된다. 정렬된 데이터의 양 끝 부분은 데이터 손실이 발생할 수 있기 때문에 안정된 데이터를 사용하기 위해 데이터 양 끝 부분에 1 ns의 시간 마진을 고려하여 8개의 데이터 중 4개의 데이터 DATA[7:4]는 CLK[7]의 동기에 맞추어 지연된다.



<그림 5> DATA ALIGNER의 블록도

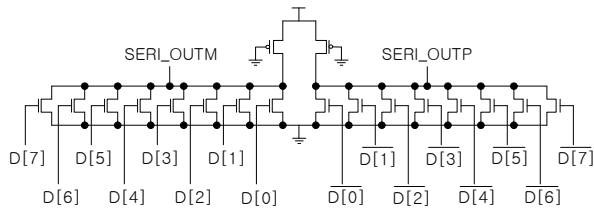
PULSE DATA AND LOGIC은 8-PHASE DLL의 출력 중 2개의 클록으로 PULSE GEN을 이용하여 short pulse를 출력하며 출력된 8개의 short pulse와 8개의 데이터가 AND 게이트를 통해 출력된다. <그림 6>은 PULSE DATA AND LOGIC의 회로도이다. PULSE GEN에서 출력된 short pulse와 데이터를 통해 차동 신호를 출력한다. Short pulse는 데이터 손실이 발생할 수 있는 데이터 양 끝 부분에 시간 마진을 고려하여 데이터 1주기에 4개의 short pulse만 출력한다.



<그림 6> PULSE DATA AND LOGIC의 회로도

<그림 7>은 8:1 MUX의 회로도이다. 8:1 MUX는 데이터 버스를 하나의 출력으로 통합하는 기능을 하

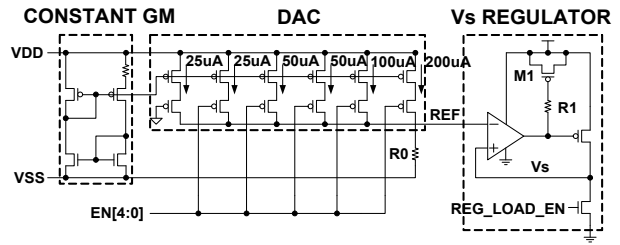
며 PULSE DATA AND LOGIC에서 출력된 차동 신호가 SERI_OUTP, SERI_OUTM 각각의 노드로 출력된다. SERI_OUTP, SERI_OUTM 노드의 출력은 high 또는 low로 구분할 수 있을 만큼 충분한 swing 폭이 있어야 한다. 출력 노드의 swing 폭은 N-type MOSFET의 turn on 저항에 따라 결정된다. MOSFET의 width의 값이 클수록 turn on 저항이 작아지기 때문에 출력 노드 SERI_OUTP, SERI_OUTM의 swing 폭을 크게 가져갈 수 있다. 설계된 8:1 MUX의 P-type과 N-type MOSFET의 W/L는 각각 18/0.18, 20/0.18 이며 8:1 MUX의 출력은 200 mV에서 VDD의 swing 폭을 가져 데이터의 high 또는 low 구분이 가능하다.



<그림 7> 8:1 MUX의 회로도

2.3 REGULATOR

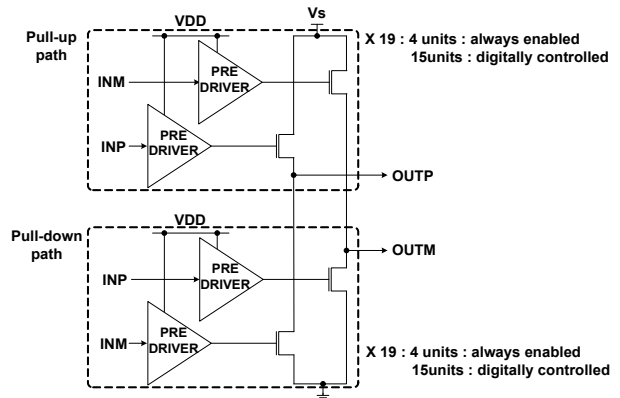
<그림 8>은 출력 드라이버 공급전압(V_s) 범위를 제어하는 REGULATOR의 회로도이다. REGULATOR는 일정한 전류를 생성하기 위한 CONSTANT GM회로와 V_s 전압을 가변하기 위한 5-비트 DAC, unit gain buffer로 구성된 V_s REGULATOR로 구성된다. REGULATOR의 기준 전압은 CONSTANT GM회로에서 생성된 전류를 5-비트 DAC로 current mirror하여 저항 R_0 의 양단에 걸리는 전압으로 기준 전압이 생성된다. V_s 전압의 범위는 5-비트 DAC의 디지털 신호에 의해 제어되며 50 mV에서 650 mV로 가변된다. V_s REGULATOR는 차동 증폭기와 P-type MOSFET로 이루어져있으며 P-type MOSFET는 출력 드라이버가 turn on 될 때 공급해 주는 전류를 고려하여 크게 설계한다. 송신단이 저전력 모드에서 고속 동작 모드로 전환될 때 V_s 노드가 VDD부터 settle되기 때문에 REGULATOR의 settle 시간을 고려하여 V_s REGULATOR의 REG_LOAD_EN 신호로 N-type MOSFET를 제어한다.



<그림 8> REGULATOR의 회로도

2.4 송신단 출력 드라이버

<그림 9>는 HS DRIVER 회로도이다. HS DRIVER는 출력 드라이버를 제어하는 PRE DRIVER와 출력 드라이버로 구성된다. 출력 드라이버의 출력 임피던스는 채널 임피던스에 정합하는 것이 중요하다. 따라서 출력 드라이버를 병렬로 연결하는 방법[5]을 이용하여 pull-up path, pull-down path를 unit 단위로 구성하며 각각 19개의 unit 중 15개의 unit을 디코더를 이용하여 V_s 변화에 따른 임피던스 변화를 교정한다.



<그림 9> HS DRIVER 회로도

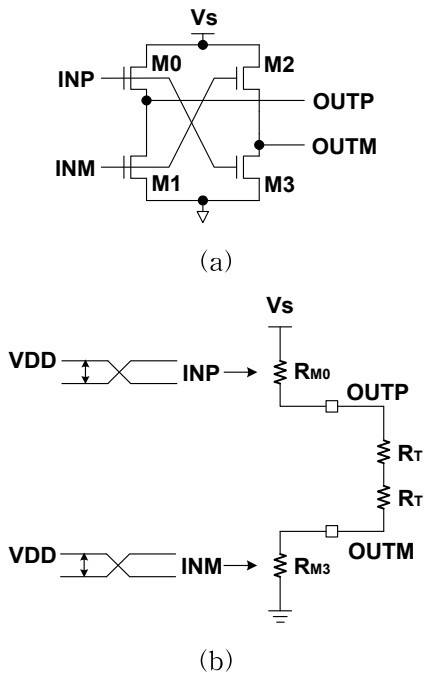
<그림 10(a)>는 HS 출력 드라이버 회로도이다. 전압 모드로 동작하는 송신단의 임피던스는 출력 드라이버 소자($M_0 \sim M_4$)의 turn on 저항으로 모델링되고 signal integrity를 향상시키기 위해 소자의 turn on 저항을 채널의 임피던스에 정합시킨다. <그림 10(b)>는 출력 드라이버의 pull-up path와 pull-down path의 임피던스를 구하기 위해 single-ended 구조로 모델링한 것이다. R_T 는 수신단의 termination으로 채널 임피던스와 같은 값이다. PRE DRIVER로부터 공급되는 전압이 VDD일 때 pull-up path와 pull-down path 임

피턴스는 각각 R_{M0} 와 R_{M3} 가 되고, body effect를 고려하지 않을 때 pull-up path와 pull-down path 임피턴스의 식은 각각 식 (1)과 식 (2)와 같다.

$$R_{M0} = \frac{1}{\mu_n C_{OX} W_0 / L (VDD - 3/4 V_s - V_{TH})} \quad (1)$$

$$R_{M3} = \frac{1}{\mu_n C_{OX} W_3 / L (VDD - V_{TH})} \quad (2)$$

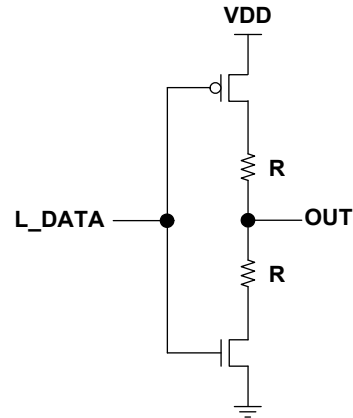
식 (1)과 식 (2)를 비교해보면, pull-up path의 임피턴스는 REGULATOR의 출력 전압인 V_s 전압에 영향을 받는다. 따라서 pull-down path의 임피턴스는 출력 드라이버의 공급 전압(V_s)이 변화하더라도 교정이 필요 없으며 pull-up path의 임피턴스는 출력 드라이버의 공급 전압(V_s)에 따라 교정이 필요하기 때문에 pull-up path와 pull-down path의 임피턴스를 교정함에 있어 동일한 width를 가지지 않으며 비대칭적으로 width를 각각 조정하여 임피턴스를 교정한다.



<그림 10> (a) HS 모드 출력 드라이버 회로도 (b) HS 모드 출력 드라이버 임피턴스 등가회로

<그림 11>은 저전력 모드의 출력 드라이버 회로도이다. 저전력 모드의 출력 드라이버는 MOSFET와 저항으로 구성되며 MOSFET의 사이즈와 저항의 값으로

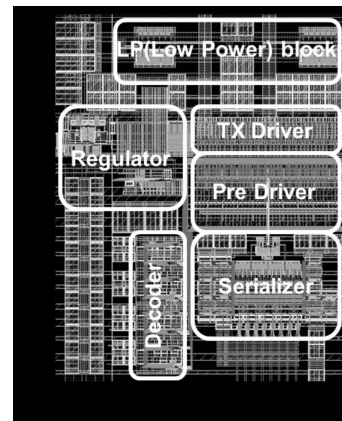
채널 임피턴스에 정합시킨다. 낮은 전송속도를 가진 데이터가 입력되기 때문에 전력소모가 적으며 출력 데이터는 0V에서 VDD로 swing한다.



<그림 11> 저전력 모드의 출력 드라이버 회로도

3. SLVS 송신단의 시뮬레이션 결과

제안된 SLVS 송신단은 1.8V의 공급 전압을 가지는 0.18- μm 1-poly 6-metal CMOS 공정을 이용하여 설계되었다. <그림 12>는 1-lane의 SLVS 송신단의 layout이며 면적은 $422 \times 474 \mu\text{m}^2$ 이다.



<그림 12> 1-lane의 SLVS 송신단 layout

REGULATOR에서 출력 드라이버에 전압을 공급할 때 출력 드라이버 공급전압(V_s)이 기준 전압으로 안정하게 수렴을 해야 한다. 또한 ripple 전압이 작은 것이 중요하다. <표 1>은 <그림 8>에서 V_s 커패시터와

M1 MOS 커패시터, R1 저항에 따라 Vs REGULATOR AMP의 phase margin과 Vs 전압의 ripple 전압을 나타낸 것이다. <표 2>는 REGULATOR 5-비트 DAC에 입력되는 디지털 코드 EN[4:0]으로 Vs전압을 제어하여 Vs전압 범위에 대한 pull-up path와 pull-down path 각각의 임피던스를 교정했을 때의 디지털 코드와 임피던스 값을 나타낸 것이다. Vs전압은 5-비트 DAC에 입력되는 디지털 코드에 따라 50 mV에서 650 mV까지 변화한다. 또한 Vs전압에 따라 pull-up path와 pull-down path의 임피던스는 turn on되는 출력 드라이버의 unit 개수로 출력 임피던스가 교정된다. 또한 pull-down path의 임피던스에 따른 디지털 코드의 변화는 Vs전압에 영향을 받지 않기 때문에 Vs전압이 변화하더라도 pull-up path의 임피던스에 따른 디지털 코드의 변화보다 적응을 볼 수 있다. Pull-up path와 pull-down path의 임피던스는 각각 채널 임피던스의 $\pm 5\%$ 이내로 교정된다.

<표 1> 커패시터와 저항에 대한 Vs REGULATOR AMP의 특성과 ripple 전압변화

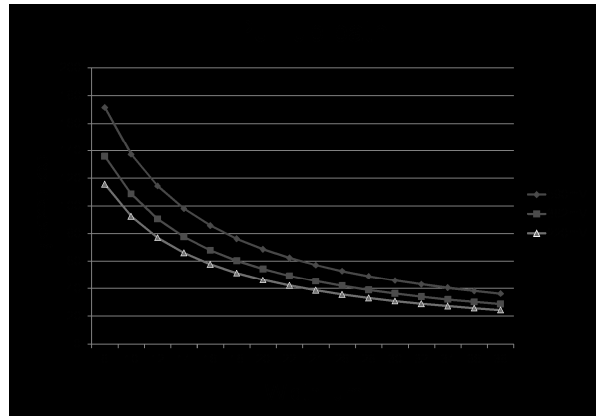
Vs cap.	M1 cap.	R1	P.M	Ripple
50pF	36pF	500Ω	127°	29.7mV
80pF	36pF	500Ω	120°	27.5mV
100pF	36pF	500Ω	116.5°	30mV

<표 2> 임피던스 교정 시뮬레이션

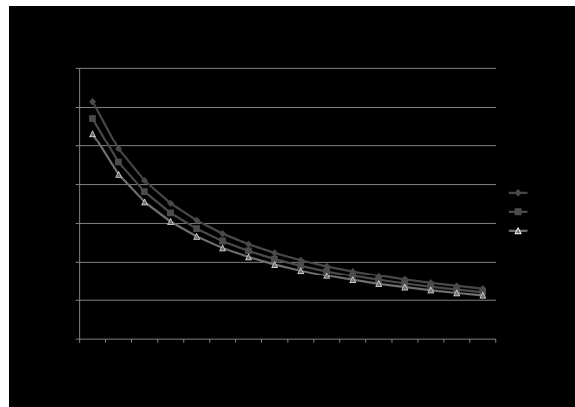
Vs[mV]	Impedance[Ω]		BU[3:0]	BD[3:0]
	Pull-up	Pull-dn		
50	49.96	49.12	0100	0100
112	52.35	50.49	0101	0100
166.1	48.72	52.14	0101	0101
221.2	51.36	47.63	0110	0101
275.6	48.57	48.93	0110	0101
330.8	51.31	50.23	0110	0101
382.4	49.07	51.96	0111	0101
437.6	52.24	47.81	0111	0110
492	50.8	48.96	1000	0110
547.1	49.96	50.69	1001	0110
588.9	52.48	51.52	1001	0110
650	52.41	47.55	1010	0111

<그림 13>은 Vs 전압에 대한 pull-up path와 pull-down path의 임피던스 변화를 나타낸다. Vs전압이 변화할 때, 디코더의 thermometer 코드로 출력 드

라이버가 turn on되는 width에 따라 pull-up path는 임피던스 변화가 큰 반면, pull-down path의 임피던스 변화는 거의 일정하다. 따라서 pull-down path의 임피던스는 Vs전압의 변화에 따라 교정이 필요 없으며 pull-up path의 임피던스는 Vs전압에 따라 교정이 필요하므로 비대칭적으로 교정되어야 한다.



(a)



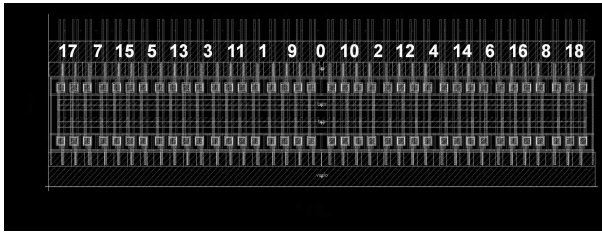
(b)

<그림 13> (a) pull-up path의 임피던스 변화 (b) pull-down path의 임피던스 변화

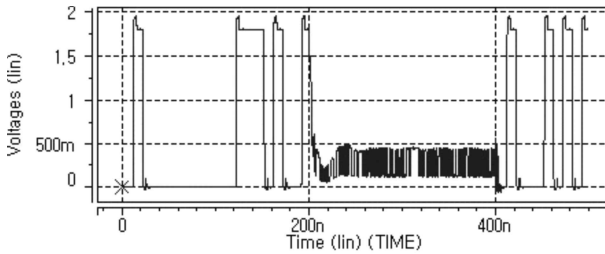
<그림 14>는 layout에서 출력 드라이버의 순서 배치도를 나타낸 것이다. 출력 드라이버는 상대적으로 낮은 순서의 출력 드라이버부터 turn on 되므로 특정한 부분에만 전류가 흐르게 되어 noise가 커진다. 따라서 noise를 분산시키기 위해 출력 드라이버를 <그림 14>와 같이 배치한다.

<그림 15>는 송신단의 출력을 15cm의 채널과 수신단의 50Ω termination을 달아 송신단의 고속 동작 모드와 저전력 모드를 switching하는 시뮬레이션을 나타

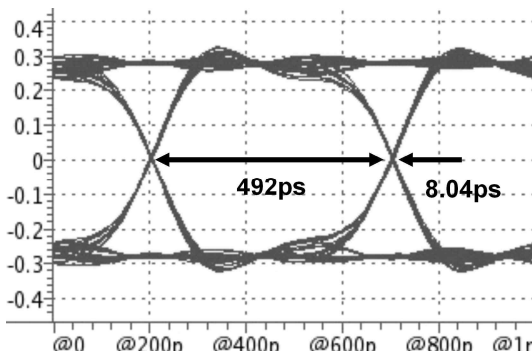
낸 것이다. 고속 동작 모드와 저전력 모드는 입력되는 디지털 신호를 통해 선택된다. <그림 16>은 SLVS 송신단 출력의 데이터 jitter를 아이 다이어그램 시물레이션 한 것이다. 출력 전압 범위를 제어하는 REGULATOR의 5-비트 DAC 코드는 10010이며 출력 전압은 588.9mV이다. 출력 드라이버의 임피던스를 교정하기 위한 pull-up path와 pull-down path의 코드는 각각 1001과 0110이다. SLVS 송신단의 데이터 jitter의 시물레이션 결과는 2-Gb/s의 데이터 전송속도에서 8.04 ps이다.



<그림 14> 출력 드라이버의 순서 배치도



<그림 15> SLVS 송신단의 HS 모드와 LP 모드 switching 시물레이션



<그림 16> SLVS 송신단의 아이 다이어그램 시물레이션

4. 결론

제안된 SLVS 송신단은 1.8V 공급 전압을 가지는 0.18- μm 1-poly 6-metal CMOS 공정을 사용하여 설계되었다. 제안된 SLVS 송신단은 SERIALIZER를 통해 고속의 데이터를 전송하기 위한 고속 동작 모드와 저전력 모드의 2가지 모드로 동작하며 signal integrity를 향상시키기 위해 출력 드라이버의 pull-up path와 pull-down path의 임피던스를 교정하는 기법을 사용한다. 구현된 송신단의 데이터 jitter의 시물레이션 결과는 2-Gb/s의 데이터 전송속도에서 8.04 ps이다. 1-lane을 위한 SLVS 송신단의 면적과 전력소모는 각각 $422 \times 474 \mu\text{m}^2$ 와 5.35 mW/Gb/s이다.

References

- [1] K.-L. J. Wong, H. Hatamkhani, M. Mansuri, and C.-K. K. Yang, "A 27-mW 3.6-Gb/s I/O transceiver," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 602 - 612, Dec. 2004.
- [2] G. Balamurugan, J. Kennedy, G. Banerjee, J. E. Jaussi, M. Mansuri, F.O'Mahony, B. Casper, and R. Mooney, "A scalable 5 - 15 Gbps, 14 - 75 mW low-power I/O transceiver in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 1010 - 1019, Apr. 2008.
- [3] J. Poulton, *et. al.*, "A 14-mW 6.25-Gb/s Transceiver in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2745-2757, Dec. 2007.
- [4] B. Leibowitz, *et. al.*, "A 4.3 GB/s Mobile Memory Interface With Power-Efficient Bandwidth Scaling," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 889-898, Apr. 2010.
- [5] K. Kaviani, *et. al.*, "A 0.4mW/Gb/s 16Gb/s near-ground receiver front-end with replica transconductance termination calibration," *ISSCC Dig. Tech Papers*, pp.132-133, Feb. 2012
- [6] A. Amirkhany, J. Wei, N. Mishra, J. Shen, W. Beyene, T. Chin, C. Huang, V. Gadde, K. Kaviani, P. Le, M. M, C. Madden, S. Mukherjee,

L. Raghavan, K. Saito, D. Secker, F. Shuaeb, S. Srinivas, T. Wu, C. Tran, A. Vaidyanathan, K. Vyas, M. Jain, K. Chang, and C. Yuan, "A 12.8-Gb/s/link Tri-Modal Single-Ended Memory Interface for Graphics Applications," *Symp. VLSI Circuits, Dig. Tech. Papers*, pp.232-233, Jun. 2011.



장 영 찬 (Young Chan Jang)

- 1995. 2 경북대학교 전자전기 공학부 공학사
- 2001. 2 포항공과대학교 전자전기 공학과 공학석사
- 2005. 2 포항공과대학교 전자전기공학과 공학박사
- 2005. 3 ~ 2009. 8. 삼성전자 반도체총괄 책임연구원
- 2009. 8 ~ 현재 금오공과대학교 전자공학부 교수
- 관심분야 : High-speed I/O interface, Data converter 및 Mixed mode analog IC design



백 승 욱 (Seung Wuk Baek)

- 2013. 2 금오공과대학교 전자공학부 공학사
- 2013. 3 ~ 현재 금오공과대학교 대학원 석사과정

• 관심분야 : High-speed I/O interface

논문 접수 일 : 2013년 09월 13일
1차수정 완료일 : 2013년 10월 04일
2차수정 완료일 : 2013년 10월 10일
게재 확정 일 : 2013년 10월 11일



정 동 길 (Dong Gil Jeong)

- 2013. 2 금오공과대학교 전자공학부 공학사
- 2013. 3 ~ 현재 금오공과대학교 대학원 석사과정

• 관심분야 : Digital-to-analog converter



박 상 민 (Sang Min Park)

- 2013. 2 금오공과대학교 전자공학부 공학사
- 2013. 3 ~ 현재 금오공과대학교 대학원 석사과정

• 관심분야 : Analog-to-digital converter



황 유 정 (Yu Jeong Hwang)

- 2013. 2 금오공과대학교 전자공학부 공학사
- 2013. 3 ~ 현재 금오공과대학교 대학원 석사과정

• 관심분야 : High-speed I/O interface, analog filter