

FPGA를 이용한 SMART TV용 내장형 카메라 불량 검출 장비 개발[†]

(Development of FPGA-based failure detection
equipment for SMART TV embedded camera)

이 준 서*, 김 환 우**, 김 지 훈***

(Jun Seo Lee, Whan Woo Kim, and Ji-Hoon Kim)

요 약 최근 시장이 확대되고 있는 SMART TV에는 다양한 기능을 위하여 내장형 카메라가 들어가게 된다. 하지만, 이로 인한 불량 또한 발생하게 되며, 특히 TV power up sequence 문제로 인한 내장형 카메라의 화면 무감 불량현상은 기존 검사장비에서 검출되기 힘든 특징을 가지고 있다. 이를 위해 오디오 쪽 컨트롤 신호를 재현할 수 있는 새로운 검사장비가 필요하지만, 시간과 많은 비용이 소요되며, 생산에 큰 영향을 준다. 본 논문에서는 이와 같은 문제점을 해결하고자 FPGA (Field Programmable Gate Array)를 활용한 불량 검출 장비를 개발하여 문제점을 빠르고 정확하게 검출하는 방법을 제시한다. 이를 통해 새로운 장비를 대체하는 비용 절감 효과와 기존 검출 테스트 시간을 약 20여초에서 10초미만으로 크게 단축시킴으로써 개발기간의 최소화 및 공정에 적용을 통한 불량률 감소를 이룰 수 있다.

핵심주제어 : SMART TV, 불량 검출, FPGA, 임베디드 시스템

Abstract Recently, as the market for SMART TV expands, the camera is embedded for providing various user experience. However, this leads to occurrence of camera failure due to TV power up sequence problem, which are usually not detectable in conventional test equipments. Although the failure-detection can be possible by re-generating control signals for audio interface with new equipment, it is expensive and also requires much time to test. In this paper, for SMART TV, FPGA(Field Programmable Gate Array)-based failure-detection system is proposed which can lead to reduction of both cost and time for test.

Key Words : SMART TV, Failure Detection, FPGA, Embedded System

1. 서 론

최근 눈부신 전자공학 기술의 발전으로 최근의 스마트 기기들이 크게 각광을 받으며 이슈화 되고 있다.

또한 스마트 기기들이 점점 많은 양의 부가기능을 탑재해 가고 있으며, 큰 부가가치를 만들어 내는 매개체가 되어 가고 있다. 이런 스마트 기기 중에 대표적으로 일상생활에 항상 접하고 정보와 엔터테인먼트를 동시에 접할 수 있는 인포테인먼트 시스템의 대표적인 디바이스가 바로 SMART TV이다.[1]-[6] 기존 TV의 시청성향은 단방향 콘텐츠를 수동으로 소비하

[†] 이 연구는 충남대학교 학술연구비에 의해 지원되었음

* LG이노텍 / 충남대학교, 제1저자

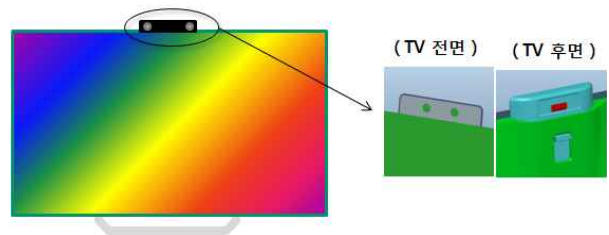
** 충남대학교 전자공학과, 제2저자

*** 충남대학교 전자공학과, 교신저자(jihoonkim@cnu.ac.kr)

는 성향이 강했으나, SMART TV의 발전으로 다기능의 능동적 TV를 시청하는 형태로 진화하고 있다.[3] 최근 출시되고 있는 SMART TV의 부가기능은 스마트 모바일과 마찬가지로 웹서핑 기능과 음성인식기능[2][3], 사진촬영 기능 그리고 화상회의 및 화상통화기능[1] 등이 있다. 이중 음성인식과 사진 그리고 화상통화기능은 SMART TV에 탑재된 내장형 카메라가 담당하게 되며, 스카이프 화상통화기능을 지원한다 [1]-[6].

이러한 부가기능이 있는 내장형 시스템 제작 시에 불량률이 존재하기 마련이며, 불량을 검출하기 위해 고가의 장비를 요구한다. 이와 같은 문제점을 극복하기 위하여, 본 논문에서는 SMART TV용 내장 카메라의 불량 검출장치 구현 방법을 제안한다. 일반적으로 카메라 불량 검사에서 십만 대 중 1개가 화면 무감 불량현상이 발생하여, 분석결과 이는 TV에서의 power up sequence에 문제가 있음을 확인하였다. 이와 같은 불량 문제는 기존 검사장비에서 검출하지 못하기에, 이를 검출하기 위해 오디오 쪽 컨트롤 신호를 재현할 수 있는 새로운 검사장비가 필요하지만, 이 경우 시간과 많은 비용이 소요되며, 생산에 큰 영향을 준다. 이와 같은 문제를 보완하여 빠르고 정확히 검출할 수 있는 구현 방식은 FPGA (Field Programmable Gate Array) 기반의 구현방식이다. 다양한 PLL (Phase Locked Loop) 을 포함하며 사용자가 HDL (Hardware Description Language)를 사용하여 설계한 하드웨어를

답을 수 있는 FPGA를 이용하여, TV power up sequence를 동일하게 재현할 수 있으며, 이를 기반으로 불량 검출 장비를 제작할 경우 장비를 새로이 구입하지 않아도 됨으로써 얻을 수 있는 비용 절감효과와 기존의 검출 테스트 시간을 약 20여초에서 10초미만으로 단축시킬 수 있는 큰 장점이 있다.

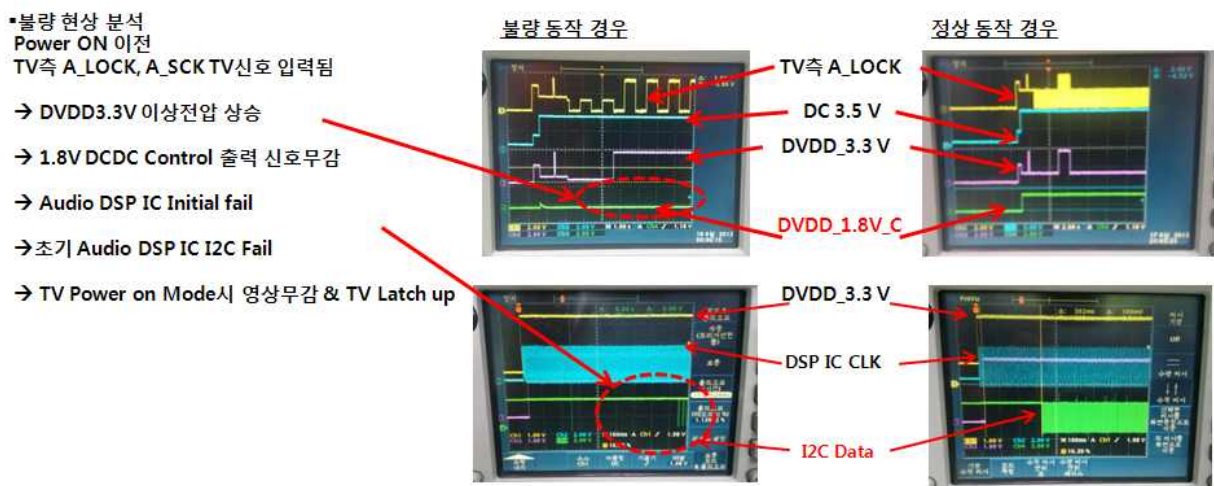


<그림 1> SMART TV용 내장형 카메라

2. 불량검출 시스템 구현

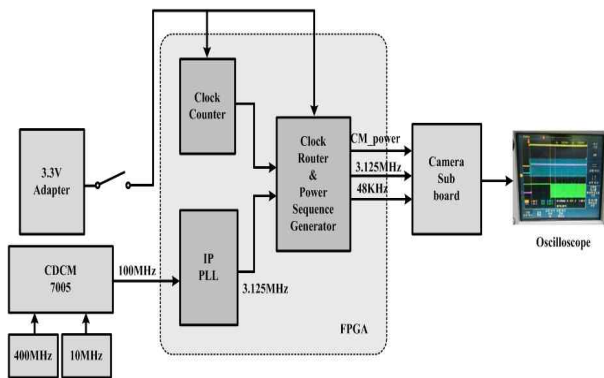
2.1 불량현상 분석

현재 SMART TV에 적용되고 있는 카메라는 <그림 1>과 같은 슬라이딩 방식이며, 카메라 동작 방식은 평소에는 OFF 상태를 유지하다가 슬라이딩을 들어 올릴 경우에 카메라가 ON 상태가 된다. 하지만, 슬라이딩을 올려도 화면 무감 상태가 유지되는 불량 카메라 시료가 기존의 검사장비에 검출되지 않고, 고객사



<그림 2> 불량 현상 분석

입고 검사 시에 발견되는 문제가 발생하였다. 이후, 카메라 불량 시료를 TV Power mode에서 재 테스트 후에도 슬라이드 ON시에 화면 무감현상이 지속이 되었다. 그 현상을 분석한 결과 <그림 2>와 같이 오디오 DSP 제어신호(A_LOCK, A_SCK)로 인하여 DVDD_3.3V가 이상전압 상승을 하며, 1.8V DVDD 컨트롤 출력신호가 나오지 않는 문제가 발생함을 알 수 있다. 본 현상을 검출하기 위해서는 모든 카메라 모듈을 일일이 TV 보드에 연결하여 테스트를 진행해야 하기에 긴 시간과 많은 비용이 큰 문제가 되었다. 이를 해결하기 위해 본 논문에서는 TV의 컨트롤 제어신호를 재현하여 일일이 TV보드에 연결하지 않도록 하는 FPGA 기반 검사장비를 제안한다.



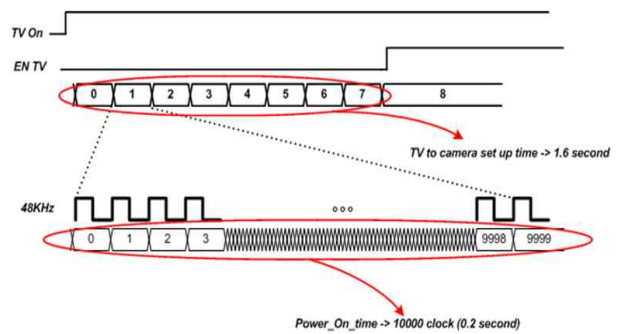
<그림 3> 검사 장비 블록 다이어그램

2.2 시스템 설계

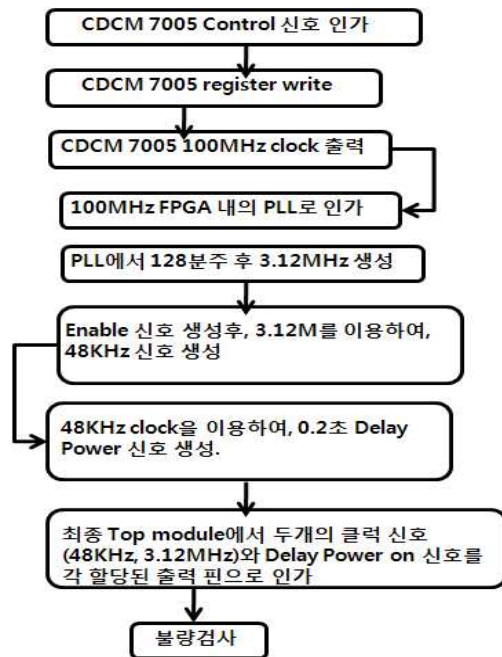
FPGA 기반 불량 검출장비 구현을 위해서는 타깃 블록 다이어그램 구성이 중요하다. <그림 3>은 검출 장비 구성을 위한 시스템 블록 다이어그램이다. 기준 클럭 신호를 입력으로 받아서 다양한 주파수의 신호를 생성할 수 있는 PLL을 내부에 포함할 수 있는 FPGA의 특성을 고려하여, 400MHz 및 10MHz의 주파수를 가지는 두개의 클럭을 구성한다. 그리고 안정되고 깨끗한 파형의 생성을 위하여 낮은 위상잡음과 좋은 jitter 특성을 가지는 TI사의 CDCM7005 디바이스를 함께 이용하여, 100MHz의 깨끗한 신호를 생성한다. 또한, SMART TV에서 사용되는 것과 동일한 power up sequence를 만들어 주기 위하여 100MHz의 신호를 Xilinx-vlx110 FPGA내부에 Clock counter를 통해 128분주하고, 이를 통해 3.125 MHz신호를, 그리

고 이를 기반으로 다시 48kHz 신호를 생성하여 1.6초라는 지연시간을 만들어준다. 이를 통해 <그림 4>와 같은 신호를 생성하여, SMART TV에서 사용되는 것과 동일한 신호를 재현하게 된다.

이상과 같은 동작은 <그림 5>에 나타나 있는 순서를 토대로 동작하게 되며, Xilinx-vlx110 FPGA는 CDCM7005 디바이스를 제어하기 위한 SPI (3-wire serial peripheral interface) 컨트롤러와 CDCM7005의 출력 100MHz신호를 입력으로 받아서 SMART TV의 power up sequence를 재현하기 위한 회로, 그리고 이와



<그림 4> 불량 검출을 위한 power up sequence 재현 타이밍 다이어그램



<그림 5> 제안하는 불량 검출 시스템 하드웨어 블록 동작 순서도

관련된 PLL을 포함하게 된다. 해당 FPGA는 VHDL 및 Verilog 와 같은 HDL을 통해 구성될 수 있다.

3. 시스템 시뮬레이션 및 검증

본 논문에서 제안하는 불량 검출 시스템에서 FPGA로 구현되는 하드웨어는 VHDL로 기술되었고, 이를 합성하여 테스트하기 이전에 <그림 6>과 같이 ModelSim VHDL 시뮬레이터를 사용하여 검증작업을 먼저 수행한다. 이를 위해 TV 제어 신호와 동일한 재현신호를 Testbench를 통해 생성한다. Testbench에서 생성된 재현 신호는 설계된 하드웨어에 인가되며, 이를 통해 출력 신호를 확인 후 해당 하드웨어의 검증을 완료한다.

0.2 초의 지연신호 생성을 위하여, <그림 7>과 같이 총 3개의 카운터를 사용하며, 각각의 카운터는 48kHz의 상승 엣지에서 동작한다.

이를 기반으로 <그림 8>과 같은 불량 검출 시스템을 구성하였고, <그림 9>는 해당 검출 시스템의 측정

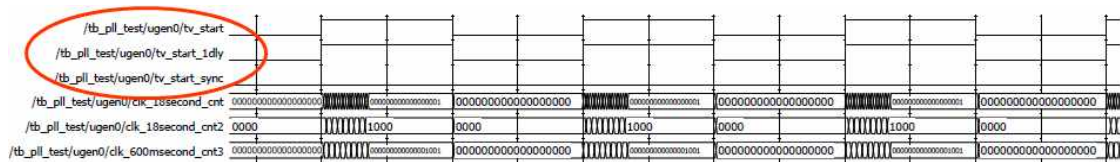
결과를 보여준다. FPGA에서 0.2 초 이후 Power 신호가 3.16V 출력하고, <그림 9>에 나타나 있는 것과 같이 서는 두개의 클록 (47kHz, 3.12MHz)가 정상적으로 FPGA에서 출력됨을 오실로스코프로 확인할 수 있다. 이를 통해 SMART TV와 동일한 power up sequence를 재현할 수 있게 되며, 실제 카메라 제조 양산라인의 불량 검출 screen작업에 적용하여 기존의 장비를 활용한 수동 형태 검수 방식보다 안정적인 방식으로 불량을 검출할 수 있고, 측정 시간 또한 기존 모듈당 20 ~ 25초에서 모듈당 10초미만으로 크게 단축할 수 있음을 확인하였다.

4. 결론

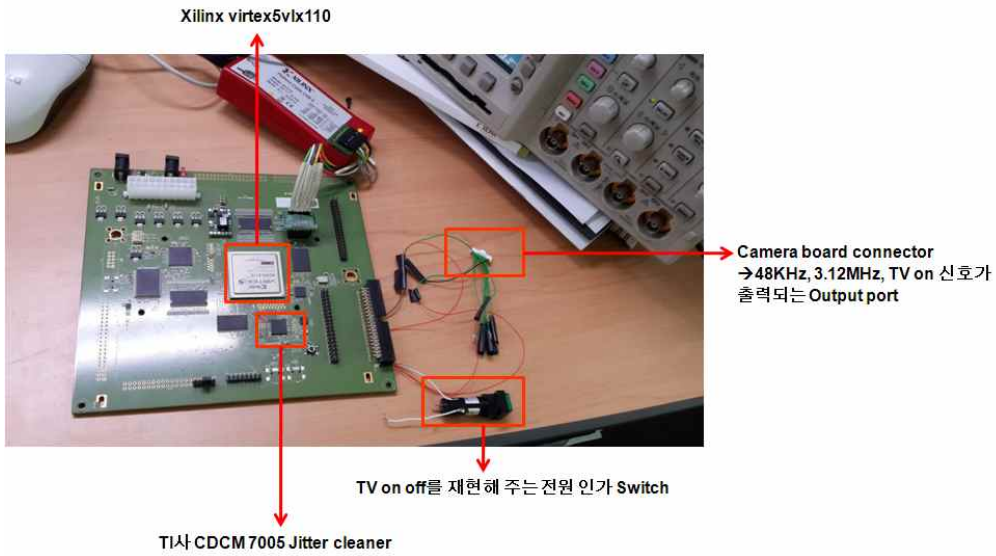
본 논문에서는 SMART TV에 사용되는 내장형 카메라의 화면 무감 불량 현상을 검출하기 위한 장치를 FPGA를 활용하여 구현한다. FPGA는 xilinx사의 xilinx-vlx110 모델로 구현하였으며, 시스템 클록의 안정화를 위하여 TI사의 Jitter clean기능이 내장된



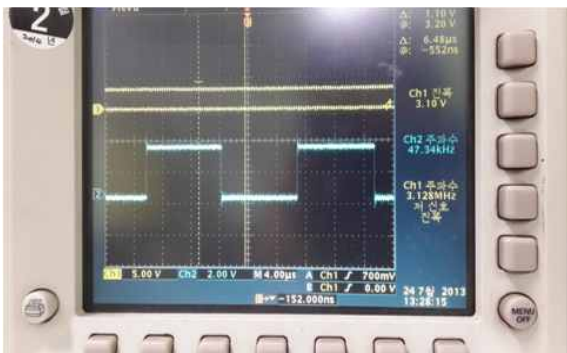
<그림 6> ModelSim VHDL 시뮬레이터를 통한 검증



<그림 7> delay counter for making delay signal.



<그림 8> FPGA기반의 불량 검출 보드의 구성



<그림 9> FPGA 테스트 결과 파형

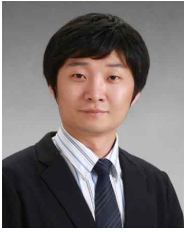
CDCM7005라는 PLL 디바이스를 함께 활용한다. 적용한다. 이를 통해 SMART TV의 power up sequence를 동일하게 재현함으로써 기존의 TV 보드를 활용한 수동 검수 방식에 비해 안정적이고 빠른 불량 검출을 가능케 할 수 있음을 확인하였다.

References

- [1] Skype Hardware Certification Specification Version 6.3.2_ACC. 2013
- [2] 이재홍, 권상현, 유일선, 양재혁, 류태범, 윤명환 “스마트 TV 기능에 대한 제스처 적합성 분석에

관한 연구”, HCI 2013 학술대회.

- [3] 신유경, 최종훈 “개별 사용자 환경을 위한 스마트 TV 리모트컨트롤 인터랙션 방식 제안”, 한국콘텐츠학회논문지 제11권, 제11호, 2011.
- [4] 고찬수, 스마트TV혁명, 21세기 북스, 2011.
- [5] 박정배, 소비자들의 TV시청 형태로 알아보는 스마트TV의 미래-스마트TV, TV의 미래가 될 것인가? KR경제 경영 연구소, 2011
- [6] 신성호, 정용진 “카메라 기반의 절대좌표를 이용한 스마트TV용 UI device”, 한국정보기술학회 제11권, 제6호, pp.189-198, 2013.



이 준 서 (Jun Seo Lee)

- 충북대학교 전자공학과 학사
 - 충북대학교 전자공학과 석사
 - 충남대학교 전자공학과 박사수료
 - LG이노텍 OS개발실 주임연구원
- 관심분야 : 신호 및 영상처리, 디지털 통신, FPGA 설계



김 환 우 (Whan Woo Kim)

- 서울대학교 전자공학과 학사
 - KAIST 전기 및 전자공학과 석사
 - University of Utah 전자공학과 박사
 - 충남대학교 전자공학과 교수
- 관심분야 : 신호처리, 디지털 통신, 무선통신



김 지 훈 (Ji-Hoon Kim)

- KAIST 전기 및 전자공학과 학사
 - KAIST 전기 및 전자공학과 박사
 - 삼성전자 DMC연구소 책임연구원
 - 충남대학교 전자공학과 조교수
- 관심분야 : 프로세서 설계, 통신 모뎀, SoC(System-on-Chip)

논문 접수 일 : 2013년 09월 16일
 1차수정완료일 : 2013년 10월 16일
 게재확정일 : 2013년 10월 18일