

고속 SoC를 위한 클럭 듀티 보정회로의 설계[†]

(Design of clock duty-cycle correction circuits for high-speed SoCs)

한 상 우*, 김 종 선**

(Sang Woo Han and Jong Sun Kim)

요약 본 논문에서는 고속 SoC 설계시 필요한 클럭킹 회로의 핵심 소자인 클럭 듀티 보정 회로 (Duty-Cycle Corrector: DCC)를 소개한다. 종래의 아날로그 피드백 DCC와 디지털 피드백 DCC의 구조와 동작에 대해 비교 분석한다. 듀티-보정 레인지의 확장과 동작 주파수 및 듀티-보정 정확도의 향상을 위해 아날로그와 디지털 DCC의 장점을 결합한 새로운 혼성-모드 피드백 DCC를 소개한다. 특히, 혼성-모드 DCC의 핵심 구성 회로인 듀티-앰프 (Duty-Cycle Amplifier: DCA)의 구조와 설계에 대해 자세히 소개한다. 싱글-스테이지 DCA와 투-스테이지 DCA 기반의 두 개의 혼성-모드 DCC가 각각 0.18- μm CMOS 공정으로 설계되었고, 투-스테이지 DCA 기반 DCC가 더 넓은 듀티-보정 레인지와 더 적은 듀티-보정 에러를 갖고 있음을 증명하였다.

핵심주제어 : 클럭 듀티-사이클 코렉터, SOC, 클럭킹, 듀티-앰플리파이어

Abstract A clock duty-cycle corrector (DCC) which is an essential device of clocking circuits for high-speed system-on-chip (SoC) design is introduced in this paper. The architectures and operation of conventional analog feedback DCCs and digital feedback DCCs are compared and analyzed. A new mixed-mode feedback DCC that combines the advantages of analog DCCs and digital DCCs to achieve a wider duty-cycle correction range, higher operating frequency, and higher duty-cycle correction accuracy is presented. Especially, the architectures and design of a mixed-mode duty-cycle amplifier (DCA) which is a core unit circuit of a mixed-mode DCC is presented in detail. Two mixed-mode DCCs based on a single-stage DCA and a two-stage DCA were designed in a 0.18- μm CMOS process, and it is proven that the two-stage DCA-based DCC has a wider duty-cycle correction range and smaller duty-cycle correction error.

Key Words : clock duty-cycle corrector, system-on-chip, clocking, duty-cycle amplifier

1. 서론

[†] 이 논문은 2013년 지식경제부 산업융합원천기술개발사업 (No. 10039159)과 중소기업청 산학연협력기술개발사업(No. C0102811) 지원에 의해 연구되었음.

* 홍익대학교 전자정보통신공학과, 제1저자

** 홍익대학교 전자정보통신공학과,
교신저자(js.kim@hongik.ac.kr)

반도체 스케일링의 지속적인 발전에 따라 최근의 디지털 컴퓨팅용 프로세서들과 고속 DRAM 등의 메모리 디바이스, 그리고 SERDES (Serializer/Deserializer)와 같은 각종 유선 통신용 트랜시버 칩들은 GHz 이상의 고속 동작을 하는 것이 일반적이다. 이러한 싱크 로너스 디지털 시스템 IC를 구동하는 클럭 시그널은 일반적으로 Delay-Locked Loop (DLL) 이나 Phase-

Locked Loop (PLL) 과 같은 온-칩 클럭 발생기를 통하여 생성되는데, 고속으로 동작하는 이 온-칩 클럭 시그널의 jitter특성과 듀티 (duty-cycle ratio) 에러 특성은 시스템의 최대 성능을 좌우하게 된다. 메모리버스와 같은 고속 인터페이스 시스템에서 CPU에서 DRAM으로 공급되는 외부 기준 클럭의 듀티는 클럭의 상승 및 하강 에지를 모두 사용하기 위해 50%를 유지해야 하지만, 클럭 시그널을 전송하는 채널상의 노이즈와 손실 등으로 인해 DRAM의 입력 클럭은 최대 수 %에 달하는 입력 클럭 듀티 에러를 가질 수 있다. 또한, 온-칩 클럭 발생기의 출력 클럭은 디바이스 미스매치와 같은 공정상의 에러와 클럭 트리와 같은 클럭 분배 네트워크 상의 노이즈, 임피던스 미스매칭 및 손실로 인해 왜곡될 수 있다. 따라서 일반적인 고속 클럭 발생기에는 임의의 입력 듀티 클럭을 받아 50%의 출력 듀티 클럭 신호를 생성해 낼 수 있는 클럭 듀티 보정회로 (Duty-Cycle Correction: DCC) 가 DLL이나 PLL 기반 클럭 발생기의 입력단이나 출력단에 필수적으로 추가되어 진다.

DCC는 일반적으로 논-피드백 (non-feedback) [1] 방식과 피드백 (feedback) [2-6] 방식으로 나누어 볼 수 있다. 논-피드백 DCC는 오픈-루프 구조를 가지므로 공정 프로세스 (Process), 전압 (Voltage), 온도 (Temperature) 인 PVT 변화에 대해 트래킹이 불가능하다는 단점을 가진다. 또한, 일반적으로 적은 면적과 적은 파워소모를 가지고 빠른 락킹시간 (locking time) 을 보이는 장점을 가지나, 동작 주파수 영역이 적고, 듀티 보정능력이 떨어지며, 높은 듀티 에러 등의 단점을 갖는다. 피드백 DCC는 아날로그 [2], 디지털 [3] 및 하이브리드 (혼성-모드) 방식 [4-6]으로 나누어 볼 수 있다. 아날로그 피드백 DCC는 일반적으로 파워다운시 락킹 정보를 손실하며, 긴 파워 전환 시간을 필요로 하므로, 파워 다운 모드에서 액티브 동작 모드로의 빠른 모드 변환이 불가능하다. 디지털 피드백 DCC는 파워다운시 클럭 듀티 정보를 디지털적으로 저장할 수 있으므로 빠른 파워전환 능력을 보유하는 장점을 가지나, 일반적으로 제한된 듀티 보정능력과 상대적으로 큰 듀티 에러를 갖는다. 혼성-모드 피드백 DCC [4-6] 방식은 아날로그 방식과 디지털 방식의 장점을 모두 포함한 것으로 넓은 주파수 동작 범위와 듀티 보정 레인지를 가지면서도 높은 정확도의 듀티 보정능력을 가지며, 파워다운시에도 듀티 정보를 저장

할 수 있어 빠른 파워모드 전환 능력을 가진다.

본 논문에서는 대표적인 아날로그 피드백 DCC와 디지털 피드백 DCC의 구조와 동작에 대해 소개하고, DCC 성능 개선을 위해 아날로그와 디지털 타입의 장점을 모두 도입한 새로운 혼성-모드 피드백 DCC의 구조와 설계 기법에 대해 설명한다. 특히, 혼성-모드 DCC의 핵심 구성회로인 듀티 앰프 (Duty-Cycle Amplifier: DCA)의 구조와 설계에 대해 자세히 다뤄본다. 듀티 보정 레인지의 확장과 듀티 보정 정확도의 향상을 위해 싱글-스테이지와 투-스테이지의 DCA를 비교 분석한다. 싱글-스테이지 DCA와 투-스테이지 DCA 기반의 두 개의 혼성-모드 DCC를 각각 0.18- μ m CMOS 공정으로 설계하여 그 특성을 비교하였다.

2. 고속 DCC 동작 및 아키텍처

<그림 1>에 보인바와 같이, DCC는 기본적으로 임의의 듀티-비의 클럭 시그널을 입력으로 받아 50%로 보정된 출력 클럭을 발생시키는 동작을 한다. 이러한 DCC는 DLL 혹은 PLL 기반 온-칩 클럭발생기의 입력단 내지 출력단에 직렬연결로 추가되므로, DCC 자체의 전달지연 시간이 적어야 하며, jitter 발생을 최소화해야 한다. 또한, 적은 파워소모와 작은 사이즈로 설계가 가능해야 하며, 가능한 한 넓은 동작 주파수 영역과 넓은 듀티 보정 레인지를 가져야 하고, 높은 듀티 보정 정확도를 가져야 한다. 일반적으로 GHz 대역의 고속 동작을 위해 DCC의 입력 클럭은 수십~수백 mV 정도의 스몰-스윙 차동 구조를 가지며, 출력은 클럭 트리의 구동을 위해 풀-스윙 CMOS 레벨을 갖는다.



<그림 1> 클럭 듀티 보정회로 DCC의 기본 동작

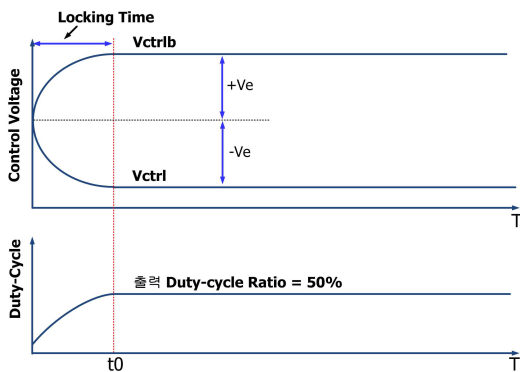
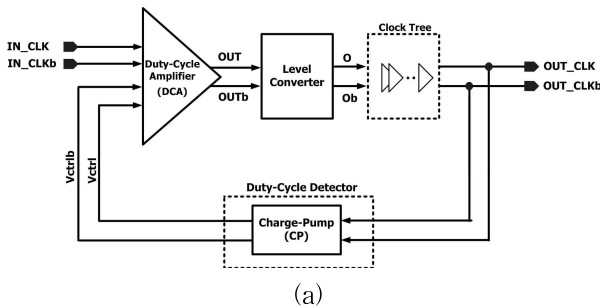
2.1 아날로그 피드백 DCC

<그림 2(a)>에는 아날로그 피드백 DCC의 구조도를 보여주고 있다. 아날로그 피드백 DCC는 순방향 패스

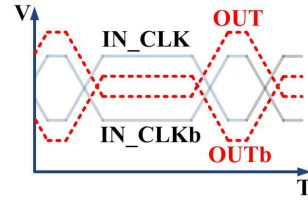
에 듀티-앰프 (Duty-Cycle Amplifier: DCA)와 차동 스몰-스윙 시그널을 풀-스윙 CMOS 레벨로 변환시켜 주는 레벨컨버터, 그리고 출력 로드 구동능력 향상을 위한 인버터 체인인 클록 트리로 구성된다. 응용에 따라 클록트리는 구조에서 배제될 수 있다. 피드백 패스에는 듀티 디텍터 (Duty-Cycle Detector)가 위치하는데, 일종의 적분기로 동작하는 차지-펌프 CP (Charge-Pump) 회로가 일반적으로 쓰인다.

DCA는 차동 입력 클록 (IN_CLK/IN_CLKb)과 차동 듀티 콘트롤전압 (V_{ctrl}/V_{ctrlb})을 입력으로 받고, 50%의 출력 듀티를 가지는 차동 스몰-신호 Out/Outb를 생성한다. 이후, 레벨컨버터는 CMOS레벨의 풀-스윙 신호 O/Ob를 출력으로 배출한다. 클록-트리를 통해 CMOS 클록 신호는 칩 내부로 전송되며, 이 클록 신호의 듀티-에러 정보는 다시 듀티-사이클 디텍터 DCD (Duty-Cycle Detector)를 통해 DCA로 피드백 되어 항상 일정한 50%의 출력 클록 (OUT_CLK/OUT_CLKb) 듀티를 가지도록 제어되어 진다.

<그림 2(b)>에 보인바와 같이, DCC 동작 초기에 같은 전압레벨을 가지고 있는 DCA 콘트롤전압인 차동 V_{ctrl}/V_{ctrlb} 신호는 DCC 동작 이후 듀티-에러에 비례하여 보정전압레벨 V_e 만큼 높아지거나 낮아짐



(b)



(c)

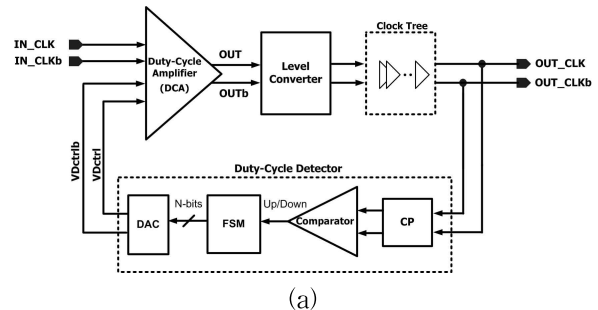
<그림 2> 아날로그 피드백 DCC

- (a) 구조도 (b) 콘트롤 전압 및 출력 듀티 타이밍도
- (c) DCA의 커먼-모드 제어를 통한 출력 듀티 보정 동작

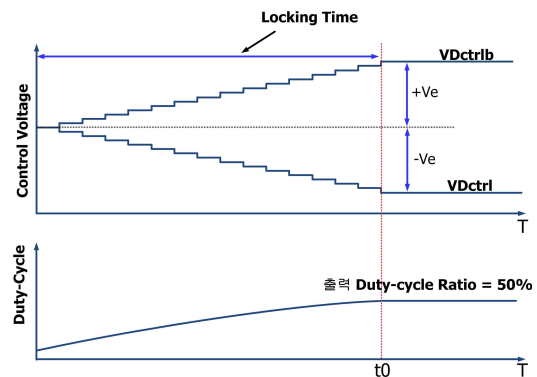
으로써, DCA 회로 출력 신호 OUT 혹은 OUBb의 커먼-모드 레벨을 <그림 2(c)>에 보인바와 같이 변화시킴으로써 DCA 출력 신호의 듀티를 50%로 보정하는 동작을 한다.

2.2 디지털 피드백 DCC

<그림 3(a)>에는 디지털 피드백 DCC의 구조도를 보여주고 있다. 디지털 DCC의 구조는 DCD 부분을 제외하면 아날로그 DCC의 구조와 유사하다.



(a)



(b)

<그림 3> 디지털 피드백 DCC

- (a) 구조도 (b) 콘트롤 전압 및 출력 듀티 타이밍도

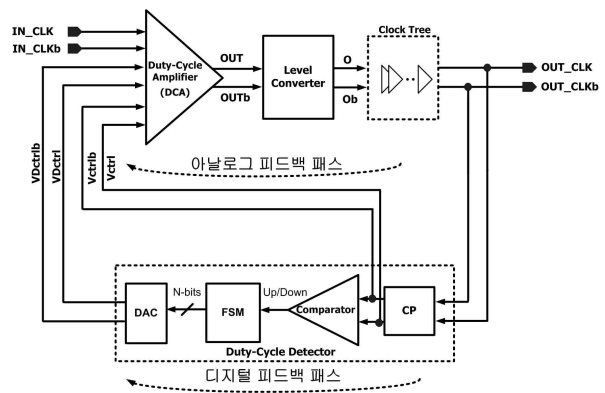
디지털 DCC의 DCD는 CP와 비교기 (Comparator), 유한 스테이트 머신 (Finite State Machine: FSM), 디지털-아날로그 변환기 (Digital-to-Analog Converter: DAC)로 구성된다. 비교기는 CP의 출력 전압인 듀티-에러를 비교하여 FSM 구동을 위한 Up/Down 제어 신호를 발생시킨다. FSM은 일종의 카운터 동작을 하게 되는데, Up/Down 신호에 따라 n-비트 카운터의 비트수가 증가 혹은 감소하게 되며, 이 값에 의해 n-비트 DAC의 출력 전압 혹은 전류의 값이 듀티-에러에 비례하여 변화하게 된다. 일반적인 n-비트 업-다운 카운터 대신 SAR (successive approximation resistor) 회로를 FSM으로 사용하면 라킹 시간의 감소를 가져올 수 있다 [4, 6].

<그림 3(b)>에는 디지털 DCC의 컨트롤 전압 VDctrl/VDctrlb의 동작과 출력 듀티-비의 변화에 대한 타이밍도를 보여 준다. DCA 제어전압 VDctrl/VDctrlb은 초기에 동일 전압으로 세팅되어져 있다가 FSM의 동작 주파수에 따라 디지털적인 변화를 보이며 라킹타임 t0시간까지 변화한다. VDctrl/VDctrlb은 최종적으로 커몬-모드 레벨을 기준으로 +/- Ve의 전위차를 가지며 포화되어 지고, 이때 출력 클록 OUT_CLK/OUT_CLKb은 50%의 듀티를 가지게 된다. 일반적으로 FSM의 원활한 동작과 DAC의 안정적인 동작을 위해 n-비트 FSM과 DAC의 동작 주파수를 입력 클록의 주파수보다 낮추는 것이 필요하므로, 디지털 DCC의 라킹타임은 아날로그 타입에 비해 길어질 수 있다.

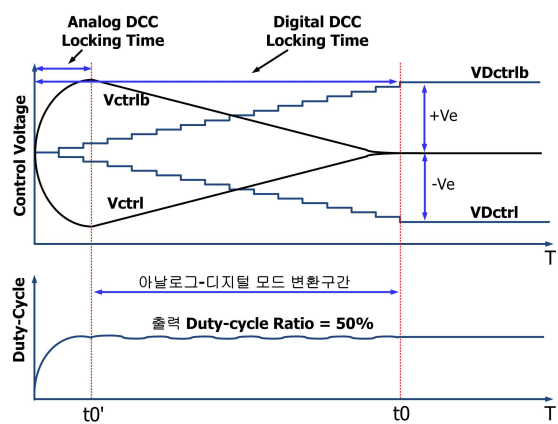
2.3 혼성-모드 피드백 DCC

<그림 4(a)>에는 혼성-모드 DCC [4, 6]의 구조도를 보여주고 있다. 혼성-모드 DCC는 아날로그 피드백 패스와 디지털 피드백 패스로 구성된 이중-루프 구조를 가짐으로써, 아날로그 DCC가 가지는 빠른 라킹타임과 넓은 듀티-보정 레인지, 높은 듀티-보정 정확도의 장점과 디지털 DCC가 가지는 파워다운 모드시의 듀티-에러 저장기능의 장점을 모두 구비할 수 있다. 혼성-모드 DCC에 사용되는 DCA는 아날로그 및 디지털 타입의 DCA와 달리 차동 입력 클록 이외에 두개의 듀티 컨트롤 전압신호인 아날로그 컨트롤전압 Vctrl/Vctrlb와 디지털 컨트롤전압 VDctrl/VDctrlb를 모두 받는다. 이를 위해 필요한 새로운 타입의 DCA 회로는 3장에서 소개한다.

<그림 4(b)>에는 혼성-모드 DCC의 두 컨트롤 전압 Vctrl/Vctrlb와 VDctrl/VDctrlb의 동작과 출력 듀티의 변화에 대한 타이밍도를 보여 준다. 동작 초기에 아날로그와 디지털 컨트롤 전압 모두 같은 값으로 세팅되어져 있고, 아날로그 피드백 패스를 통해 전달된 듀티-에러 정보는 DCA를 아날로그 적으로 제어하여 t0'의 빠른 시간 안에 Ve의 보정전압값으로 변화하며 출력 클록의 듀티를 50%로 보정시킨다. 이후, 입력 클록 주파수의 1/4, 1/8, 혹은 1/16 등으로 천천히 동작하는 디지털 피드백 패스의 컨트롤전압 VDctrl/VDctrlb는 천천히 듀티-에러의 보정에 필요한 Ve 전압값으로 벌어지게 되며, 이때 아날로그 컨트롤전압 Vctrl/Vctrlb는 천천히 원래의 초기 커몬-모드 전압으로 돌아오게 된다. 이러한 아날로그-디지털 모드 변환구간을 거쳐 t0시간에 도달하면, DCC는 디지털 라킹모드를 유지하며 출력 클록 듀티를 50%로 계속해서 유지하게 된다.



(a)

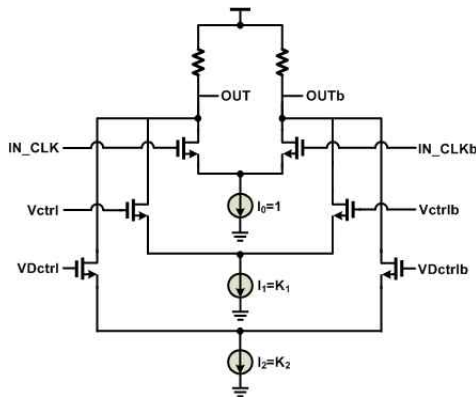


(b)

<그림 4> 혼성-모드 DCC
(a) 구조도 (b) 컨트롤 전압 및 출력 듀티 타이밍도

3. 혼성-모드 DCA의 설계

혼성-모드 DCC의 성능을 좌우하는 핵심적인 회로의 하나는 고성능 DCA의 설계이다. 간단한 DCA의 설계는 <그림 5>에 보인바와 같이 싱글-스테이지의 차동 앰프 형태로 구현할 수 있다. 이러한 싱글-스테이지 (Single-Stage) DCA (SDCA)는 일반적으로 제한된 듀티-보정 레인지와 듀티-보정 정확도를 가지게 되는데, 이는 DCA의 출력 OUT/OUTb 노드에 구조적으로 세 쌍의 차동 페어 출력단이 공유되기 때문에 커패시티브 로딩이 과대하게 걸려 고주파 특성이 저하되기 때문이다.



<그림 5> 싱글-스테이지 (Single-Stage) DCA (SDCA) 회로도

<그림 5>에서 주 전류원 I_0 의 전류구동 계수를 1이라고 하고, 아날로그 피드백 전류원 I_1 과 디지털 피드백 전류원 I_2 의 전류 구동 계수를 각각 K_1 과 K_2 라고 가정하자. 넓은 듀티-보정 레인지를 가지기 위해 K_1 과 K_2 는 가능한 한 큰 값을 가져야 하지만, 피드백 전류원의 세기가 커질수록 DCA의 안정도에 문제가 발생하게 된다. 따라서, 이러한 싱글-스테이지 DCA의 구조에서 안정도의 확보를 위해 K_1 과 K_2 의 합은 1보다 작아야 하므로, 전류 구동계수 K_1 과 K_2 는 아래 식과 같이 구조적으로 제한된 최대 구동계수 값을 가지게 된다.

$$K_1 < 0.5 \text{ and } K_2 < 0.5 \quad (1)$$

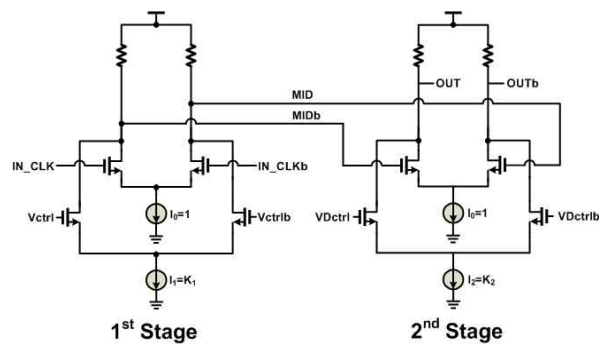
따라서, SDCA 구조가 가지는 제한된 듀티-보정 레인지와 안정도 문제를 극복하기 위해 새로운 DCA 구

조가 제안되었는데, 이것이 투-스테이지 (Two-Stage) DCA (TDCA) [4] 구조이다.

<그림 6>에는 넓은 듀티-보정 레인지를 가지면서도 높은 안정도를 보이는 TDCA 회로의 구조를 보여주고 있다. 이 TDCA는 두 개의 직렬 연결된 차동-페어 앰프로 구성되어 1단 스테이지와 2단 스테이지간의 분리를 통해 각 차동앰프 출력단의 커패시티브 로딩을 감소시켜 높은 게인-밴드위스 퍼덕트 (Gain*Bandwidth Product) 을 얻게 된다. 1단 스테이지는 주 입력클럭 IN_CLK/IN_CLKb 신호와 아날로그 피드백 제어전압 Vctrl/Vctrlb를 제어계수 K_1 의 세기로 받게된다. 2단 스테이지 앰프는 1단 스테이지의 출력을 주 입력신호로 받고, 디지털 피드백 제어전압 VDctrl/VDctrlb 신호를 K_2 의 구동계수 세기로 받게 된다. 각 스테이지의 주 전류원 I_0 의 전류구동 계수를 1이라고 하면, 안정도에 문제가 없는 범위에서 TDCA의 전류 구동계수 K_1 과 K_2 는 아래 식과 같이 상대적으로 증가된 최대 구동계수 값을 가지게 된다.

$$K_1 < 1 \text{ and } K_2 < 1 \quad (2)$$

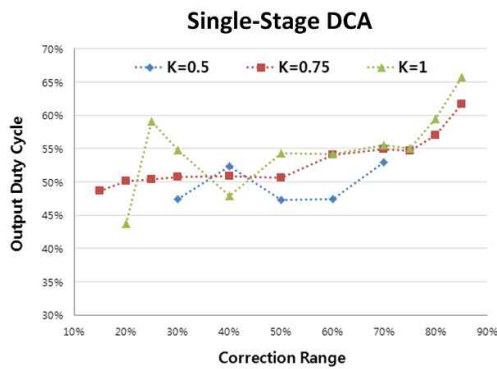
식 (1)과 (2)의 비교에서 알 수 있듯이, TDCA 구조는 SDCA 대비 최대 두 배의 K_1 과 K_2 계수를 가질 수 있으며, 이는 듀티-보정 레인지가 안정도 문제없이 최대 두 배로 증가될 수 있음을 의미한다. TDCA는 또한 단 분리를 통해 감소된 커패시티브 로딩 효과로 고주파 특성이 향상되며 Jitter 감소 효과를 초래한다.



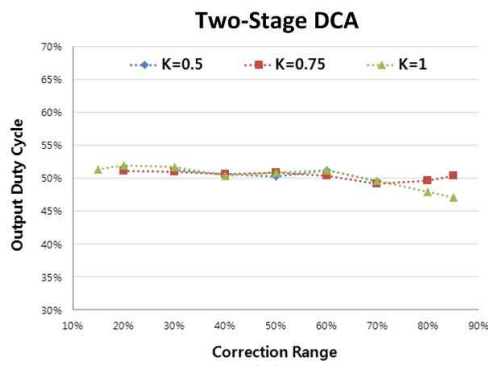
<그림 6> 투-스테이지 (Two-Stage) DCA (TDCA) 회로도

4. 실험 결과

SDCA와 TDCA 구조를 각각 적용한 두 개의 혼성-모드 DCC가 0.18- μm 1.8-V CMOS 공정을 이용하여 설계되었다. 두 DCC 모두 아날로그와 디지털 피드백 루프를 가지는 이중-피드백 루프 구조 [4, 6]를 가지며, 라킹 시간의 감소를 위해 SAR로 제어되는 바이너리 탐색 + 시퀀셜 탐색의 이중-탐색 모드를 사용한다 [4].



(a)



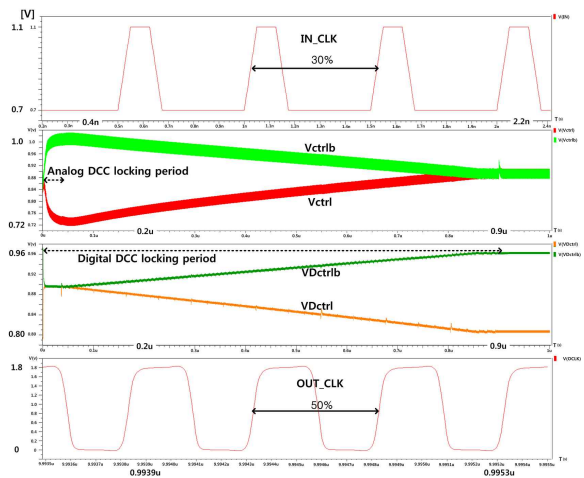
(b)

<그림 7> 피드백 전류구동 계수 K값에 따른 출력 듀티 보정능력의 비교 (입력 주파수 = 1.2 GHz) (a) SDCA (b) TDCA

<그림 7>에는 DCA의 피드백 전류구동 계수 K ($K=K_1=K_2$)의 변화에 따른 SDCA와 TDCA의 듀티-보정 레인지와 출력 듀티값에 대한 HSPICE 시뮬레이션 결과를 보여주고 있다. <그림 7(a)>에서 K=0.5 일 때, SDCA는 30-70% 까지의 제한된 듀티-보정 레인지를 가지며, 이때 출력 듀티는 약 47-52%의 값을 가진다. 듀티-보정 레인지의 확장을 위해 K값을 0.75로 상승시키면, 피드백 패스의 세기가 강화되어 듀티-보

정 레인지는 약 15-85%로 넓어지나 안정도에 문제가 생기기 시작하고, 출력 듀티는 약 48-62%로 듀티-보정 정확도가 떨어지기 시작한다. K=1로 더욱 피드백을 세게 할 경우, 주 시그널 패스보다 피드백 시그널 패스의 세기가 2배로 강화되어 SDCA의 동작에 현저한 안정도 문제가 발생하기 시작하여 출력 듀티는 약 43-66%로 듀티-보정 정확도가 오히려 떨어지는 것을 볼 수 있다.

<그림 7(b)>에서는 동일 조건의 TDCA 시뮬레이션 결과를 보여주고 있다. K=0.5 일 때, TDCA는 SDCA와 동일하게 30-70%의 듀티-보정 레인지를 가지며, 출력 듀티는 약 50-51%의 값으로 SDCA보다 우수한 듀티-보정 정확도를 보여준다. K값을 0.75로 키우면 듀티-보정 레인지는 약 20-85%로 확장되고, 이때 출력 듀티는 약 49-51%로 SDCA보다 월등한 듀티-보정 정확도를 보여준다. K값이 1까지 커졌을 때도 여전히 넓은 듀티-보정 레인지와 듀티-보정 정확도를 유지하는 것을 확인할 수 있다.



<그림 8> TDCA 기반 혼성-모드 DCC의 동작 시뮬레이션도

<그림 8>에는 TDCA기반 혼성-모드 DCC의 동작도를 보여 준다. 30%의 듀티-비 클럭을 입력으로 받아 초기에는 아날로그 DCC 피드백 패스의 동작으로 수십 ns 이내에 출력 듀티를 50%로 빠르게 라킹시키고, 이후 출력 듀티를 50%로 유지하면서 디지털 DCC 피드백 패스는 천천히 아날로그 피드백 패스를 대체하게 된다. 동작 초기에는 바이너리 탐색으로 라킹 타임을 감소시키고, 이후에 정확도 향상을 위해 시퀀셜

탐색으로 전환한다.

<표 1>에는 설계된 SDCA 및 TDCA 기반 DCC의 성능을 비교하고 있다. 비슷한 파워소모와 동일한 0.5-2.0 GHz의 동작 주파수 영역에서 최대 듀티-보정 레인지를 -35%에서 +40%로 했을 때, SDCA 기반 DCC는 최대 5.67%의 듀티-보정 에러를 보이는 반면, TDCA 기반 DCC는 최대 1.42%의 듀티-보정 에러를 보여 월등하게 개선된 듀티-보정 정확도를 갖고 있음을 알 수 있다.

<표 1> SDCA 및 TDCA 기반 DCC의 성능비교

	SDCA기반 DCC	TDCA기반 DCC
공정	0.18 μm	0.18 μm
전압	1.8V	1.8V
동작주파수	0.5-2 GHz	0.5-2 GHz
최대 듀티-보정 레인지	-35% ~ +40%	-35% ~ +40%
최대 듀티-보정 에러	$\pm 5.67\%$	$\pm 1.42\%$
파워소모	5.07mW	5.64mW

5. 결론

본 논문에서는 SoC 설계에 쓰이는 DLL이나 PLL 등의 클럭킹 발생 회로의 핵심 소자인 클럭-듀티 보정 회로를 소개하였다. 가장 일반적인 아날로그 피드백 DCC와 디지털 피드백 DCC의 구조와 동작을 먼저 비교 분석하였고, 듀티-보정 레인지의 확장과 동작 주파수 및 듀티-보정 정확도의 향상을 위해 아날로그와 디지털 DCC의 장점을 결합한 새로운 혼성-모드 피드백 DCC의 구조와 동작을 자세히 살펴보았다. 특히, 혼성-모드 DCC의 핵심 구성 회로인 듀티-앰프 DCA의 구조와 설계를 살펴보았고, 싱글-스테이지 DCA와 투-스테이지 DCA 기반의 두 개의 혼성-모드 DCC를 0.18- μm CMOS 공정으로 설계하여 투-스테이지 DCA가 더 넓은 듀티-보정 레인지와 더 적은 듀티-보정 에러를 확보하는데 효과적임을 증명하였다.

References

- [1] S. K. Kao and S. I. Liu, "All-Digital Fast-Locked Synchronous Duty-Cycle Corrector," *IEEE Trans. on Circuits and Systems*, Vol.53, pp. 1363-1367, 2006.
- [2] B. Kim, K. Oh, L. Kim, and D. Lee, "A 500MHz DLL with Second Order Duty Cycle Corrector for Low Jitter," *IEEE Custom Integrated Circuits Conference*, pp. 325-328, 2005.
- [3] J. C. Ha, J. H. Lim, Y. J. Kim, W. Y. Jung, J. K. Wee, "Unified all-digital duty cycle and phase correction circuit for QDR I/O interface," *IET Electronics Letters*, pp. 1300-1301, 2008.
- [4] S. Han and J. Kim, "Hybrid duty-cycle corrector circuit with dual feedback loop," *IET Electronics Letters*, Vo.47, No.24, pp. 1311-1313, 2011.
- [5] Y. Min, C. Jeong, K. Kim, W. Choi, J. Son, C. Kim, and S. Kim, "A 0.31-1 GHz fast-corrected duty-cycle corrector with successive approximation register for DDR DRAM applications," *IEEE Trans. on VLSI Systems*, Vol. 20, pp. 1524-1528, 2012.
- [6] S. Han and J. Kim, "A 0.5-2.0 GHz dual-loop SAR-controlled duty-cycle corrector using a mixed search algorithm," *Journal of Semiconductor Technology and Science*, Vo.13, No.2, pp. 152-156, 2013.



한 상 우 (Sang Woo Han)

- 홍익대학교 전자전기공학부 학사
- 홍익대학교 전자정보통신공학과 석사
- 홍익대학교 전자정보통신공학 박사
과정

• 관심분야 : 아날로그회로, DLL, PLL, PMIC 설계



김 중 선 (Jong Sun Kim)

- 한양대학교 전자공학과 학사
- 포항공과대학교 전자전기공학과
석사
- University of California, Los
Angeles (UCLA) 전기공학과 박사

• 홍익대학교 공과대학 전자전기공학부 조교수

• 관심분야 : 아날로그 및 믹스드-시그널 회로설계,
고속인터페이스 및 클럭킹, PMIC 설계

논문 접수일 : 2013년 09월 16일

1차수정완료일 : 2013년 10월 10일

2차수정완료일 : 2013년 10월 16일

게재확정일 : 2013년 10월 17일