

# NCL 기반의 저전력 ALU 회로 설계 및 구현<sup>†</sup>

(Design and Implementation of Low power ALU based on NCL (Null Convention Logic))

김 경 기\*  
(Kyung Ki Kim)

**요 약** 저전력 설계를 요구하는 디지털 시스템에서는 동적 전력(dynamic power)과 누설 전력(leakage power) 사이의 균형을 이루는 점에 근접하는 매우 낮은 전압에서 작동하는 디지털 설계 방식을 요구하지만, 기존의 동기방식의 회로는 낮은 전압에서 지연(delay)이 급격히 증가하여 시스템의 전체 성능을 유지할 수 없을 뿐만 아니라, 공정, 전압, 온도 변이 (PVT variation) 등에 크게 영향을 받아서 올바른 동작을 기대할 수 없다. 따라서 본 논문에서는 낮은 전압에서 여러 가지 변이들에 영향을 받지 않는 비동기회로 설계 방식 중에 타이밍 분석이 요구되지 않고, 설계가 간단한 NCL (Null Convention Logic) 방식을 사용한 저전력 산술논리 연산장치 (ALU) 회로를 매그나칩-SK하이닉스 0.18um 공정으로 설계하고, 기존의 파이프라인 방식의 ALU와 스피드와 전력에 관해서 비교하였다.

**핵심주제어** : 비동기식 회로, NCL, Null convention logic, 나노 공정 MOSFET

**Abstract** Conventional synchronous design circuits cannot only satisfy the timing requirement of the low voltage digital systems, but also they may generate wrong outputs under the influence of PVT variations and aging effects. Therefore, in this paper, a NCL (Null Convention Logic) design as an asynchronous design method has been proposed, where the NCL method doesn't require any timing analysis, and it has a very simple design methodology. Base on the NCL method, a new low power reliable ALU has been designed and implemented using MagnaChip-SKhynix 0.18um CMOS technology. The experimental results of the proposed NCL ALU have been compared to those of a conventional pipelined ALU in terms of power consumption and speed.

**Key Words** : Asynchronous circuit, NCL, DI model, Null Conventijon Logic, ALU

## 1. 서 론

비동기식 회로 설계(asynchronous circuit design)

는 동기식 회로 설계(synchronous circuit design)에서 사용되는 전역 클럭(global clock)이 없이 주변 모듈 사이에 Ack 신호와 Req 신호를 사용한 핸드셰이킹(handshaking) 프로토콜에 의해 데이터 신호를 동기화하고, 전송하는 회로 설계 방식이다 [1][2]. 비동기식 회로 설계 방식은 1940년대에 개발된 기술이지만, 설

<sup>†</sup> 이 논문은 2012학년도 대구대학교 학술 연구비 지원에 의하여 연구되었음.

\* 대구대학교 전자전기공학부 (kkkim@daegu.ac.kr)

계 자체가 어렵고 면적 증가 등의 단점으로 제한된 분야에서 이용되었다. 그러나, 최근에 나노 공정 기술의 발전과 더불어서 동기회로에서 발생하는 여러 문제들로 인해서 비동기 설계에 다시 관심이 집중되고 있다. 나노 공정에서의 동기회로가 가지는 이런 문제점들을 해결하는 방법으로 다시 비동기회로에 관심이 집중되고 있는 것이다 [3]. 비동기 회로는 첫째, 집적 회로를 구현하기 위한 공정 기술의 발달로 트랜지스터의 크기가 작아지면서 작은 면적에 대량의 트랜지스터를 집적할 수 있게 되었다. 이것으로 기존의 비동기 회로 설계 면적 증가로 인한 문제들을 해결할 수 있다. 둘째, 최악의 경우 (worst-case) 형태의 동기식 회로 설계 방식에 비해서 비동기 회로 설계 방식은 모듈 사이의 다양한 종료시점으로 인한 평균의 경우 (average-case) 형태의 동작을 수행한다. 이것은 이론적으로 높은 성능의 특성을 가지며, 실제로 고속의 파이프라인 회로에 적용되고 있다. 셋째, 비동기식 회로 설계 시에 전역 클럭이 없으므로 이것으로 인한 문제점들, 예를 들면, 클럭 스큐 문제, 다중 클럭 도메인 설계 문제 등에서 이점을 갖는다. 넷째, 모바일 기기의 증가로 저전력 소모에 대한 요구가 증대되었다. 특히 전력 소모가 문제가 되는 동기식 설계 방법에 비해 비동기 회로 설계는 회로의 동작이 필요할 때만 구동되므로 낮은 전력을 소비한다. 이러한 이유 때문에 저전력 소모를 목적으로 특정 애플리케이션에 적용될 수 있다 [1][2].

비동기 회로 설계는 지연 모델에 따라서 구분할 수 있는데 회로의 소자, 도선의 지연 유무에 따라 bounded delay (BD) 모델과 delay insensitive (DI) 모델이 가장 많이 사용 된다. 표 1은 지연 모델을 보여주고 있다. BD 모델은 소자, 도선 모두 유한한 지연을 가정하고 있다. 동기식 회로 특성과 유사하게 입력이 인가된 후 회로가 안정화되고 출력이 발생할 때까지 다른 입력이 발생할 수 없다는 것을 기본으로 한다. 즉, 최악의 경우(worst case)의 성능 분석을 요구한다는 점에서 기존의 동기식 방식의 성능 분석과 흡사하며, 이는 실제로 DB기반 모델의 비동기 회로를 설계에서 확장된 타이밍 분석을 요구하게 된다.

<표 1> 소자, 도선에 따른 지연 모델

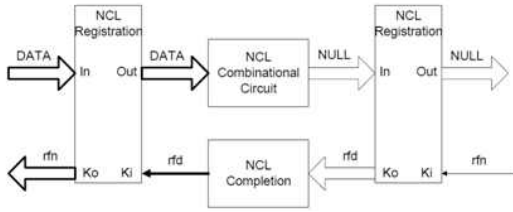
지연 모델	소자	도선
Bounded Delay(BD)	bounded	bounded
Delay Insensitive(DI)	unbounded	unbounded

반면, DI 모델은 소자, 도선 모두 알려지지 않은 지연을 가정하므로 어떠한 시간 가정도 필요하지 않다. 따라서 타이밍 분석이 요구되지 않고, 최악의 경우의 성능이 아니라 평균적인 경우의 성능을 가져온다. 따라서 BD 모델에 비해서 공정, 전압, 온도 등의 변이에 영향을 받지 않으며, 설계한 회로를 재사용하는 것이 매우 용이하게 된다. 이런 점들에 의해서 DI 모델이 최근 활발히 연구되어지고 있으며, 그 중에서도 Null convention logic (NCL)에 관한 연구들이 많이 되고 있다. NCL은 타이밍 제한만을 용이하게 하는 다른 DI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 툴을 그대로 사용할 수 있는 이점이 있다[4]-[10]. 따라서 본 연구에서는 ALU에서 저전력 고성능 비동기 NCL 방식의 회로를 구현할 수 있도록 비동기 셀을 개발하고, 개발된 셀을 바탕으로 동적 전력 감소 및 정적 전력 감소를 동시에 고려한 NCL 기반의 비동기 회로를 설계하고 구현하고자 한다.

## 2. NULLConvection Logic (NCL)

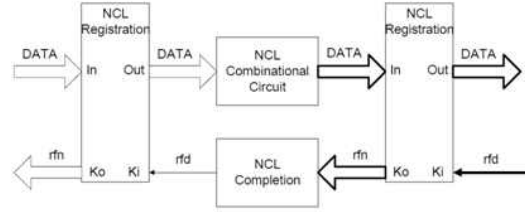
NCL 시스템의 전체적인 구조는 그림 1에서 보여주는 바와 같이 입출력 NCL 레지스터, NCL 회로, NCL completion 회로를 구성되어진다. NCL 레지스터의 역할은 DATA 또는 NULL 신호를 completion 회로에서 입력되는 request 신호에 의해서 DATA 또는 NULL 신호를 NCL 회로로 전달하는 것이며, NCL completion은 뒷단의 NCL 레지스터에서 DATA 또는 NULL의 request가 있는지를 체크해서 앞 단으로 전달하는 역할을 한다. NCL 시스템의 전체적인 사이클을 그림 1의 (a)에서 (d)에 보이는 바와 같이 총 4가지 단계로 이루어지면, 그림 1의 (e)와 같이 DATA-

### DATA Wavefront



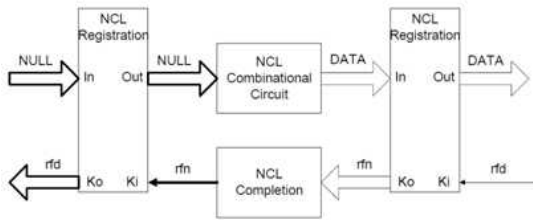
(a)

### DATA Completion Detection



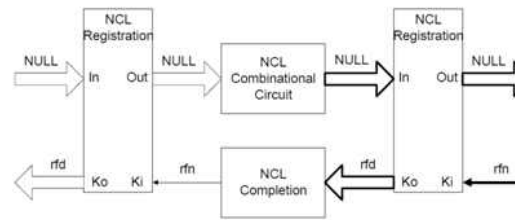
(b)

### NULL Wavefront



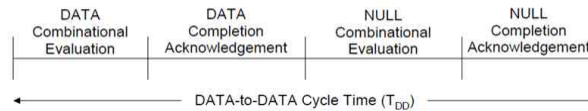
(c)

### NULL Completion Detection



(d)

• NULL/DATA cycle:



(e)

<그림 1> NCL DATA/NULL 사이클: (a) NCL 입력 레지스터에 DATA 신호와 DATA request 신호(rfd) 신호 입력, (b) NCL 출력 레지스터에 DATA 입력과 Completion 회로에 Null request 신호(rfn) 입력, (c) NCL 입력 레지스터에 NULL 신호와 rfn 신호 입력, (d) NC 출력 레지스터에 NULL 신호 입력과 Completion 회로에 rfd 입력, (e) DATA 와 NULL 신호에 의한 신호 주기.

to-DATA 사이클을 나타낼 수 있다 [4]-[6].

NCL 회로의 신호(signal)는 이중 회선 인코딩(dual rail encoding) 방법을 이용한 Dual-rail-logic을 사용한다. Dual-rail-logic 신호 D는 two wire ( $D^0, D^1$ )로 구성되어 있다. 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 ( $D^0=1, D^1=0$ ), DATA1 상태는 ( $D^0=0, D^1=1$ ), NULL 상태는 ( $D^0=0, D^1=0$ )을 나타낸다. NULL 상태는 D의 값이 아직 이용 가능하지 않은 상태를 표현한다. Dual-rail-logic은 상호 배타적인 특성을 가지고 있으므로 동시에 ( $D^0=1, D^1=1$ )을 나타낼 수 없다. 따라서, 두 개의

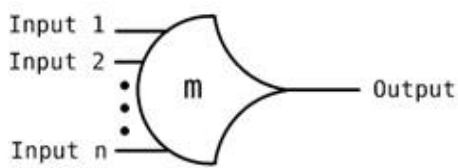
와이어(wire)가 ( $D^0=1, D^1=1$ )일 때의 상태는 illegal state로 나타낸다. 표 2는 Dual-rail-logic의 상태를 정리한 것이다.

<표 2> 듀얼 레일(Dual-rail) 인코딩

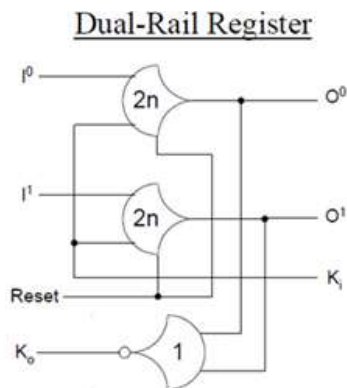
	DATA0	DATA1	NULL	Illegal
Rail <sup>0</sup>	1	0	0	1
Rail <sup>1</sup>	0	1	0	1

NCL 회로의 설계는 기본적으로 설계된 27개의 NCL 게이트를 바탕으로 설계한다. 이 27개의 NCL 게이트는 자주 사용되는 boolean function을 기준으로

설계되었다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가진다. NCL 게이트의 심볼 표현은 그림 2과 같이 나타내고 TH<sub>mn</sub> 게이트라고 부른다. 여기서, n은 입력의 개수, m은 문턱(threshold) 값을 말한다. 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. 다른 표현으로 무게 가중치 문턱 (weighted threshold) 게이트로 불린다. 예로써, TH<sub>34w2</sub> 게이트는 입력 n=4이고, threshold=3, weighted threshold=2이다.



<그림 2> TH<sub>mn</sub> threshold gate



<그림 3> Dual-Rail Register

게이트에 출력을 나타내려면 입력 B, C, D가 가해지거나, 입력 A가 가해지게 되어야 한다. 그 외에는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성이 나타난다.

그림 1에서 Completion 회로는 AND 회로로 구성되며, 각 레지스터의 Ko 신호들이 모두 rfd 신호(logic 1) 일 때 출력으로 rfd를 발생하고, 그 외에는 rfd 신호(logic 0)를 유지 한다. 그리고, 레지스터(Register)는 Completion 회로에서의 출력 값에 의해 발생하는 Ki 값이 rfd 신호(Ki=1)일 때에만 DATA(I<sup>0</sup>, I<sup>1</sup>) 이 레지스터의 출력으로 나갈 수 있다. 레지스터의 Ko 신

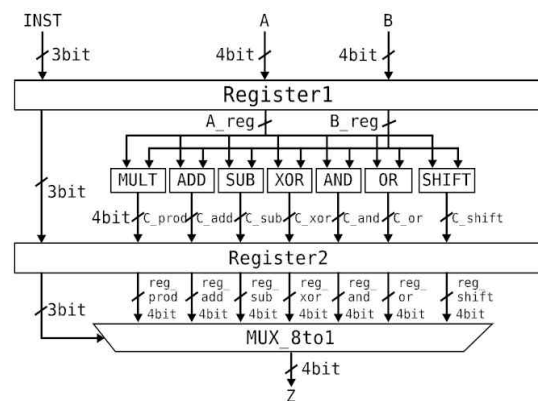
호는 레지스터의 출력이 DATA이면 rfn 신호를 발생하고, 출력이 NULL 이면 rfd 신호를 발생시키는 NOR 논리에 의해서 발생된다. 그림 3은 NCL 구조에서의 레지스터(Register)의 논리 구조를 나타낸다.

NCL 조합회로의 설계 과정은 기존의 k-맵을 통한 boolean 회로 설계와 유사하다[11]. 다만, 조합회로의 논리식 표현에서 일반적으로 True(1)만 사용되는데, NCL 회로에서는 True(1), False (0) 모두 필요하다. True(1)은 DATA1로, False (0)은 DATA0으로 각각 표현된다.

### 3. 4-bit ALU

본 논문에서 제시한 NCL 구조를 이용하여 기존의 동기회로 기반의 4-bit 파이프라인 ALU 회로를 NCL ALU로 재설계하여 회로의 동작과 전력을 비교하고자 한다. 기존의 Pipelining ALU 구조는 입력된 4 bit 데이터와 3 bit 명령어가 첫 번째 Pipelining 레지스터를 통과하고 INST 명령에 의한 연산 과정을 거친 값들이 두 번째 레지스터를 거쳐서 결과 값으로 전달되는 구조이다.

이 파이프라인 ALU는 INST라는 CPU의 제어 부분에서 발생된 명령에 의해 두 개의 데이터들이 덧셈(ADD), 뺄셈(SUB), 곱셈(MULT), 자리 옮김(SHIFT), 논리연산(XOR, AND, OR)을 하게 되어 있다. 이 회로의 개략적인 동작은 아래 표 3과 같다.



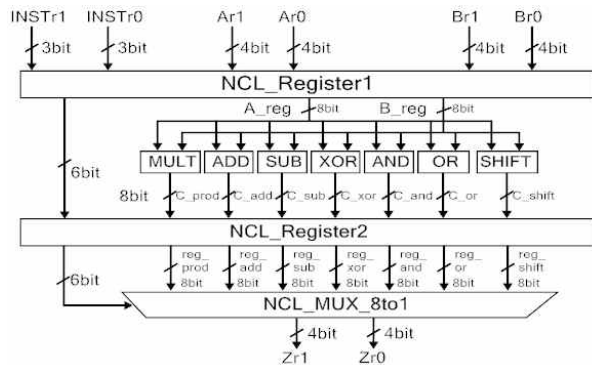
<그림 4> Pipeline ALU

<표 3> Pipelining ALU 동작

INST	동작	INST	동작
000	A + B	100	A and B
001	A - B	101	A or B
010	A x B	110	Shift Left
011	A xor B	111	Shift Right

그림 5는 앞의 파이프라인 ALU를 NCL 게이트를 사용하여 재설계한 개념도이다. 회로의 동작은 파이프라인 ALU와 유사하지만, 내부 회로는 모두 NCL 게이트를 사용하여 설계 되었고, 데이터와 명령어는 이중 회선 논리 (Dual-rail-logic)를 사용하여 두 선 (two wire)으로 구성되어 있다. NCL ALU는 이중 회선 논리 데이터 A, B, INST가 입력되면 첫 번째 NCL 레지스터를 통과하고 INST 명령에 의한 연산 과정을 거친 값들이 두 번째 레지스터를 거쳐서 결과 값으로 전달되는 구조이다.

이 NCL ALU는 INST라는 CPU의 제어 부분에서 발생된 명령에 의해 두 개의 이중 회선 논리 데이터들이 덧셈 (ADD), 뺄셈 (SUB), 곱셈 (MULT), 자리 옮김 (SHIFT), 논리연산 (XOR, AND, OR)을 한다.



<그림 5> NCL 기반의 ALU

#### 4. 실험결과

제안된 ALU 회로는 매그너칩-SK하이닉스 0.18um 공정을 사용하여 제작되었고, 회로 구현과 시뮬레이션은 Cadence, Synopsys, Mentor 사의 툴을 사용하였다.

NCL\_ALU 회로에서 사용된 트랜지스터의 개수, 소모전력 및 지연시간을 기존의 동기방식의 파이프라인

ALU의 값들과 비교해보면 표 4, 5와 같다. 시뮬레이션은 전원 전압이 1.8V, 0.6V의 두 가지 경우로 나누어 진행하였다. 설계된 회로에서 사용된 트랜지스터의 개수는 NCL 기반의 ALU가 동기 방식의 ALU보다 약 2.5배의 트랜지스터의 개수가 사용되었다. 이것은 NCL 회로의 특성에 따라 추가적인 회로가 사용되었기 때문이다. 따라서 NCL 회로를 이용하여 회로를 설계하면 동기식 회로보다 더 많은 레이아웃 면적이 필요하다.

소비전력 면에서는 클럭이 없는 회로에서는 NCL 회로가 더 많은 전력을 소비하는 것으로 나타나지만, 클럭이 존재하는 회로에서 더 적은 전력을 소비하는 것으로 나타난다. 또한, 동기회로는 클럭 속도에 따라 소모 전력이 변화할 수 있다. 표 4의 ALU에서 사용된 클럭 속도는 200MHz이다. 따라서 클럭에 의해 소모되는 전력이 많은 동기회로의 경우 클럭 속도를 더 빠르게 하면 소모 전력이 더 증가할 것으로 예상된다.

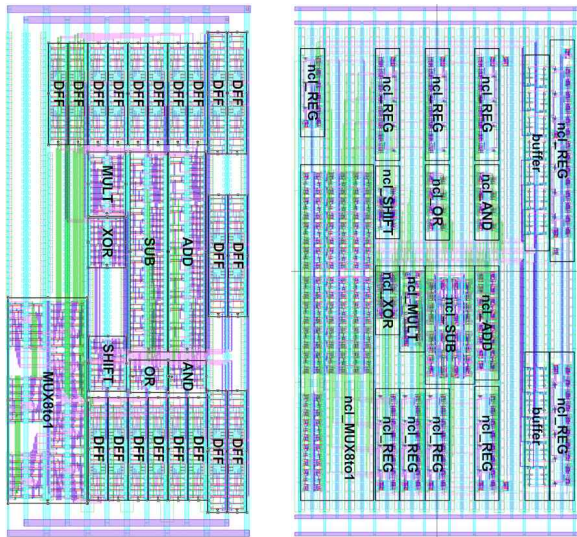
<표 4> NCL방식과 동기방식의 지연시간 및 평균전력 비교(VDD=1.8V)

	NCL			Sync. (freq.=200MHz)		
	power (uW)	delay (ns)	transistor count	power (uW)	delay (ns)	# of transistors
ALU	421.9	4.5	5296	411.1	6.5	2150

<표 5> NCL방식과 동기방식의 지연시간 및 평균전력 비교(VDD=0.6V)

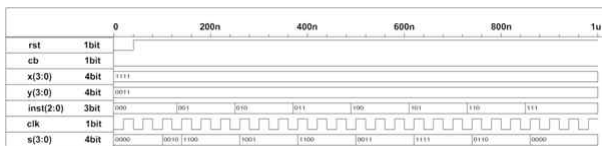
	NCL			Sync. (freq.=200MHz)		
	power (uW)	delay (ns)	transistor count	power (uW)	delay (ns)	# of transistors
ALU	23.5	8.5	5296	31.8	69.8	2150

지연 시간에 있어서는 저전압에서 동기회로가 최소 10배 이상 지연 시간이 증가하는 것으로 나타났다. 즉, 저전압에서 동기회로는 타이밍 요구조건을 만족하는 것이 매우 어려워지며, 외부 변화에 더욱 민감해 진다는 것을 알 수 있다. 반면, NCL 회로는 타이밍 요구조건이 존재하지 않는 지연에 민감하지 않은 모델이므로 느려지는 속도에 영향 받지 않고 올바른 작동을 할 수 있다. 그림 6은 0.18um 공정으로 구현된 4-bit 파이프라인 ALU와 NCL 기반의 ALU의 레이아웃을 나타내고, 그림 7은 각 ALU의 시뮬레이션 파형을 나타내고 있다.

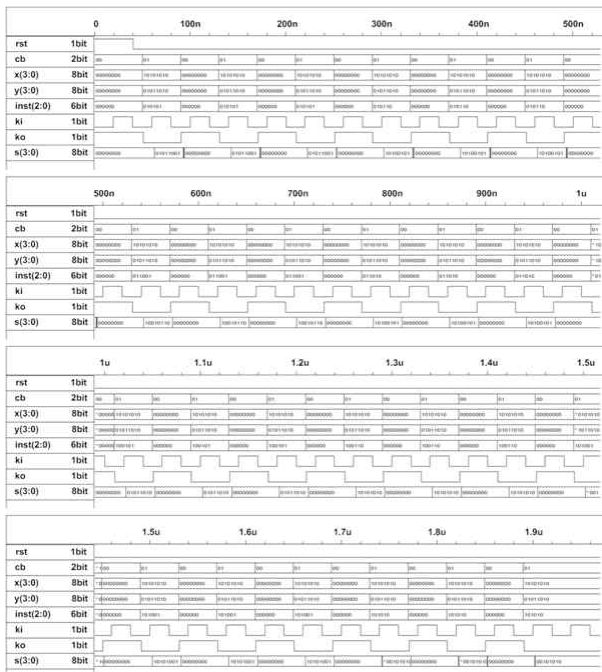


(a) (b)

<그림 6> ALU Layout: (a) 파이프라인 ALU, (b) NCL 기반의 ALU.



(a)



(b)

<그림 7> ALU 시물레이션 파형: (a) 파이프라인 ALU, (b) NCL 기반의 ALU.

## 5. 결론

본 논문에서는 낮은 전압에서 여러 가지 변이들에 영향을 받지 않는 비동기회로 설계 방식 중에 타이밍 분석이 요구되지 않고, 설계가 간단한 NCL (Null Convention Logic) 방식을 사용한 저전력 산술논리 연산장치 (ALU) 회로를 매그나칩-SK하이닉스 0.18um 공정으로 설계하고, 기존의 파이프라인 방식의 ALU와 스피드와 전력에 관해서 비교하였다. NCL 방식의 ALU 회로를 비교 및 분석하였다. 저전압에서 동기회로는 타이밍 요구조건을 만족하는 것이 매우 어려워지며, 외부 변이의 영향에 더욱 민감해지는 반면, NCL 회로는 타이밍 요구조건이 존재하지 않는 지연에 민감하지 않은 모델이므로 느려지는 속도에 영향을 받지 않고 올바른 작동을 할 수 있다. 따라서, 초저전력 설계와 고신뢰도를 요구하는 시스템에서 NCL 방식은 매우 중요한 기술이 될 것이다.

## References

- [1] Scott Hauck, "Asynchronous Design Methodologies: An Overview", Proceeding of the IEEE, Vol. 86, No. 1, pp. 69-93, Jan. 1995.
- [2] H.Van Gageldonk et al., "An Asynchronous Low-power 80c51 Microcontroller," Proc. International Symposium Advanced Research in Asynchronous Circuits and Systems, pp. 96-107, 1998.
- [3] Kyung Ki Kim, "Minimal Leakage Pattern Generator," 한국산업정보학회논문지, V. 16, No. 5, pp.1-8, 2011년 12월.
- [4] Scott C. Smith, Jia Di, "Designing Asynchronous Circuits using NULL Convention Logic (NCL)," Morgan&Calypool Publishers, 2009.
- [5] M. Singh and S. M. Nowick, "Teaching Asynchronous Design in Digital Integrated Circuits," IEEE Trans. on Education, Vol. 47, No. 3, pp. 397-404, Aug. 2004.
- [6] Kyung Ki Kim, "나노 MOSFET 공정에서의 초저전압 NCL 회로 설계," 한국산업정보학회논문지, V. 17, No. 4, pp.17-23, 2012년 08월.

- [7] R. D. Jorgenson, M. S. Hagedorn, T. H. Friddell, "Ultralow-Power Operation in Subthreshold Regimes Applying Clockless Logic," Proceedings of The IEEE, Vol. 98, No. 2, pp. 299-314, Feb. 2010.
- [8] C. M. Smith, S. C. Smith, " Comparison of NULL Convention Booth2 Multipliers," IEEE MWSCAS, pp. 394-397, 2012.
- [9] F. A. Parsan, S. C. Smith, "CMOS implementation of static threshold gates with hysteresis: A new approach," IEEE VLSI-SoC, pp. 41-45, 2012.
- [10] F. A. Parsan, S. C. Smith, "CMOS implementation Comparison of NCL Gates," IEEE MWSCAS, pp. 394-397, 2012.



김 경 기 (Kyung Ki Kim)

- 정회원
- 1995년 8월 영남대 전자공학과 공학사
- 1997년 8월 영남대 전자공학과 공학석사
- 2008년 1월 (미) Northeastern University 전기전자 공학과 공학박사
- 2008년 2월 ~ 2009년 1월 (미) SUN Microsystems 연구원 (Technical Staff)
- 2009년 1월 ~ 2010년 2월 (미) Illinois Institute of Technology 연구원
- 2010년 3월 ~ 현재 대구대학교 정보통신대학 전자 전기공학부 조교수
- 관심분야 : SoC 설계, 비동기회로 설계, Microprocessor, High performance and low power design methodology, Nanotechnology.

논문 접수일 : 2013년 09월 16일  
 1차수정완료일 : 2013년 10월 11일  
 게재확정일 : 2013년 10월 15일