

# 저전력 바이패싱 Booth 곱셈기 설계†

(A Design of Low-Power Bypassing Booth Multiplier)

안 종 훈\*, 최 성 립\*\*, 남 병 규\*\*\*

(Jong Hun Ahn, Seong Rim Choi, and Byeong Gyu Nam)

**요 약** 본 논문에서는 모바일 멀티미디어 응용을 위한 저전력 바이패싱 (bypassing) Booth 곱셈기를 제안한다. 바이패싱 구조는 특정 입력 패턴에 대하여 내부 회로를 우회하여 입력 값을 출력 값으로 직접 전달하므로 내부 회로의 스위칭 전류를 방지하여 저전력 회로를 구현한다. 제안된 곱셈기는 Braun 곱셈기법에 기반을 둔 전통적인 바이패싱 곱셈기와 달리, 현재 널리 사용되는 Booth 곱셈기법에 대하여 바이패싱 구조를 적용하였다. 시뮬레이션 결과, 기존 저전력 Booth 곱셈기에 비하여 제안된 FoM (Figure-of-merit)이 11% 감소함을 확인하였다.

**핵심주제어** : Booth 곱셈기, 바이패싱 구조, 모바일 멀티미디어 응용

**Abstract** A low-power bypassing Booth multiplier for mobile multimedia applications is proposed. The bypassing structure directly transfers input values to outputs without switching the internal nodes of a multiplier, enabling low-power design. The proposed Booth multiplier adopts the bypassing structure while the bypassing is usually adopted in the Braun multipliers. Simulation results show the proposed Booth multiplier achieves an 11% reduction in terms of the proposed FoM compared to prior works.

**Key Words** : Booth Multiplier, Bypassing Structure, Mobile Multimedia Applications

## 1. 서 론

스마트폰의 급속한 발전에 따라 저전력 모바일 멀티미디어 시스템 설계에 대한 필요성이 크게 증가하고 있다[1]. 이러한 멀티미디어 시스템의 저전력화를 위해서는 디지털 신호처리의 중심 역할을 하는 곱셈기에 대한 저전력 설계가 매우 중요한데, 곱셈기는 필터링 (filtering) 등의 디지털 신호처리 알고리즘에서 매우 높은 비중을 차지한다[2].

오늘날 대부분의 디지털 회로의 근간을 이루는

CMOS 회로에서 전력 소모량을 줄이기 위한 다양한 노력들이 있어 왔는데, 특히 디지털 곱셈기의 스위칭 전류를 효과적으로 줄이기 위한 바이패싱 (bypassing) 구조가 제안되어 다양한 곱셈기에 적용되어 왔다 [3-10]. 바이패싱 구조에서는 특정 입력 패턴에 대하여 내부 회로를 거치지 않고 입력 값을 출력 값으로 직접 전달하므로 내부 회로의 스위칭 전류를 효과적으로 차단할 수 있다.

전통적으로 이러한 바이패싱 구조를 이용한 곱셈기는 Braun 곱셈기를 기반으로 제안되어왔다[3-10]. Braun 곱셈기는 단순하고 규칙적인 구조로 인해 입력 값을 출력 값으로 바이패싱할 수 있는 특정 입력 패턴을 찾기가 쉬우므로 바이패싱 구조에 많이 사용되어 왔다. 하지만, Braun 곱셈기는 radix-2 형태를 가지므로 radix 증가에 따라 부분곱의 수가 감소하는

† 이 연구는 2011년도 충남대학교 학술연구비에 의해 지원되었음

\* 충남대학교 컴퓨터공학과

\*\* 충남대학교 컴퓨터공학과

\*\*\* 충남대학교 컴퓨터공학과, 교신전자(bgnam@cun.ac.kr)

Booth 곱셈기에 비해 동작 속도가 느리다. 따라서, 현재 대부분의 멀티미디어 응용에서는 Booth 곱셈기를 사용하고 있는데, 본 논문에서는 Booth 곱셈기가 가지는 부분곱의 특성에 기반하여 FA (Full Adder) 회로를 새롭게 제안함으로써 바이패싱 구조를 가지는 저전력 Booth 곱셈기를 제안한다.

본 논문의 구성은 다음과 같다. 2장에서는 기존 바이패싱 곱셈기에 대해 분석을 토대로 저전력 바이패싱 Booth 곱셈기를 제안한다. 그리고 3장에서는 시뮬레이션 결과 및 성능에 대해 분석하며, 마지막으로 4장에서 결론을 맺는다.

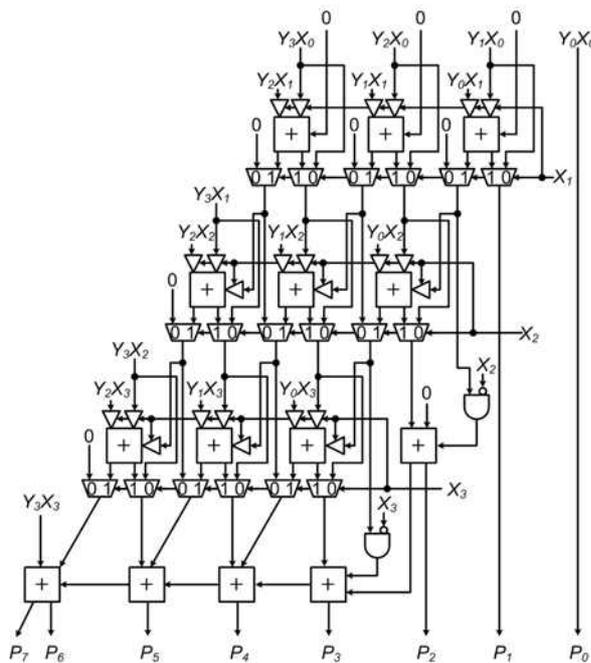
## 2. 바이패싱 Booth 곱셈기

### 2.1 바이패싱 Braun 곱셈기 분석

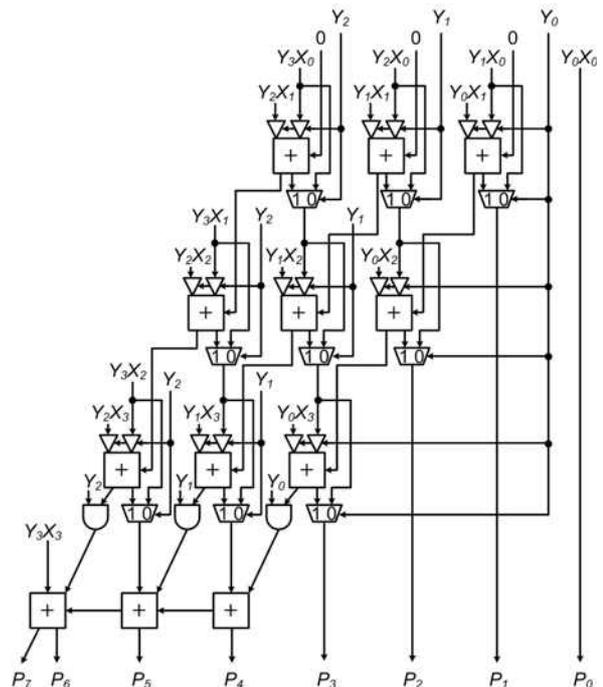
앞서 기술한 바와 같이 바이패싱 구조에 대한 연구는 Braun 곱셈기의 CSA (Carry Save Adder) 트리에 대한 스위칭 횟수를 줄여 전력 소모를 줄이는데 초점을 두고 있다[3-10]. Braun 곱셈기법에 기반을 둔 전통적인 바이패싱 곱셈기는 <그림 1>과 같이 FA의

입력과 출력에 각각 3상 버퍼 (tri-state buffer)와 멀티플렉서를 연결하여 특정 입력 패턴에 대해 FA의 스위칭 없이 입력 값을 출력 값으로 직접 전달하므로 FA의 스위칭 전류를 차단한다. 이러한 바이패싱 기법에는 행 바이패싱과 열 바이패싱이 있다[3], [4]. 행 바이패싱을 적용하는 원리는 <그림 1>에 나타난 Braun 곱셈기법에서 승수  $X$ 의  $j$ 번째 비트  $X_j$ 의 값이 '0'일 경우  $j$ 번째 행의 부분곱이 모두 '0'이 되는 특성을 이용한다. 이런 경우에는 <그림 1>에서  $FA_{i,j}$  ( $j$ 행,  $j$ 열의 Full Adder)의 연산이 불필요하여  $FA_{i-1,j}$ 의 출력이  $FA_{i+1,j}$ 의 입력으로 우회되어 직접 연결될 수 있다는 사실을 이용한 것이다[3]. 즉, 행 바이패싱 기법을 Braun 곱셈기에 적용할 경우 '0'인 부분곱이 생성되는 것은 <그림 1>에서 승수인  $X$ 값에 '0'인 비트의 존재 유무에 따라 결정된다. 따라서, 승수의 '0'인 비트가 행 바이패싱을 위한 활성화 신호로 사용된다.

열 바이패싱을 적용하는 원리는 <그림 2>와 같이 Braun 곱셈기법에서 피승수  $Y$ 의  $j$ 번째 비트  $Y_j$ 의 값이 '0'일 경우 각 행의  $j$ 번째 열의 비트값이 '0'이 되는 특성을 이용한다. 즉, 이러한 경우 <그림 2>에서



<그림 1> 4b×4b 행 바이패싱 곱셈기



<그림 2> 4b×4b 열 바이패싱 곱셈기

$FA_{i,j}$ 의 연산이 불필요하게 되어  $FA_{i-1,j+1}$ 의 출력이  $FA_{i+1,j-1}$ 의 입력으로 우회되어 직접 연결될 수 있다는 사실을 이용한 것이다[4]. 이 기법을 Braun 곱셈기에 적용할 경우 '0'인 부분곱이 생성되는 것은 <그림 2>에서 피승수인  $Y$ 값에 '0'인 비트의 존재 유무에 따라 결정된다. 따라서, 피승수의 '0'인 비트가 열 바이패싱을 위한 활성화 신호로 사용된다. 이러한 행/열 바이패싱 기법을 통해 기존 Braun 곱셈기 대비 파워소모는 줄일 수 있지만, Braun 곱셈기는 radix-2 형태를 가지므로 Booth 곱셈기에 비해 동작 속도가 느려 최근의 곱셈기 연구에서는 잘 사용되지 않고 있다.

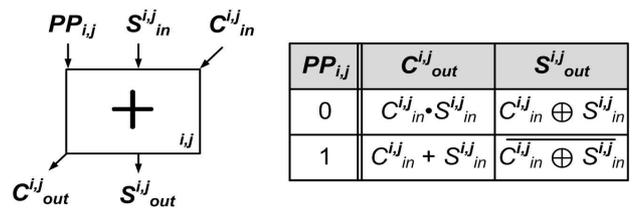
## 2.2 바이패싱 Booth 곱셈기를 위한 바이패싱 구조의 전가산기 제안

Booth 곱셈기법은 피승수의 비트열을 새롭게 인코딩하여 이를 승수에 적용함으로써 부분곱을 생성한다. <그림 3>은 Radix-4 Booth 곱셈에 대한 인코딩 표인데, 승수의 3비트에 대해 '0',  $\pm A$ ,  $\pm 2A$  중 하나의 부분곱을 생성한다. 이렇듯, Booth 곱셈기는 인코딩된 값을 이용하여 부분곱을 생성하는 특성이 있어, Braun 곱셈기의 경우와 같이 단순히 승수, 피승수의 '0'인 비트를 이용한 행/열 바이패싱을 적용할 수 없다. 즉, Booth 곱셈기에 바이패싱을 적용하기 위해서는 Booth 곱셈법에 기반한 새로운 활성화 신호를 찾아야 한다. 바이패싱 Booth 곱셈기를 위한 바이패싱 활성화 신호는  $FA_{i,j}$ 의 입력 신호인  $S^{i,j}_{in}$ ,  $C^{i,j}_{in}$ ,  $PP_{i,j}$  ( $i$ 행,  $j$ 열 Full Adder에 대한 세 가지 입력신호)를 이용해서  $FA$ 에 대한 진리표를 새롭게 구성함으로써 찾을 수

Inputs					인코딩 결과 (A: 피승수)
승수 비트열			피승수 비트열		
$X_j$	$X_{j-1}$	$X_{j-2}$	$Y_j$	$Y_{j-1}$	
0	0	0	0	0	0
0	1	0	0	1	+A
1	0	0	1	0	-2A
1	1	0	0	1	-A
0	0	1	0	1	+A
0	1	1	1	0	+2A
1	0	1	0	1	-A
1	1	1	0	0	0

<그림 3> Radix-4 Booth 인코딩 테이블

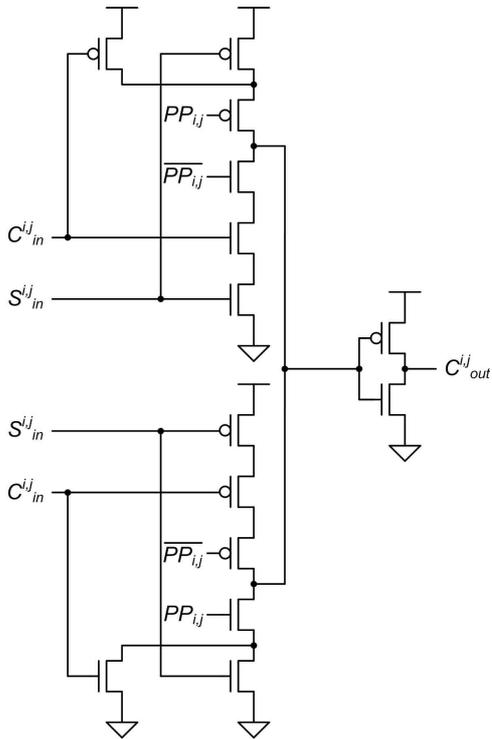
있다. 이 세 가지 신호들 중 어느 것을 바이패싱 활성화 신호로 선택해도 무방하므로 본 연구에서는  $PP_{i,j}$ 를 바이패싱 활성화 신호로 선택하여  $FA$ 의 출력신호들에 대한 진리표를 구성하면 <그림 4>와 같다. 이를 토대로 구성한 바이패싱  $FA$  회로를 <그림 5>에 보였다. <그림 5(a)>의  $C^{i,j}_{out}$  (Carry Out) 회로에서는  $PP_{i,j}$ 가 '0'이면  $C^{i,j}_{in} + S^{i,j}_{in}$  회로를 바이패스하여 스위칭 전류를 차단하고,  $PP_{i,j}$ 가 '1'이면  $C^{i,j}_{in} \cdot S^{i,j}_{in}$  회로를 바이패스하여 스위칭 전류를 차단하도록 설계되었다. 또한, <그림 5(b)>에 보인  $S_{out}$  (Sum Out) 회로는  $PP_{i,j}$ 가 '0'일 경우,  $C^{i,j}_{in} \oplus C^{i,j}_{in}$  회로를 구성하는 인버터를 바이패스하여 인버터의 스위칭 전류를 차단하도록 설계하였다. 이렇듯,  $FA$ 에 2개의 트랜지스터를 추가함으로써 면적 증가를 최소화하고 스위칭 전력소모를 줄인 바이패싱  $FA$ 를 제안하였으며, 이를 이용한 바이패싱 Booth 곱셈기는 <그림 6>과 같다. 이 곱셈기는 기존 Booth 곱셈기의 CSA 트리를 바이패싱  $FA$ 를 이용한 CSA 트리로 대체하여 전력소모를 감소시켰다.



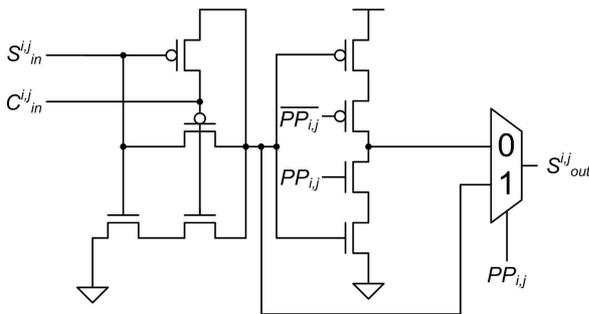
<그림 4> Booth 바이패싱 전가산기의 진리표

## 3. 시뮬레이션 및 비교 결과

제안된 곱셈기는 Cadence사의 Spectre를 이용하여 시뮬레이션 하였다. SPICE 파라미터는 동부 0.11 $\mu$ m CMOS 공정의 파라미터를 이용하였으며, 1.2V, 50MHz의 동작주파수에서 5,000개의 랜덤 입력 패턴을 사용하여 전력 소모를 측정하였다. 그리고 설계된 곱셈기의 특성은 <표 1>에 나타내었다. 시뮬레이션 결과, 제안된 회로는 2,414개의 트랜지스터를 포함하여 215 $\mu$ W의 전력소모를 보이며, 최대 600MHz에서 동작하는 것으로 나타났다. 본 논문에서는 기존 저전력



(a)  $C_{out}$ 을 생성하는 회로



(b)  $S_{out}$ 을 생성하는 회로

<그림 5> Booth 바이패싱 곱셈기의 전가산기

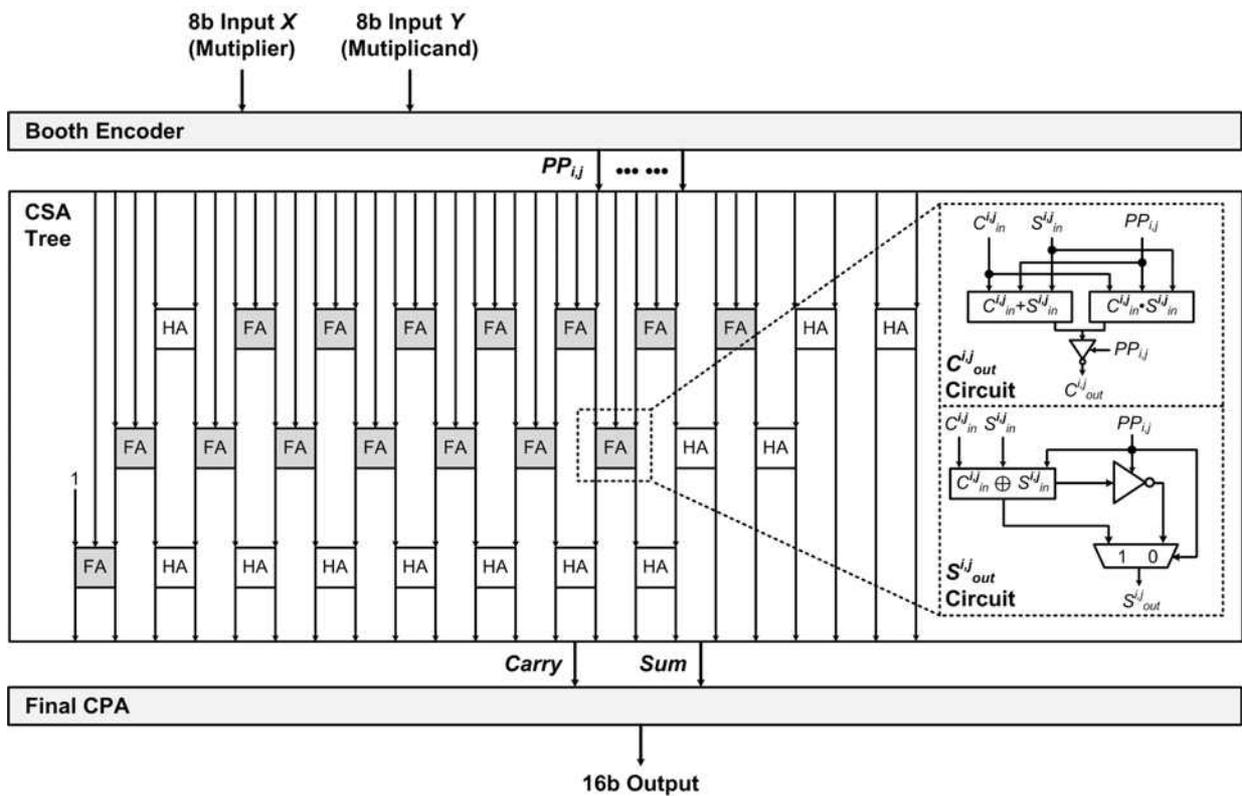
Booth 곱셈기들[11], [12]과 전력소모, 면적, 동작속도 측면에서 전반적인 비교를 할 수 있도록 <표 1>에서와 같이 FoM (Figure-of-merit)을 제안하고 비교하였다. 특히, 공정에 따른 차이를 고려하기 위하여 <표 1>에서는 0.11um 공정에 대해 정규화하여 전력소모, 면적, 동작속도를 표시하였으며, 비교결과 제안된 바이패싱 Booth 곱셈기는 기존 저전력 Booth 곱셈기[11] 대비 FoM 측면에서 11% 감소됨을 확인하였다.

<표 1> 저전력 Booth 곱셈기와의 비교 테이블

	TC 2006 [11]	T-CAS II 2009 [12]	This Work
$M \times N$	8b × 8b	8b × 8b	8b × 8b
Input Frequency (MHz)	330	50	50
Power (mW)	0.968	0.217	0.215
Area ( $\mu\text{m}^2$ )	2885	2211	2305
Propagation Delay (ns)	3.59	3.26	2.73
FoM ( $\frac{\text{Power} \cdot \text{Delay} \cdot \text{Area}}{\text{Input freq.}}$ )	30.37	31.33	27.06

#### 4. 결론

본 논문에서는 모바일 멀티미디어 응용을 위한 저전력 곱셈기를 구현하기 위하여, Booth 곱셈기에 바이패싱 구조를 적용한 저전력 바이패싱 Booth 곱셈기를 제안하였다. 이를 위해 바이패싱 구조를 포함한 FA의 구조를 새롭게 제안하였으며, 이를 통해 Booth 곱셈기에 대해 면적 증가를 최소화하면서 스위칭 전력을 감소시키는 바이패싱 구조를 적용할 수 있었다. 시뮬레이션 결과 제안된 바이패싱 Booth 곱셈기는 215 $\mu\text{W}$ 의 전력소모와 600MHz의 동작속도를 보였으며, 제안된 FoM의 측면에서 11% 감소함을 확인하였다.



<그림 6> 8b×8b 바이패싱 Booth 곱셈기

## References

- [1] B.-G. Nam and H.-J. Yoo, "An Embedded Stream Processor Core Based on Logarithmic Arithmetic for a Low-Power 3-D Graphics SoC," *IEEE J. Solid-State Circuits*, vol. 44, no. 5, pp. 1554 - 1570, May, 2009.
- [2] M. Hasan, T. Arslan and J. S. Thompson, "A Novel Coefficient Ordering based Low Power Pipelined Radix-4 FFT Processor for Wireless LAN Applications," *IEEE Transactions on Consumer Electronics*, vol. 49, no. 1, pp. 128-134, Feb. 2003.
- [3] J. Ohban, V. G. Moshnyaga, and K. Inoue, "Multiplier Energy Reduction through Bypassing of Partial Products," *IEEE Asia-Pacific Conference on Circuits and Systems*, pp. 13-17, Oct. 2002.
- [4] M. C. Wen, S. J. Wang and Y. M. Lin, "Low Power Parallel Multiplier with Column Bypassing," *IEEE International Symposium on Circuits and Systems*, pp. 1638-1641, May, 2005.
- [5] C. C. Wang and G. N. Sung, "A Low-Power 2-Dimensional Bypassing Multiplier using 0.35um CMOS Technology," *IEEE Computer Society Annual Symposium on Emerging VLSI Technologies and Architecture*, 2006.
- [6] G. N. Sung, Y. J. Ciou, and C. C. Wang, "A Power-Aware 2-Dimensional Bypassing Multiplier using Cell-Based Design Flow," *IEEE International Symposium on Circuits and Systems*, pp. 3338-3341, May, 2008.
- [7] C. C. Wang and G. N. Sung, "Low-Power Multiplier Design using a Bypassing Technique," *Journal of Signal Processing Systems*, vol. 57, no. 3, pp. 331-338, Dec. 2009.
- [8] J.-T. Yan and Z.-W. Chen, "Low-Cost Low-Power Bypassing-Based Multiplier Design,"

*IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2338-2341, May, 2010.

- [9] S. Hong, T. Roh, and H.-J. Yoo, "A 145 $\mu$ W 8 $\times$ 8 Parallel Multiplier based on Optimized Bypassing Architecture," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1175-1178, July, 2011.
- [10] Alvin Joseph J. Tang and Joy Alinda Reyes, "Comparative Analysis of Low Power Multiplier Architecture," *2011 Fifth Asia Modelling Symposium*, pp. 270-274, May, 2011.
- [11] J.-Y. Kang and J.-L. Gaudiot, "A Simple High-Speed Multiplier Design," *IEEE Trans. Comput.*, vol. 55, no. 10, pp. 1253-1258, Oct. 2006.
- [12] S.-R. Kuang, and J.-P. Wang, "Modified Booth Multipliers With a Regular Partial Product Array," *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 56, no. 5, pp. 404-408, May. 2009.



남 병 규 (Byeong Gyu Nam)

- 1999년 경북대학교 컴퓨터공학 학사 졸업
- 2001년 KAIST 전자전산학 석사 졸업
- 2007년 KAIST 전자전산학 박사 졸업
- 2001년~2002년 ETRI 컴퓨터시스템 연구부 연구원
- 2007년~2010년 삼성전자 SystemLSI 사업부 책임 연구원
- 2010년~현재 충남대학교 컴퓨터공학과 조교수
- 관심분야 : 모바일 GPU, 임베디드 CPU, 저전력 SoC 설계, 임베디드 S/W 플랫폼

논문 접수 일 : 2013년 09월 16일  
1차수정완료일 : 2013년 10월 08일  
2차수정완료일 : 2013년 10월 14일  
게재확정일 : 2013년 10월 15일



안 종 훈 (Jong hun Ahn)

- 2012년 충남대학교 컴퓨터공학 학사 졸업
- 2012년~현재 충남대학교 컴퓨터공학 석사과정
- 관심분야 : 모바일 GPU, 저전력 SoC



최 성 립 (Seong Rim Choi)

- 2011년 충남대학교 컴퓨터공학 학사 졸업
- 2013년 충남대학교 컴퓨터공학 석사 졸업
- 2013년~현재 충남대학교 컴퓨터공학 박사과정
- 관심분야 : 모바일 GPU, 저전력 SoC