

논문 2013-50-11-8

저전력 광채널용 디스플레이포트 인터페이스 설계

(Design of Low Power Optical Channel for DisplayPort Interface)

서준협*, 박인항*, 장해종*, 배기열*, 강진구**

(Jun-Hyup Seo, In-Hang Park, Hae-Jong Jang, Gi-Yeol Bae, and Jin-Ku Kang[Ⓢ])

요약

본 논문에서는 광채널을 이용한 디스플레이포트 송수신 구조를 제안한다. 디스플레이포트의 전기적 채널을 광 채널로 바꾸어 장거리에서 고속 데이터 전송을 할 수 있는 메인 채널과, 광통신을 사용해 양방향 보조 채널을 구성하기 위한 구조를 제안하고 구현하였다. 더 나아가 보조채널을 이용하여 HPD 신호를 전송하는 방법을 제안하였으며,^[1] 이는 HPD 신호전송에 독립적으로 하나의 광 채널을 할당하여 사용하는 방법을 개선한 것이다. 광통신에 사용되는 전력을 최소화할 목적으로 메인링크에 사용되는 광송신부 전원을 제어하는 방법을 제안하고, 이를 적용하는 방법과 개선할 수 있는 방법도 제시하였다. 설계된 시스템은 Verilog HDL로 설계되었으며, 보조채널 송·수신기의 제어회로는 FPGA를 사용하여 합성한 결과 651개의 ALUTs와 511개의 registers를 사용하였으며, 324개의 Block Memory bits를 사용하였다. 최대 동작 속도는 250MHz이다. 제안한 전원제어를 적용하면 절전모드 동작 시, 메인 링크 송신 광모듈에서 740mW의 전원소비를 감소시킬 수 있다.

Abstract

This paper presents a transceiver design for DisplayPort interface using an optical channel. By converting the electronic channel to the optical channel, the DisplayPort's main channel can provide a high-speed data transmission for long distance. The design converting the electronic channel to the optical channel in the main channel and AUX channel of the DisplayPort is presented in this paper. Furthermore, the HPD signal transmission by using AUX channel is proposed. In order to minimize power consumption, this paper also proposed a method of controlling the TX block in the main link. The proposed system is designed by a FPGA and an optical module. The FPGA used 651 ALUT(adaptive look-up table)s, 511 registers and 324 block memory bits. The maximum operating rate of the FPGA is 250MHz. With the proposed power control scheme, 740mW of power dissipation reduction can be achieved at the main link optical TX module.

Keywords : Display Port, AUX channel, Optical communications, Low-power, Hot plug detect

I. 서론

최근 고해상도 영상 기술의 발달에 발맞추어 나온

HDMI, DP등의 차세대 규격들은 기존에 비해 높은 대역폭을 지원하지만, 앞으로의 UHD해상도(3840(H)*2160(V))나 더 높은 해상도에서 초당 120프레임 이상의 화면을 지원하기에는 무리가 있다. 앞으로 요구되는 대역폭은 구리선으로는 수십미터이상의 장거리 신호전송에는 어려울 것이다. 따라서 본 연구는 디스플레이포트 인터페이스 표준에서 구리도파선을 광섬유로 대체하여 송수신하는 아이디어에서 시작 되었다.

본 논문은 구리도파선의 물리적인 한계에서 벗어나 고속신호의 장거리 송수신을 위해, 디스플레이포트의 전기적 채널을 광 채널로 바꾸어 고속 데이터 전송이 가능한 메인 채널과, 광통신을 사용해 양방향 보조 채

* 학생회원, ** 정회원 인하대학교 전자공학과
(Department of Electronics Engineering, Inha University)

Ⓢ Corresponding Author(E-mail: jkang@inha.ac.kr)

※ 본 연구는 연구재단의 중견핵심연구 사업(No. 2013-015738)과 미래창조과학부 및 정보통신산업진흥원의 ITRC 지원사업의 연구결과로 수행되었음.
(NIPA-2013-H0301-13-1010)

※ 본 연구는 IDEC의 CAD Tool 지원을 받음.

접수일자 : 2013년5월10일, 수정완료일 : 2013년10월29일

널을 구성하는 구조를 제안하며, 데이터 전송이 없는 경우 광 채널 사용을 “off”함으로써 저전력 소비가 가능한 구조도 제안하고 실험결과에 대하여 서술한다.

II. 본 론

디스플레이포트 링크는 메인링크, 보조채널(AUX CH)과 HPD(Hot Plug Detect)로 구성되어 있다. 그림 1은 디스플레이포트의 데이터 전송 채널을 보여준다. 메인링크는 단방향 채널로서, 대역폭이 높고 호출시간이 짧다. 영상신호 및 오디오 신호 전송에 사용된다. 디스플레이 포트 1.2 표준을 기준으로 메인링크는 총 4개의 Lane으로 구성되며 한 개의 Lane은 2.7Gbps, 1.62Gbps의 대역폭으로 송신기 및 수신기의 기능 및 채널의 상태에 따라 선택적으로 사용가능하다. 보조 채널은 반이중 양방향 채널로서 링크의 관리 및 장치 제어에 사용되며, 장치관리 제어 이후에는 보조채널을 통한 USB, CAM(Camera Module), 제어 데이터 등의 고 대역폭의 데이터 전송을 가능하게 한다. HPD 신호 라인은 싱크 장치에 의해 발생하는 신호로서 소스장치에게 싱크장치가 연결되었음을 알린다.^[2]

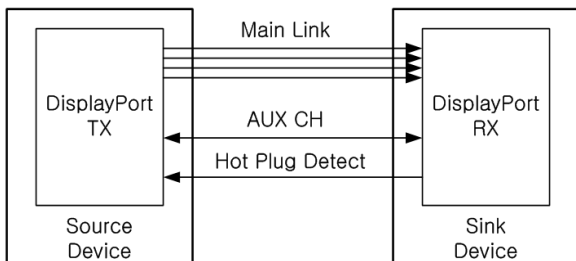


그림 1. 디스플레이포트 데이터 전송 채널
Fig. 1. The transmission channel of DisplayPort.

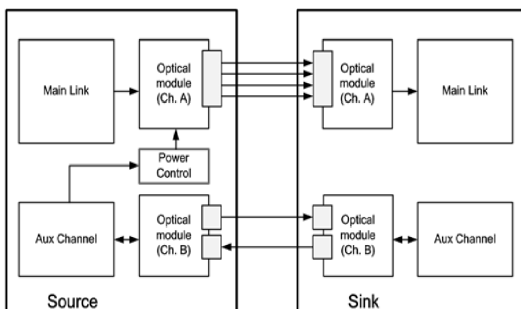


그림 2. 제안하는 광채널 디스플레이포트 구조
Fig. 2. Top architecture of DisplayPort Optical converter.

제안한 디스플레이포트 광변환기의 구조는 그림 2와 같이 메인링크와 보조채널로 크게 2부분으로 나뉜다.

CWDM(Coarse Wavelength Division Multiplexing, 저밀도 파장분할다중화)란 낮은 비용으로 여러개의 광송신기가 각각 다른 중심 파장(또는 중심 주파수)을 갖는 레이저로 독립적인 정보를 따로 변조한 다음 이들 광신호를 WDM 다중화기로 모아 하나의 광섬유로 동시에 전송시킴으로써 전송 용량을 크게 증가시킬 수 있는 시스템을 말한다.^[3]

Main Link 연결에는 단방향 CWDM 방식의 광통신이 사용되며(Ch. A), AUX Channel 연결에는 양방향 광통신을 사용한다(Ch. B). 광통신의 특성상 하나의 파장을 이용한 양방향 동시 통신은 불가능하므로, 그림 2의 Ch. B의 연결과 같이 단방향 송·수신을 2개 사용하여 구성하였다.

메인링크와 보조채널은 전기적 신호에서 광신호로 바뀌는데 송수신 채널을 가진 광모듈을 사용한다. 송신기에서 사용하는 모듈은 광 모듈 TX로 메인링크 전송에 4개의 채널과 보조채널에 2개의 채널을 사용한다. 입력되는 전기적 신호를 광 신호로 변환 후 출력하는 것이므로, 특별한 제어기법이 요구되지 않는다.

광 채널 TX 모듈은 5개의 Transmit Lane을 가지고 있고, 1개의 Return Lane을 가지고 있다. 광 채널 RX 모듈은 5개의 Return Lane과 1개의 Transmit Lane을 가지고 있다. TX와 RX모듈 공통으로 Lane당 최대 3.5Gbps의 대역폭을 지원한다.

기존의 DisplayPort는 2.7Gb/s 데이터에서 3m의 거리를 연결하고 1.62Gb/s에서 최장 15m 케이블 커넥터를 연결하여 사용할 수 있다.^[4] 광모듈은 레이저를 사용하며 최대 1000m까지 광케이블을 이용하여 3.4Gb/s의 대역폭으로 데이터를 전송할 수 있으며, 1W의 소비전력을 갖는다. 따라서 제안하는 광채널 디스플레이포트에서는 2.7Gb/s에서 1000m까지 데이터 송수신이 가능하다.

제안한 구조에 사용한 광 모듈은 한 Lane당 3.4 Gb/s의 대역폭을 갖추고 있다. 따라서 메인링크의 최대 대역폭인 2.7 Gbps보다 크므로 조건을 만족한다. 송신부 광변환기의 구성도는 그림 3과 같다.

보조채널은 양방향 전기적 신호로 통신한다. 광통신에서는 하나의 채널로 양방향 통신을 할 수 없다. 따라서 광통신에서 양방향을 구현하기 위해서는 단방향 모

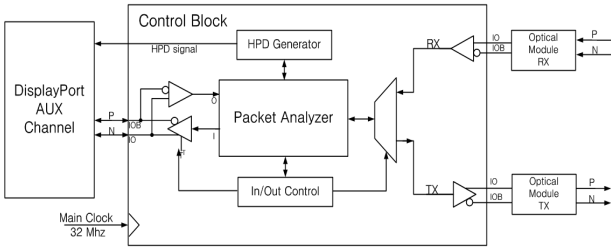


그림 3. 디스플레이포트 보조채널 송신부 광 변환기 구성도
 Fig. 3. Block diagram of AUX Channel Converter Tx module.

둘 2개를 쌍으로 구성하고, 통신방향에 따른 광 모듈 제어가 필요하다.

보조채널용 광수신부는 메인채널 광송신부와 비슷한 구조를 가지고 있다. 송신모듈과 쌍을 이루는 수신모듈을 사용하여, 송신된 메인링크 신호를 수신하여 복원한다. 보조채널도 송신부와 같은 구조를 사용하며, 초기 상태를 ‘송신’으로 사용한다.

Sink에서 Source로 전송하는 보조채널은 Main Link Lane 사용 수, 모니터의 현재 상태들을 포함하는 정보가 포함되어 있기 때문에, 광송신단과는 달리 패킷 분석기를 사용해 분석해야한다. 패킷 분석기는 보조채널의 데이터 송·수신에 사용되는 맨체스터 패킷을 분석하여 송·수신 광모듈을 선택하고, HPD 신호를 발생시킨다. 전체 구성도는 그림 4와 같다.

보조채널은 소스장치에서 싱크장치로 데이터를 요청하면 싱크장치에서 해당정보를 소스장치로 전송하는 방식으로 통신한다. 즉, 송/수신모드를 바꾸어가며 쌍방향으로 신호를 주고받는다. 따라서 패킷 분석기는 보조채널을 통해 복호된 신호를 가지고 소스장치와 싱크장치

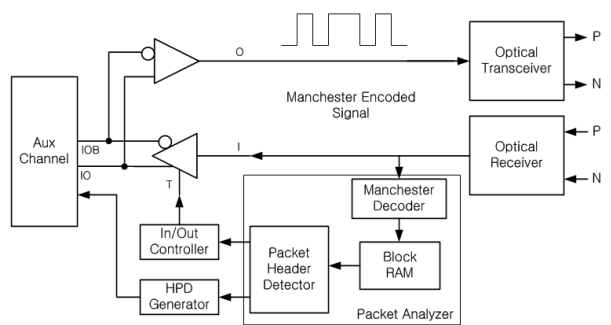


그림 4. 패킷 분석기를 포함한 보조채널 구조
 Fig. 4. Detailed block diagram of Packet analyzer with AUX channel connection.

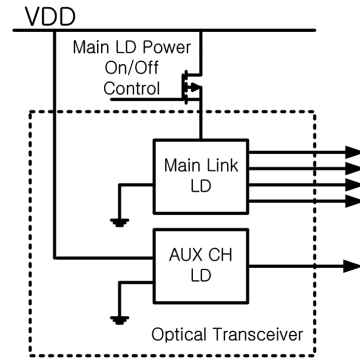


그림 5. 메인링크 Laser Diode에 공급하는 전원제어
 Fig. 5. Main Link LD Power control block.

의 데이터 송·수신을 분석하여 방향성을 결정해 In/Out Controller로 전달한다.

DPCD(DisplayPort Configuration Data)는 디스플레이포트 싱크 장치에 위치하며 메인 링크의 상태 및 성능 정보를 저장하는 데이터이다. 패킷 분석기는 싱크장치에 위치한 DPCD 메모리 블록의 정보를 분석하여, 광통신 Lane의 개수를 확인하고, 절전모드의 설정여부를 판단하며, DPCD 정보를 그림 5와 같은 전원제어 블록으로 전송하고 Laser Diode 전원을 제어하여 시스템의 전력소비를 최소화 한다.

디스플레이포트를 이용하여 소스장치와 싱크장치를 연결하기 위해서 가장 먼저 HDP 신호를 발생시켜야 한다. 메인링크와 보조채널에 모든 광채널을 할당하였으므로 남은 채널이 없다. 따라서 HPD는 보조채널에 할당한 광채널을 이용하여 발생시킨다. 광채널을 통한 HPD를 받은 소스장치에서는 이를 감지하여 전기적 HPD 신호를 재생성한다.

전원제어부는 디스플레이포트 소스장치와 연동되는 송신모듈에 적용하여 광모듈에서 사용하는 1W의 소비전력을 제어한다. 외부변조 방식을 이용하였으므로, 데이터의 내용과 관계없이 광전송 소스인 레이저 다이오드가 항상 On 상태로 놓여있다. 따라서 소비전력을 줄이기 위해서는 레이저 다이오드를 Off 상태로 바꾸어야 한다.

5개의 광채널을 전부 Off 상태로 놓게 되면, 광채널을 On 상태로 바꿀 수 있는 정보를 얻을 수 없으므로 보조채널의 전원은 그대로 유지하고 메인채널의 전원을 제어해야 한다.

그림 6과 같이 메인링크에 할당한 LD(Laser Diode)들만 전원을 On/Off 제어 할 수 있게 구성한다.

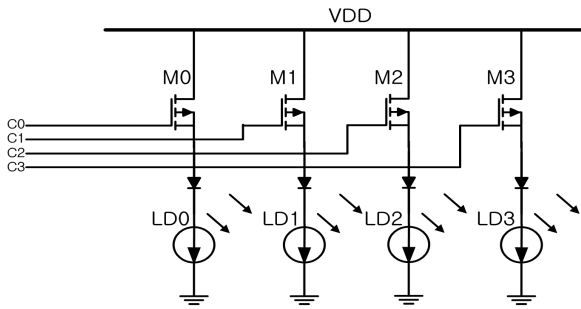


그림 6. 제안하는 광송신기 모듈의 LD 개별 제어회로
Fig. 6. Proposed LD power control circuit.

논문에서 사용한 상용모듈로는 4개의 광송신 모듈을 각각 제어할 수 없지만, 그림 6과 같은 구조를 갖게 모듈을 구성하면 해상도에 따라 바뀌는 메인링크 Lane 숫자를 반영하여 사용하지 않는 메인링크 광송신 모듈을 Off 시킬 수 있다. M0~M3까지 MOSFET을 추가하여 LD0~LD3 까지 C0~C3 신호를 사용하여 독립적인 전원 제어를 할 수 있다. 따라서 DPCD 데이터안에서 메인링크 사용수를 확인하여 0~4까지 제어할 수 있다.

III. 실험

디스플레이포트 광 채널 변환기 송·수신기에 대한 모의실험과 그 결과를 도출하였다. 시뮬레이터를 이용한 회로의 모의실험 후 FPGA 보드 검증을 하고 테스트 영상은 소스와 싱크디바이스(모니터)를 연결하여 동작 검증을 하였다.

보조채널은 입력/출력 상태를 바꾸며 통신한다. 그림 7은 이러한 동작을 보여준다. 부호기에서 하나의 패킷이 전송되고 나면 TX에서 RX 동작으로 바뀌게 된다. Encoder_Direction이 Low일 때에는 RX High일 때에는

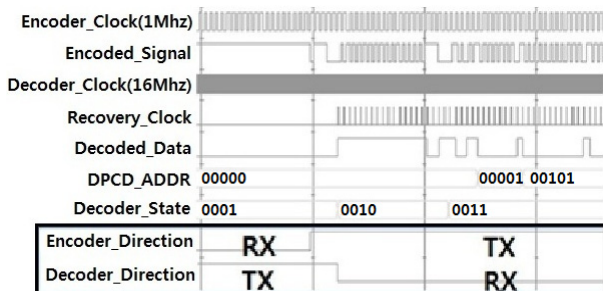


그림 7. In/Out 제어블록의 복호기/부호기 제어신호
Fig. 7. Control signal waveform of In/Out function block.

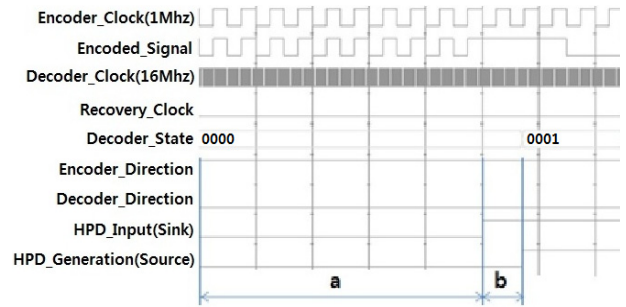


그림 8. HPD 신호를 Source에서 생성하는 파형
Fig. 8. Source device HPD signal generation.

TX동작을 하며, 복호기는 Decoder_Direction 신호가 나타내는 것과 같이 반대로 동작을 하게 된다.

HPD 발생 블록은 디스플레이포트 송·수신 모듈의 직접적인 통신 발생하기 전에 수신 모듈에서 보조채널을 통해 송신 모듈로 출력한 신호를 바탕으로 Hot Plug Detect (HPD) 신호를 발생한다. 그림 8은 HPD 신호를 싱크에서 입력받아 소스에서 재생성하는 파형이다. a 구간동안 HPD가 Low로 유지되다가 High상태가 되면 b 구간동안의 지연이 발생한후, 소스에서 전기적 HPD 신호로 재생성하여 출력시킨다. 위와 같은 방법으로 HPD 신호를

소스에서 생성하게 되면, 광 채널 1개를 줄일 수 있어서 소비전력은 물론 전체 시스템 리소스를 절약할 수 있다.

추가적으로 제안한 LD 개별제어를 적용한 결과는 그림 9와 같다. 그림9(a)를 보면 현재 사용하는 레인의 개수를 확인 할 수 있다. 따라서 여기에 맞추어 광송신 모듈에 사용되는 LD를 On/Off 제어한다. PMOS를 사용하므로 Low일 때 On이고 High일 때 Off 상태이다. 그림9(b)에 나타나 있는 것과 같이 Lane 사용 개수가 0일 때에는 LD를 전부 Off한다. 반대로 Lane 사용개수가 4

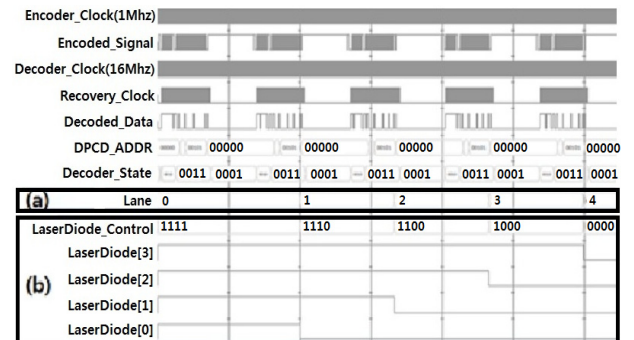


그림 9. 개별전원제어 블록을 제어하는 신호
Fig. 9. Individual power control signal for Mainlink LD.

일 때에는 4개의 LD를 전부 On 상태로 바꾼다.

전원제어 블록은 디스플레이포트 소스장치와 싱크장치가 일정시간 사용자의 입력이 없을 경우, 절전모드에 돌입하게 하는 기능을 수행한다. 이때 메인링크는 신호를 출력하지 않으며, 보조채널만 동작을 하게 된다. 전기채널과 다르게 외부변조 방식의 광채널 송신기는 출력하는 신호가 없을 때에도 신호변환용 레이저 다이오드가 항상 On상태 되어있다. 따라서 절전모드에 돌입할 때 보조채널에서 발생하는 신호를 감지하여, 메인링크 광변조에 사용하는 레이저 다이오드를 Off한다. DPCD 데이터 값을 통해 송·수신 모듈의 절전상태를 알 수 있다. 그림 10은 이러한 동작을 나타낸다.

그림 11은 FPGA 보드와 설계한 광 모듈을 이용하여 디스플레이포트 소스장치와 싱크장치를 연결한 결과이다.

싱크장치에 화면이 정상적으로 출력됨으로서 제안한

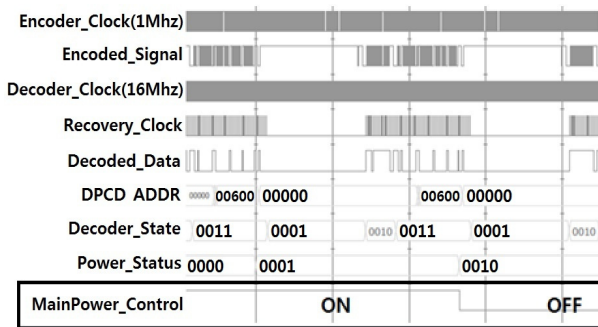


그림 10. DPCD에서 전원상태 추출 후 파형출력
Fig. 10. Power status information extracted form DPCD.



그림 11. 디스플레이포트 소스장치와 싱크장치를 광 채널을 이용하여 연결한 모습
Fig. 11. DisplayPort Source and Sink Connection with Proposed Optical Module.

표 1. 제안하는 광채널 회로와 기존 광채널 제품의 비교표

Table 1. The comparative table with the Proposed optical circuit and the traditional optical product.

		제안하는 광채널 회로	기존 광채널 제품
데이터 속도		2.7 Gbps per lane	2.7 Gbps per lane
소비 전력	TX	0.12W~0.86W	0.6W~1.1W
	RX	0.42W~0.42W	1.75W~2.2W
sleep모드 유/무		O	X

표 2. 디스플레이포트 광변환기 송수신 제어블록 성능 요약

Table 2. The summary of specification of Optical module control block.

DisplayPort Optical Converter		TX	RX
Logic utilization	Combinational ALUTs	651	450
	Logic registers	511	439
	Block memory bits	324	101
Maximum Frequency		250MHz	302MHz

광모듈을 이용한 디스플레이포트 소스장치와 싱크장치의 연결이 정상적임을 확인할 수 있다.

표 1은 기존 광채널 제품과 제안하는 광채널 회로와의 성능을 비교한 표이다.[5] 기존 광채널 제품은 디스플레이포트에 단순히 광채널을 적용하여 전송길이만 늘인 반면에, 제안하는 광채널 회로는 사용하는 메인채널의 lane 개수에 따라 광모듈의 power를 제어하고, sleep모드가 가능하기 때문에 기존의 광채널 제품보다 소비전력이 낮다.

표 2는 구현한 FPGA의 성능요약이다.

IV. 결 론

본 논문에서는 광채널을 이용한 디스플레이포트 송수신 구조를 제안하였다. 기존의 전기적 채널의 메인링크 구현방법과 비교하였을 때 전기적 채널을 광채널로 바꾸으로써 2.7Gb/s에서 3m의 연결거리를 최대 1000m로 향상 가능하다. 광모듈을 추가함으로써 1W의 추가 전력소모가 생겼으나, 메인링크 사용률에따라 광모듈의 소비전력을 줄일 수 있는 방법을 제안하고, 이를 적용하는 방법과 개선 할 수 있는 방법도 제시하였다. 더 나아가 보조채널

을 이용하여 HPD 신호를 전송하는 방법을 제안하였으며, 이는 HPD 신호전송에 독립적으로 하나의 광 채널을 할당하여 사용하는 방법을 개선한 것이다. 설계된 시스템은 Verilog HDL로 설계 되었으며, 보조채널 송·수신기의 제어회로는 FPGA를 사용하여 합성한 결과 651개의 ALUTs와 511개의 registers를 사용하였으며, 324개의 블록메모리를 사용하였다. 최대 동작 속도는 250MHz이다. 제안한 전원제어를 적용하면 절전모드 동작 시, 메인 링크 송신 광모듈에서 740mW의 전력소비를 감소시킬 수 있다.

REFERENCES

- [1] Korea, Patent Application Number : 10-2013-0002320, 2013
- [2] VESA, VESA DisplayPort Standard, Version 1, Revision 2, January 5, 2010.
- [3] H. Dutton, *Understanding Optical Communications*, IBM, 1998.
- [4] Yong-Woo Kim, Seong-Bok Cha, Jin-Ku Knag, "A Design of DisplayPort AUX Channel", International SoC Design Conference, pp46~49, Jeonbuk, Korea, May, 2009
- [5] DisplayPort Optical Extension Cable(M1-5000), www.opticis.com

저 자 소 개



서 준 협(학생회원)
2011년 인하대학교 전자공학과
학사 졸업.
2013년 인하대학교 전자공학과
석사 졸업.
2013년~현재 LG디스플레이
연구원.

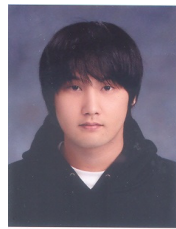
<주관심분야 : OLED display, SoC Design>



박 인 항(학생회원)
2013년 인하대학교 전자공학과
학사 졸업.
2013년~현재 인하대학교
전자공학과 석사과정
<주관심분야 : SoC Design>



장 해 중(학생회원)
2013년 인하대학교 전자공학과
학사 졸업.
2013년~현재 인하대학교
전자공학과 석사과정
<주관심분야 : OLED display,
SoC Design>



배 기 열(학생회원)
2012년 인하대학교 전자공학과
학사 졸업.
2012년~현재 인하대학교
전자공학과 석사과정

<주관심분야 : SoC Design, high-speed digital
integrated circuit design>



강 진 구(정회원)
1983년 서울대학교 공학사
1990년 New Jersey Institute of
Technology 전자 석사
1996년 North Carolina State
University 전자 박사
1983년~1988년 삼성전자(반도체)

1996년~1997년 미국 INTEL Senior Design
Engineer

1997년 3월~현재 인하대학교 전자공학부 교수
<주관심분야 : 고속 CMOS 회로 설계, Mixed IC
설계, PLL/DLL/CDR, High speed Interface IC,
Display IC>