

논문 2013-50-11-10

Pseudo Relaxation-Oscillating 기법의 PWM 발생기를 이용한 저면적, 고효율 SMPS

(A Low Area and High Efficiency SMPS with a PWM Generator
Based on a Pseudo Relaxation-Oscillating Technique)

임 지 훈*, 위 재 경**, 송 인 채**

(Ji-Hoon Lim, Jae-Kyung Wee[Ⓢ], and Inchaee Song)

요 약

본 논문에서는 새로운 기법의 PWM 발생기를 이용한 저면적, 고효율 SMPS를 제안한다. 제안된 회로에서 PWM의 duty ratio는 pseudo relaxation-oscillation technique를 이용한 PWM 발생기의 내부 커패시터 전압 기울기를 제어하는 방식으로 결정된다. 기존의 SMPS들에 비해, 제안된 제어 방식은 loop bandwidth 보상을 위해 기존의 아날로그 제어방식의 SMPS 에서 요구되는 필터회로나 디지털 제어방식의 SMPS에서 요구되는 디지털 compensator가 필요 없기 때문에 단순한 구조로 구성된다. 또한, 제안된 회로는 PWM 발생기의 내부 커패시터 용량 변화를 통해 1MHz~10MHz까지 스위칭 주파수를 사용자가 선택할 수 있다. 시뮬레이션 수행결과 제안된 SMPS는 10MHz 스위칭 주파수를 선택했을 때 내부회로에서 소모되는 전류는 최대 2.7mA, 파워 Trail을 제외한 전체 시스템의 전류 소모는 15mA였다. 또한, 제안된 SMPS는 시뮬레이션으로 3.3V출력에서 9mV의 최대 리플 전압이 발생하였다. 본 논문에서는 동부하이텍 BCD 0.35 μ m 공정 파라미터를 이용한 시뮬레이션 및 칩 테스트를 통해 제안된 회로를 검증하였다.

Abstract

We suggest a low area and high efficiency switched-mode power supply (SMPS) with a pulse width modulation (PWM) generator based on a pseudo relaxation-oscillating technique. In the proposed circuit, the PWM duty ratio is determined by the voltage slope control of an internal capacitor according to amount of charging current in a PWM generator. Compared to conventional SMPSs, the proposed control method consists of a simple structure without the filter circuits needed for an analog-controlled SMPS or the digital compensator used by a digitally-controlled SMPS. The proposed circuit is able to operate at switching frequency of 1MHz~10MHz, as this frequency can be controlled from the selection of one of the internal capacitors in a PWM generator. The maximum current of the core circuit is 2.7 mA, and the total current of the entire circuit including output buffer driver is 15 mA at 10 MHz switching frequency. The proposed SMPS has a simulated maximum ripple voltage of 7mV. In this paper, to verify the operation of the proposed circuit, we performed simulation using Dongbu Hitek BCD 0.35 μ m technology and measured the proposed circuit.

Keywords : SMPS, Relaxation-oscillating, High-Efficiency, Low-Area, PWM

* 학생회원, ** 정회원, 송실대학교 전자공학과, 현대오토론 차량반도체개발센터
(Department of Electronic Engineering, Soongsil University),
(Automotive Semiconductor R&D Center, Hyundai Autron)

Ⓢ Corresponding Author(E-mail: wjk@ssu.ac.kr)

※ 본 연구는 지식경제부에서 지원하는 산업통상자원부가 지원하는 산업융합원천기술개발사업을 통해 개발된 연구 결과(10039239)에 의해 수행되었음.

접수일자: 2013년6월20일, 수정완료일: 2013년11월1일

I. 서 론

기존의 아날로그 제어방식의 SMPS(Switching Mode Power Supply)는 설계가 복잡하고 응용범위가 한정되어 있어서 개발시간과 비용이 추가로 드는 단점을 가지고 있다^{[1],[2]}. 이러한 문제점들을 해결하기 위해 최근 디지털 제어방식의 SMPS에 대한 관심이 높아지고 있다. 디지털 제어방식의 SMPS는 전원잡음에 대한 면역성이 좋고, 정상 상태 및 동적(dynamic) 성능이 우수하여 아날로그에 비해 쉽게 구현이 가능하다는 장점을 가지고 있다. 하지만, 디지털 제어 방식은 출력전압의 안정성을 위한 DPWM(Digital Pulse Width Modulator)의 해상도를 높이기 위해 높은 동작 주파수를 요구한다는 단점을 가진다. 즉, 스위칭 주파수를 증가 시키는 것은 SMPS의 출력 필터를 구성하는 인덕터 크기를 줄일 수 있기 때문에 모바일 시스템 같은 초소형 응용 시스템의 중요 요구사항이 되고 있다. 하지만, 디지털 제어방식 SMPS는 높은 동작주파수 때문에 스위칭 주파수를 증가시키는 데에 제약이 따른다. 또한, 기존의 아날로그/디지털 제어방식의 SMPS들은 안정된 출력전압을 공급하기 위해 많은 서브블록들을 요구하고 있기 때문에 소형으로 구현이 불가능하다는 단점을 가지고 있다. 특히, 아날로그 제어방식 SMPS의 경우 loop bandwidth를 확보하기 위한 필터회로는 설계의 복잡성을 증가시키고, 응용범위를 한정시키는 중요한 원인이 되고 있다^{[3],[4]}. 디지털 제어방식의 SMPS들 역시 아날로그 제어방식의 loop bandwidth 확보를 위한 필터회로에 해당하는 디지털 compensator를 여전히 가지고 있기 때문에 설계의 복잡성 증가와 칩 면적 증가의 원인이 되고 있다^{[5]-[7]}.

본 논문에서는 앞에서 언급된 문제점을 해결하기 위해 아날로그 제어방식의 pseudo relaxation-oscillating 기법의 PWM 발생기를 이용한 저면적, 고효율 SMPS를 제안한다. 본 논문에서 제안된 pseudo relaxation-oscillating 기법의 PWM 발생기는 기존의 SMPS들이 loop bandwidth 확보를 위해 필터회로를 사용하는 것과 달리 단순한 구조로 적은 면적을 이용해 구성이 가능하다는 장점을 가진다. 제안된 회로는 단지 비교기의 출력전압(high/low)에 따라 S&H(sample and hold) 블록을 이용해 PWM 발생기의 내부 커패시터에 충전되는 전류량의 증감을 결정하여 실시간 제어를 통해

PWM 신호를 발생시켜 출력전압을 tracking하는 방식이다. 따라서, 제안된 회로는 기존의 아날로그/디지털 제어 방식에서 문제점이 되고 있는 동적 응답특성을 고려할 필요가 없다는 큰 장점을 가진다. 따라서 기존 제어방식의 SMPS들에서 사용되고 있는 복잡한 제어 알고리즘 대신 새로운 PWM 발생기를 이용해 높은 스위칭 주파수로 SMPS를 동작시킬 수 있다. 또한, 제안된 회로는 PWM 발생기의 내부 캐패시터 용량 변화를 통해 1MHz~10MHz까지 스위칭 주파수를 사용자가 선택 가능하도록 설계 되었다.

II. Pseudo Relaxation-Oscillating 기법의 PWM 발생기를 이용한 저면적 SMPS

그림 1은 본 논문에서 제안하고 있는 pseudo relaxation-oscillating 기법의 PWM 발생기를 이용한 SMPS의 전체 시스템 블록도를 보여준다. 제안된 SMPS는 단순히 클럭 발생기, Divider, Mux, 비교기, Sample & Hold(S&H), pseudo relaxation-oscillating 기법의 PWM 발생기, Buffer 및 Dead-Time 제어부로 구성되어 매우 적은 면적으로 구현이 가능하다는 장점을 가진다. 비교기는 컨버터의 피드백 전압(FB)과 기준전압(V_{ref}) 사이에 비교된 출력신호(high/low)에 따라 S&H의 출력전압 레벨을 결정하기 위해 사용된다.

비교기의 출력이 high 전압을 발생하면 S&H의 출력 전압 레벨은 스위칭 주파수 주기마다 순차적으로 상승하면서 PWM 발생기의 내부 커패시터의 충전 전류량을 증가시키고, low 전압을 발생하면 S&H의 출력 전압 레벨을 순차적으로 감소시키면서 PWM 발생기의 내부 커패시터의 충전 전류량을 감소시킨다. 클럭발생기는 최대 10MHz 클럭을 발생시키며, Divider 및 MUX를 이용하여 1MHz~10MHz의 컨버터 스위칭 신호를 만들기 위한 것이다.

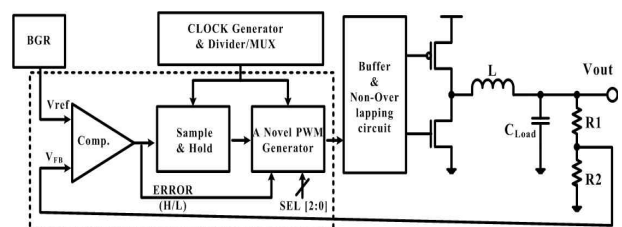
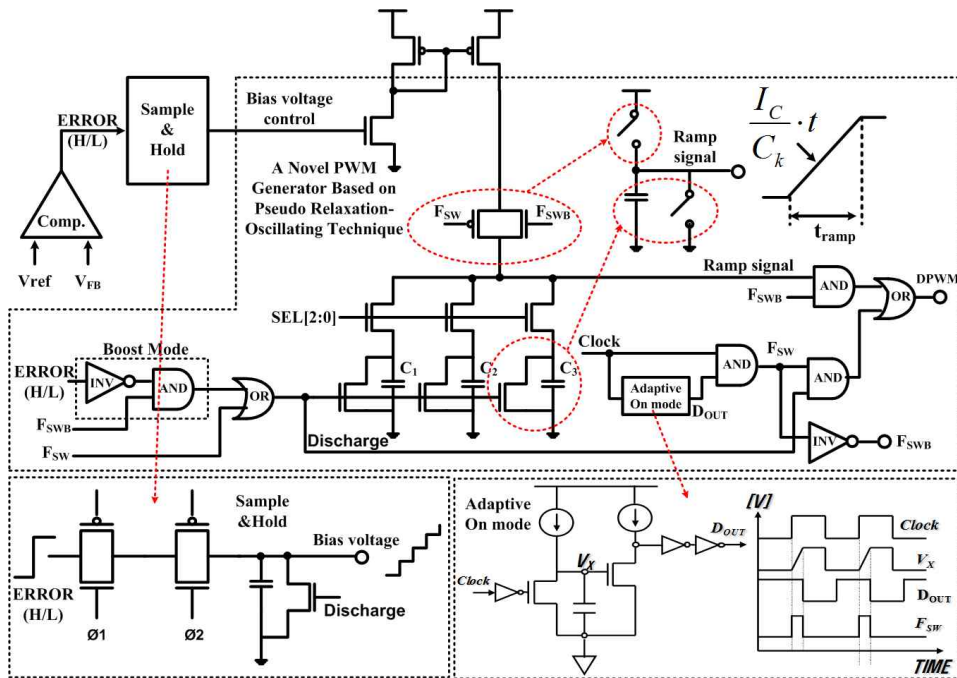


그림 1. 전체 시스템 블록도.
 Fig. 1. Block diagram of the system.

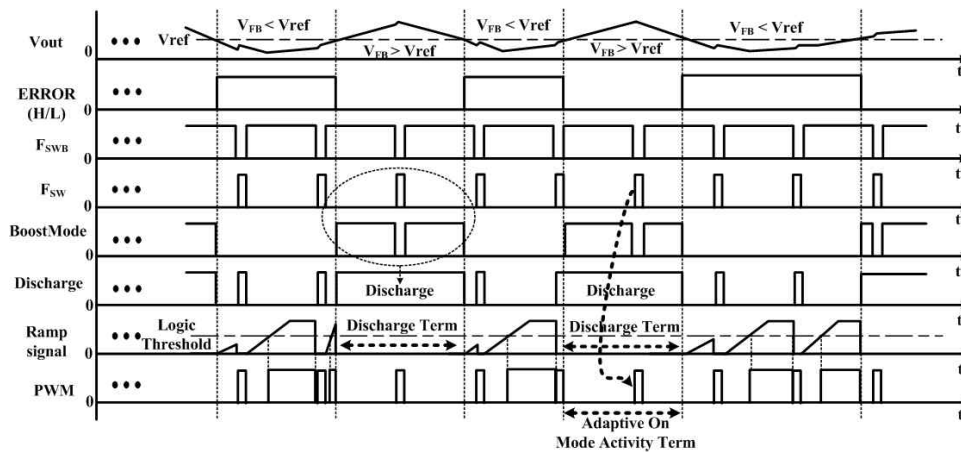
본 논문에서 제안된 pseudo relaxation-oscillating 기법을 이용한 PWM 발생기는 S&H의 출력전압으로 결정된 전류량과 스위칭 주파수에 따른 충전 시간에 따라 PWM의 duty ratio 및 주기를 결정한다. 여기서 PWM 발생기의 내부 커패시터 용량은 사용하고자 하는 스위칭 주파수에 따라 결정할 수 있다. 외부 출력 조절을 위한 LC 필터 및 소수 개별 소자는 사용자가 선택한 출력 전압 레벨, 스위칭 주파수 그리고 부하 공급 전류량에 따라 자유롭게 구성이 가능하다.

III. Pseudo Relaxation-Oscillating 기법의 PWM 발생기

그림 2는 그림 1에서 점선으로 표시하고 있는 pseudo relaxation-oscillating 기법의 PWM 발생기 회로 블록과 타이밍도를 보여준다. 제안된 PWM 발생기의 동작원리는 내부 커패시터에 충전되는 전류량 및 시간에 따라 커패시터 전압의 기울기를 제어할 수 있다는 개념에서 시작된다^[8].



(a) 그림 1에 점선으로 구분된 영역의 회로 블록



(b) 과도 응답 시뮬레이션 결과

그림 2. 그림 1에 점선으로 구분된 영역의 회로 블록과 타이밍도.

Fig. 2. The circuit block and the timing diagrams of the proposed circuit in dotted area of Fig. 1.

PWM 발생기의 내부 커패시터에 공급되는 전류는 그림 2의 비교기를 통해 피드백전압과 기준전압 사이의 전압차에 따라 S&H의 출력전압 레벨을 결정한다. 여기서 PWM 발생기의 내부 커패시터의 용량은 SEL[2:0] 신호를 통해 사용하고자 하는 컨버터의 스위칭 주파수로 맞출 수 있다. 즉 커패시터 용량 선택을 통해 PWM 발생기의 커패시터에 충전되는 전류에 의한 전압 상승 기울기(ramp 신호)를 제어하고, 제어된 커패시터 전압과 컨버터의 스위칭 신호(FSWB)의 전압이 모두 logic threshold voltage에 도달하면 PWM 신호가 high가 된다. 여기서 커패시터 전압이 logic threshold voltage에 도달하는 시간에 따라 PWM의 duty ratio가 결정된다. 컨버터의 스위칭 주파수는 내부 커패시터의 충전 전류에 인가되는 클럭과 동일하며, 커패시터 전압의 ramp 신호를 컨버터의 스위칭 주파수와 동일하게 만들어 주는 역할을 한다.

커패시터 전압은 수식 $V(t) = \frac{1}{C} \int I_c(t) dt$ 에 의해 상승된다. 따라서 10MHz(100ns 주기)의 PWM 신호가 90%의 duty ratio를 가지기 위해서는 커패시터 전압이 10ns 안에 logic threshold voltage에 도달해야한다. 이때 필요한 공급전류는 63uA이다. 60%의 duty ratio를 위해서는 4.2uA, 6%의 duty ratio를 위해서는 1.7uA의 전류가 필요하다. 즉 사용하고자 하는 스위칭 주파수에 따라 커패시터의 용량만 변화 시킬 수 있다면 똑같은 전류량의 비율로 PWM의 duty ratio를 손쉽게 제어할 수 있다. 본 논문에서 제안하는 PWM 발생기는 1MHz ~ 10MHz의 스위칭 주파수에 대해 6~90%의 duty ratio를 제어 할 수 있도록 설계 되었다. 또한 전압 및 온도변화에 따른 전류량 변화 때문에 커패시터 전압 기울기 제어 에러가 발생하는 것을 방지하기 위해 current reference 회로가 사용되었다.

본 논문에서는 출력전압 리플을 최소화하기 위해 Boost Mode 와 Adaptive on mode 가 가능한 pseudo relaxation-oscillating 기법의 PWM 발생기를 제안한다. 이는 기존의 SMPS에서 출력전압 ripple과 over-shoot 전압 증가문제를 해결하기 위해 제안하였다. 이러한 문제들을 야기하는 원인 중 한 가지는 스위칭 주파수에 따라 한번 결정된 PWM의 duty ratio가 load의 변화로 인한 SMPS의 출력전압 변화에 바로 대응하지 못한다는 점이다. 즉, 기존의 SMPS의 경우

load 변화에 따른 출력전압 레벨 변화시 에러 amp 및 필터를 통해 출력 레벨 증감에 대한 정보가 반영된 다음의 PWM 신호를 기다려야 하기 때문에 대응이 늦어질 수밖에 없는 것이다. 또한, 본 논문에서 제안된 회로는 그 특성상 비교기의 offset 전압에 따라 출력 리플 전압이 증가하는 문제점을 가지고 있다. 이를 해결하기 위해 본 논문에서는 Boost Mode 와 Adaptive On mode를 지원하도록 설계되었다^[8]. 이러한 ripple 저감 기법은 스위칭 loss를 유발하기 때문에 기존의 SMPS들에 비해 효율측면에서 단점을 가진다. 하지만, 이 기능은 자동적으로 랜덤한 분산 스펙트럼 클럭(SSC: Spread Spectrum Clock) 기능을 수행하게 되기 때문에 최근 대두되고 있는 전자 방해 잡음(EMI: Electro-magnetic Interference)을 저감할 수 있다는 장점도 동시에 가진다. 그림 2 (b)는 본 논문에서 제안한 Boost Mode가 가능한 pseudo relaxation-oscillating 기법의 PWM 발생기의 타이밍도이다.

IV. Simulation Results

그림 3은 제안된 SMPS가 1MHz와 10MHz의 스위칭 주파수로 동작할 때의 과도(transient) 응답 시뮬레이션 결과이다. 0~800mA, 100KHz의 load current regulation이 발생하여도 최대 출력 리플전압은 1MHz 스위칭 주파수에서 4mV, overshoot/undershoot는 각각

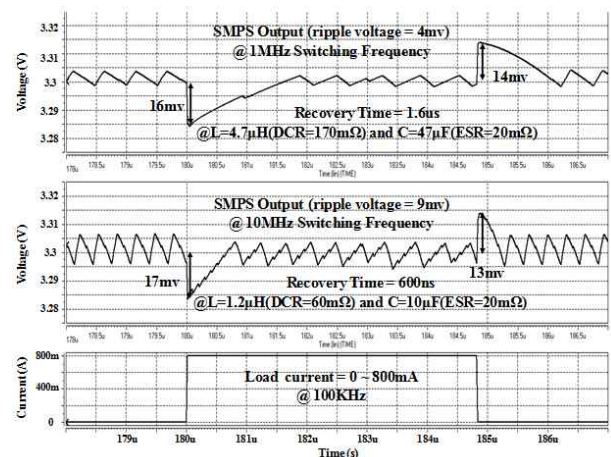
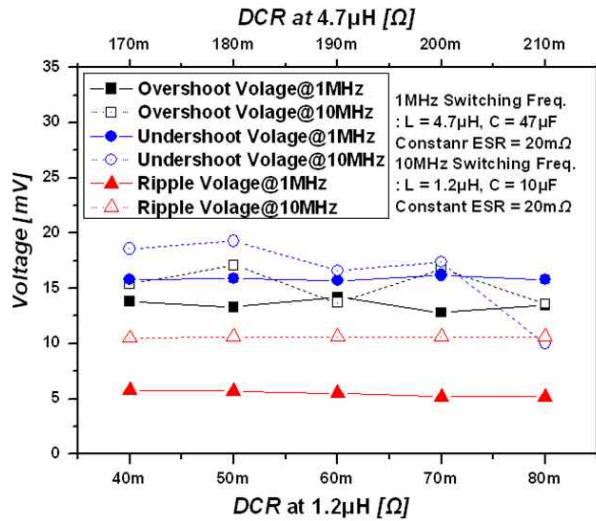


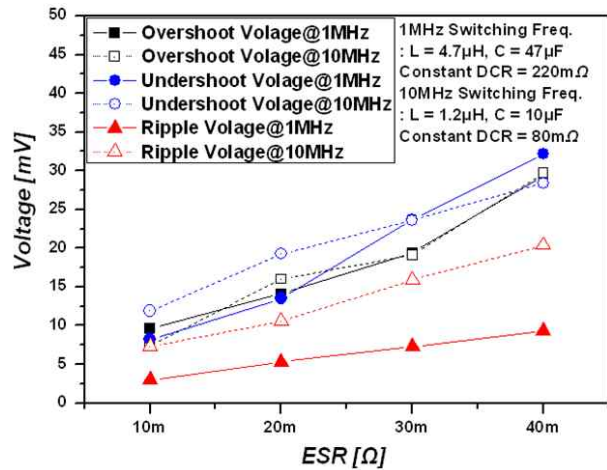
그림 3. 제안된 SMPS의 과도 응답 시뮬레이션 결과.
(스위칭주파수:1M/10MHz, load: 0~800mA@100KHz)
Fig. 3. Simulation results of transient response of the proposed SMPS.
(Switching Freq.:1M/10MHz, load: 0~800mA@100KHz)

14mV, 16mV이다. 10MHz 스위칭 주파수로 동작할 때 최대 출력 리플전압은 9mV, overshoot/undershoot는 각각 13mV, 17mV이다.

그림 4 (a)에서 10MHz 스위칭 주파수를 사용하기 위한 1.2μH 인덕터의 DCR은 typical 57mΩ, 최대 71mΩ이며, 1MHz 스위칭 주파수를 사용하기 위한 4.7μH 인덕터의 DCR은 typical 170mΩ, 최대 212mΩ이다. 여기서, DCR값은 상용칩의 datasheet를 이용하였다^[9]. 일반적인



(a) DCR 변화에 따른 over/under-shoot과 ripple 전압 시뮬레이션 결과 (ESR=20mΩ)



(b) DCR 변화에 따른 over/under-shoot과 ripple 전압 시뮬레이션 결과 (DCR=80mΩ, 220mΩ)

그림 4. Off-chip LC 필터의 parasitic 정보에 따른 over/under-shoot과 ripple 전압 시뮬레이션 결과.

Fig. 4. Simulation results of the over/under-shoot voltages and the ripple voltage according to parasitic information of the off-chip LC filter.

SMPS와 마찬가지로, SMPS의 효율과 관계된 DCR은 그림 4(a)에서 보이는 것처럼, ripple 전압 및 overshoot/undershoot 전압 레벨에 영향을 미치지 못한다는 것을 알 수 있다.

그림 4는 인덕터의 DC Resistance(DCR)과 Electrical Series Resistance(ESR)의 변화에 따른 ripple 전압 및 overshoot/undershoot 전압 레벨을 보여준다. 그림 4(b)는 각각의 인덕터 DCR을 80mΩ, 220mΩ으로 고정시키고, ESR을 변화시켰을때의 ripple 전압 및 overshoot/undershoot 전압 레벨을 보여준다. 시뮬레이

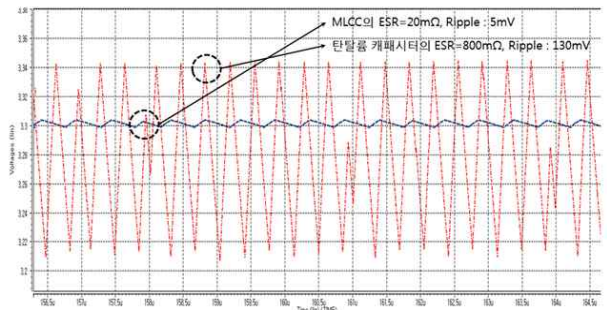


그림 5. 탄탈륨 캐패시터의 ESR 값과 MLCC의 ESR 값을 적용한 비교 시뮬레이션 결과.

Fig. 5. Simulation comparison results of applied the ESR of a tantalum capacitor and ESR of a MLCC.

표 1. 제안된 회로와 기존 회로와의 비교

Table 1. Comparison of the proposed circuit against conventional circuit.

	[11]	[12]	[13]	[14]	This Work
Results	Meas.	Sim.	Meas.	Sim.	Sim.
process	0.5 μm	0.35 μm	65nm	0.5μm	0.35 μm
Input voltage[V]	2.7~5.5	2.5~4.5	2.5~4.5	2.7~4.5	4~12
Output Voltage [V]	1.2	1.8	0.65 ~ V_{LDO}	3	3.3
load current [mA]	600	500	250	900	800
Switching Frequency [MHz]	20	2	5	1	1~10
ripple voltage [mV]	4	< 5	-	190	9
Area [mm ²]	6.25	-	0.34	-	0.56

선에 상정된 capacitor는 MLCC(Multi-layer ceramic capacitor) 타입으로 1MHz~10MHz에서 ESR값은 20mΩ 이하이다. 여기서, ESR값은 상용칩의 datasheet를 이용하였다^[10]. 일반적인 SMPS와 마찬가지로, ESR값이 증가하면 할수록 그림 4(b)에서 보이는 것처럼, ripple 전압 및 overshoot/undershoot 전압 레벨이 증가한다는 것을 알 수 있다.

그림 5는 100mA load에서 제안된 SMPS의 검증에 위한 테스트 진행에 사용된 탄탈륨(Tantalum) 타입 캐패시터의 ESR 값과 시뮬레이션에서 사용된 MLCC의 ESR 값을 적용한 비교 시뮬레이션 결과이다. 사용된 탄탈륨 캐패시터의 ESR은 800mΩ이며, 스위칭 주파수 1MHz, load 100mA에서의 시뮬레이션 결과이다. ESR의 증가로 인해 ripple 전압이 5mV에서 130mV로 증가한 것을 알 수 있다. 표 1은 본 논문에서 제안된 SMPS의 성능과 기존에 연구된 SMPS들의 성능을 비교 분석한 것이다. 표 1에서 보이는 것처럼, 본 논문에서 제안된 SMPS는 기존의 SMPS들이 loop bandwidth 확보를 위해 필터회로를 사용하는 것과 달리 단순한 구조로 적은 면적을 이용해 구성이 가능하기 때문에 기존 회로에 비해 상대적으로 적은 면적을 가진다는 것을 알 수 있다.

V. Measurement Results

그림 6은 제안된 회로의 테스트 검증을 위해 제작한 칩의 layout을 보여준다. power trail 및 output driver를 포함한 칩 core 면적은 0.56mm²이며, 이때 주어진 output driver의 최대 출력 전류는 200mA이다. 시뮬레이션 결과와 달리 최대 출력 전류를 200mA로 한정하는 이유는 가용할 수 있는 칩 면적 때문이며, 시뮬레이션 결과와 같은 800mA Power Trail을 적용할 경우 전체 칩 사이즈는 1x1mm² 이하로 구성이 가능하다.

그림 7은 제안된 회로의 테스트 검증을 위해 제작된 테스트 보드 및 테스트 환경을 보여준다. 그림 8은 제안된 SMPS가 open load, 1MHz의 스위칭 주파수로 동작할 때 인덕터 전압과 출력 전압의 측정 결과를 보여준다. 12V 입력 전압, 3V 출력이기 때문에 약 27%의 duty ratio를 가지며, 157mV의 출력 ripple 전압이 발생하는 것을 알 수 있다.

그림 8과 9는 제안된 SMPS가 부하가 없을 때와

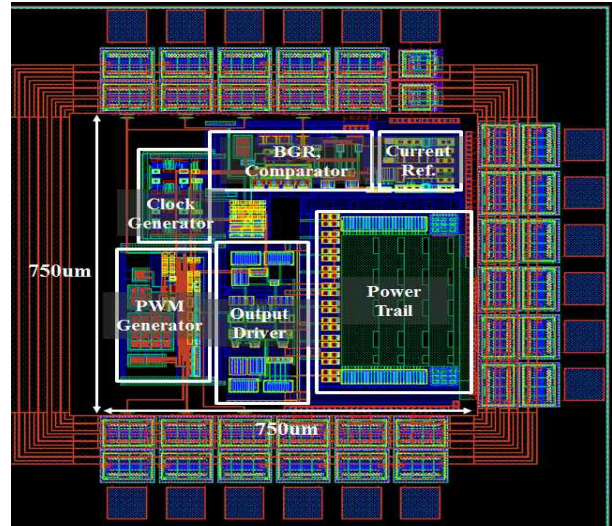


그림 6. 칩 Layout
Fig. 6. Chip layout.

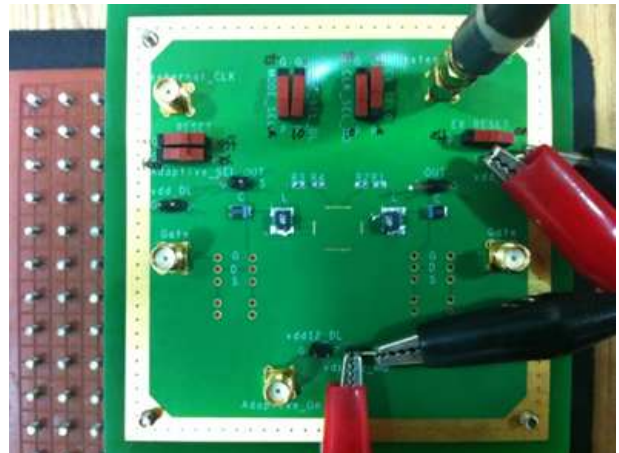


그림 7. 제안된 회로의 테스트 보드.
Fig. 7. Test board of proposed circuits.

100mA load, 1MHz의 스위칭 주파수로 동작할 때 인덕터 전압과 출력 전압의 측정 결과를 보여준다. 그림 8에서 부하가 없을 때 듀티가 27%로 원하는 동작을 하고 있음을 보여준다. 그림 9는 12V 입력 전압, 3V 출력에서, 100mA 부하가 인가될 시에 188mV의 출력 ripple 전압이 발생하는 것을 알 수 있다. 그림 5의 시뮬레이션 결과와 비교하여 약 50mV의 ripple 전압이 증가하였지만, 이는 시뮬레이션 환경과는 다른 실제 테스트 환경에서의 parasitic에 의해 발생한 것으로 추정된다. 시뮬레이션에서 0mA에서 800mA로 load regulation시 18mV 발생한 Over/under-shoot 전압의 경우, 제작된 칩의 최대 출력 전류가 200mA이기 때문에 0mA에서 200mA으로 load regulation 인가한 후 측정에서는 특별

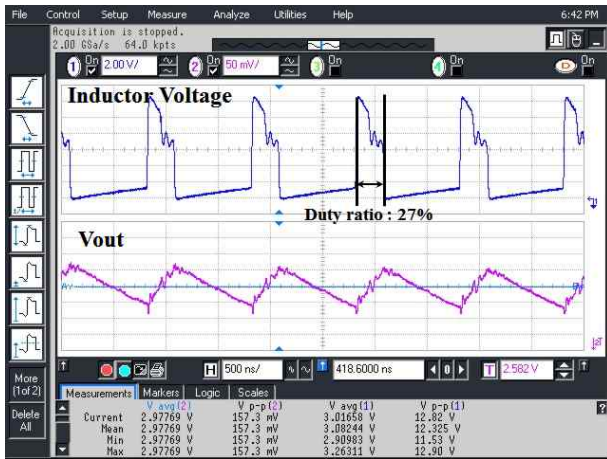


그림 8. 1MHz 스위칭 주파수, open load에서 제안된 SMPS의 인덕터 전압과 출력전압 측정결과.

Fig. 8. Measurement results of the inductor voltage and the output voltage of the proposed SMPS at open load, 1MHz switching frequency.

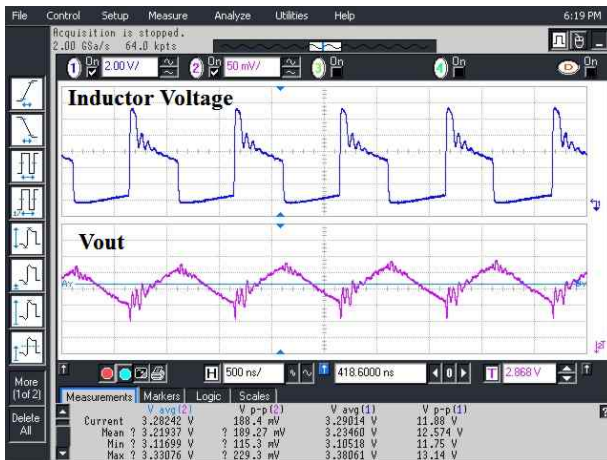


그림 9. 1MHz 스위칭 주파수, 100mA load에서 제안된 SMPS의 인덕터 전압과 출력전압 측정결과.

Fig. 9. Measurement results of the inductor voltage and the output voltage of the proposed SMPS at 100mA, 1MHz switching frequency.

한 레벨이 검출되지 않았다. 이는 잡음 수준이 너무 높고 load regulation의 변화가 충분하지 못해 발생하였다.

VI. 결 론

본 논문에서는 pseudo relaxation-oscillating 기법의 PWM 발생기를 이용한 저면적, 고효율 SMPS를 제안하였다. 제안된 회로는 아날로그/디지털 제어방식에서 loop bandwidth 확보 및 DPWM의 높은 resolution 확보를 위해 필수적으로 요구되는 필터 또는 digital

compensation들의 회로가 필요 없기 때문에 저면적으로 단순한 구조로 구현이 가능하다는 장점을 가진다.

제안된 회로는 SMPS의 출력전압과 기준전압 비교에 의해 High/Low만 판별하여 capacitor에 충전되는 전류량을 제어하는 방식으로써 단지 출력 전압을 tracking하는 방식이기 때문에 기존의 closed loop 제어 방식에서 문제점이 되고 있는 동적 응답특성을 고려할 필요가 없다는 큰 장점을 가진다. 제안된 회로는 동부하이텍 BCD 0.35 μ m 공정 파라미터를 이용하여 HSPICE 시뮬레이션 및 칩 테스트를 통해 동작을 검증하였다.

REFERENCES

- [1] Pui-Kei Leong, Chun-Hung Yang, Chi-Wai Leng, and Chien-Hung Tsai, "Design and implementation of sigma-delta DPWM controller for switching converter," Circuits and Systems, ISCAS, IEEE International Symposium on, pp.3074-3077, May. 2009.
- [2] H.H. Ahmad, and B. Bakkaloglu, "A 300mA 14mV-ripple digitally controlled buck converter using frequency domain $\Delta\Sigma$ ADC and hybrid PWM generator," International Solid-State Circuits Conference, ISSCC, IEEE International Conference on, pp.202-203, Feb. 2010.
- [3] Brad Bryant, and Marian K. Kazimierczuk, "Modeling the Closed-Current Loop of PWM Boost DC-DC Converters Operating in CCM With Peak Current-Mode Control," IEEE Trans. Circuits and systems, Vol.53, pp.2404-2412, 2005.
- [4] Reza Ahmadi, Darren Paschedag, and Mehdi Ferdowsi, "Closed-loop Input and Output Impedances of DC-DC Switching Converters operating in Voltage and Current Mode Control," Industrial Electronics Society, IECON, IEEE conference on, pp.2311-2316, 2010.
- [5] Yanxia Gao, Shaofeng Zhang, Yanping Xu, and Shuibao Gao, "Analysis and comparison of three implementation methodologies for high-resolution DPWM," IEEE International Conference on Power Electronics Systems and Applications, pp. 1-7, 2009.
- [6] Yanxia Gao, Shuibao Guo, Yanping Xu, Shi Xuefang Lin, and B. Allard, "FPGA-Based DPWM for Digitally Controlled High-Frequency DC-DC SMPS," Power Electronics Systems and Applications, PESA, IEEE Conference on, pp1-7,

- May. 2009.
- [7] Sangduk Yu, Youngchan Choi, Kichang Jang, Jungsoo Choi, Jungeui Park, Wooju Jeong, Joongho Choi, "Design of Digitally-Controlled Synchronous Buck Converter", IEEK 2008 SOC conference, pp. 17-20, May, 2008.
- [8] Ji-Hoon Lim, Won-Young Jung, Yong-Ju Kim, Inchaek Song, and Jae-Kyung Wee, "A Digitally-Controlled SMPS Using a Novel High-Resolution DPWM Generator Based on a Pseudo Relaxation-Oscillation Technique", IEICE TRANSACTIONS on Electronics Vol.E96-C No.2 pp.277-284, 2013.
- [9] <http://www.abracon.com/Magnetics/new/ASPI-0412S.pdf>
- [10] http://www.johansondielectrics.com/images/stories/surface-mount/tanceram/JDI_Tanceram_High-Cap-2012-04.pdf
- [11] Maity, A., Patra, A., Yamamura, N., Knight, J., "Design of a 20 MHz DC-DC Buck Converter with 84 Percent Efficiency for Portable Applications", VLSI Design, 24th International Conference on pp.316-321, 2011.
- [12] Chin-Long Wey, Chan-I Chiu, Kun-Chun Chang, Chung-Hsien Hsu, Gang-Neng Sung, "Design of ultra-wide-load, high-efficient DC-DC buck converters", Electronics, Circuits and System, ICECS, IEEE Conference on, pp.297-300, 2011
- [13] A. Emira, F. Carr, H. Elwan, R.H Mekky, "High voltage tolerant integrated Buck converter in 65nm 2.5V CMOS", Circuits and Systems, ISCAS, IEEE International Symposium on, pp.2405-2408, 2009.
- [14] A. Ehrhart, B. Wicht, M. Lin, Yung-Sheng Huang, "Adaptive pulse skipping and adaptive compensation capacitance techniques in current-mode buck-boost DC-DC converters for fast transient response", Power Electronics and Drive Systems, PEDS, IEEE International Conference on, pp.273-378, 2013.

저 자 소 개



임 지 훈(학생회원)
2004년 한림대학교
전자공학과 학사 졸업.
2008년 한림대학교
전자공학과 석사 졸업.
2013년 숭실대학교
전자공학과 박사 졸업
2013년~현대오트론 차량반도체개발센터 책임연구원

<주관심분야 : VRM, Gate Driver 및 Power I.C 설계>

위 재 경(정회원)-교신저자
2013년 9월 대한전자공학회 논문지 73page 참조

송 인 채(정회원)
2013년 9월 대한전자공학회 논문지 73page 참조