

논문 2013-50-11-15

쓰기 동작의 에너지 감소를 통한 비터비 디코더 전용 저전력 임베디드 SRAM 설계

(Low Power Embedded Memory Design for Viterbi Decoder with
Energy Optimized Write Operation)

당 호 영*, 신 동 엽**, 송 동 후***, 박 종 선****

(Hoyoung Tang, Dongyeob Shin, Donghoo Song, and Jongsun Park[©])

요 약

비터비 디코더(Viterbi decoder)용 임베디드 SRAM은 범용(General purpose) CPU에 쓰이는 SRAM과 달리 읽기, 쓰기 동작이 비터비 복호 알고리즘에 따라 일정한 액세스 패턴을 갖고 동작한다. 이 연구를 통하여 제안된 임베디드 SRAM의 구조는 이러한 메모리 동작의 패턴에 최적화되어 워드라인과 비트라인에서 발생하는 불필요한 전력소모를 제거함으로써 쓰기 동작의 소모 전력을 크게 줄일 수 있다. 65nm CMOS 공정으로 설계된 비터비 디코더는 본 논문에서 제안된 SRAM 구조를 이용하여 기존의 임베디드 SRAM 대비 8.92%만큼 면적증가로 30.84% 소모 전력 감소를 이룩할 수 있었다.

Abstract

By exploiting the regular read and write access patterns of embedded SRAM memories inside Viterbi decoder, the memory architecture can be efficiently modified to reduce the power consumption of write operation. According to the experimental results with 65nm CMOS process, the proposed embedded memory used for Viterbi decoder achieves 30.84% of power savings with 8.92% of area overhead compared to the conventional embedded SRAM approaches.

Keywords : Viterbi decoder, Embedded memory, SRAM , Access pattern, Low power operation

I. 서 론

잡음이 존재하는 채널 환경에서 디지털 신호를 송수신하는 경우 컨볼루션 인코딩(convolution encoding)을

* 학생회원, ** 정회원, **** 평생회원, 고려대학교 전기전자전파공학부

(School of Electrical Engineering, Korea University)

*** 학생회원, 고려대학교 나노반도체공학부 (School of Nano-Semiconductor, Korea University)

[©] Corresponding Author(E-mail: jongsun@korea.ac.kr)

※ 본 연구는 한국연구재단의 중견연구자지원사업(2012R1A2A2A01)과 반도체설계교육센터(IDE)으로부터 지원을 받아 이루어졌음.

접수일자 : 2013년7월22일, 수정완료일 : 2013년10월29일

이용한 에러 보정 방식이 많이 사용된다. 비터비 디코더는 FEC(Forward Error Correction) 방식으로 컨볼루션 코드를 디코딩하며 그 성능이 우수해, 디지털 통신 시스템, 위성 통신 등 다양한 시스템에서 에러 보정 방식으로서 널리 쓰이고 있다^[1].

하지만 컨볼루션 인코더와 달리 비터비 디코더는 하드웨어의 복잡도가 매우 높고 디코딩 연산에 필요한 소모 전력이 크다는 단점이 있다. 특히, 임베디드 SRAM을 이용한 계산량이 많아 임베디드 SRAM의 면적과 소모 전력은 전체 비터비 디코더 모듈에서 큰 비율을 차지하게 된다^[2~3]. 비터비 디코더에서 사용되는 임베디드 SRAM의 동작 패턴을 분석해보면 쓰기 동작에서 발생

하는 불필요한 소모 전력을 줄일 수 있으나 이에 대한 연구가 현재까지 미비하여 임베디드 SRAM내의 구조나 동작을 수정하여 해당 DSP에 최적화된 저전력 SRAM 설계에 대한 연구가 필요한 실정이다.

범용 프로세서(General processor)에서 사용되는 SRAM과는 달리 비터비 디코더 내의 임베디드 SRAM은 정해진 비터비 복호 알고리즘에 따라 액세스가 진행된다. 본 논문에서는 이러한 동작 주소에 대한 액세스 패턴의 분석을 바탕으로 쓰기 동작의 전력소모를 크게 줄이는 임베디드 SRAM의 구조를 제안하여 그에 따른 동작을 제안하였다.

II. 본 론

1. 비터비 디코더 (Viterbi Decoder) 알고리즘

본 논문에서 설계된 비터비 디코더는 부호 다항식 (code polynomials)이 [1 7 1; 1 3 3]이며 코드율(code rate) 1/2의 standard NASA 컨볼루션 부호기의 기준에 대한 비터비 디코더이다^[4]. 본 논문에서는 앞에서 기술한 설계 기준을 만족하는 비터비 디코더 전용 저전력 임베디드 SRAM 구조를 제안한다. 설계된 비터비 디코더는 3개의 128비트 워드, 6비트의 주소를 가진 임베디드 SRAM을 사용한다. 각각의 임베디드 SRAM은 별도로 정해진 알고리즘에 의해 그림 1과 같은 규칙성을 갖고 읽기 / 쓰기 동작을 반복한다. 그림과 같이 3개 bank의 임베디드 SRAM들은 비터비 복호 알고리즘을 구현하기 위하여 3가지의 색으로 구분된 동작에 연속적으로 사용되어 각 बैं크는 트렐리스 깊이만큼의 클럭 주기가 지날 때마다 3 교대로 동작을 바꾸어가며 수행하게 된다.

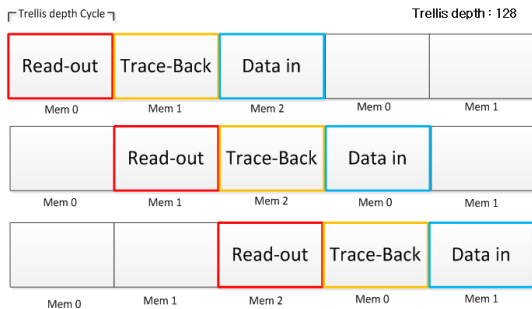


그림 1. 비터비 디코더 메모리 동작 규칙성
Fig. 1. Predictable memory operation of Viterbi decoder.

이렇게 예측 가능한 패턴을 이용하여 임베디드 SRAM의 구조를 수정하면 쓰기의 소모 전력을 크게 줄일 수 있다.

2. 비터비 디코더용 임베디드 SRAM 동작

(1) 임베디드 SRAM 동작의 패턴 분석

비터비 디코더에서 동작하는 임베디드 SRAM의 주소는 순차적으로 변하며 그림 2와 같은 액세스 패턴으로 쓰기와 읽기 동작이 진행된다. Bank 0에 ACS(Add-Compare-Select) 모듈의 결과값인 경로 메트릭 (path metric)의 결과값 64비트와 플립플롭에 저장되었던 이전의 경로 메트릭 값 64비트가 병렬로 연결되어 128비트 크기의 워드를 갖는 SRAM에 저장된다. 각각의 메모리 बैं크의 동작을 시간적인 순서에 대하여 살펴보면 Bank 0의 절반의 주소에 대해서 쓰기 동작이 진행되는 동안 Bank 2에 읽기를 완료하게 된다. Bank 0의 나머지 주소에 대해 쓰기가 완료되는 순간에 Bank 1의 읽기 동작도 완료된다.

이와 같은 액세스 패턴으로부터 비터비 디코더 내의 임베디드 SRAM에 쓰기 동작이 순차적으로 진행됨을 알 수 있고, 쓰기 동작과 그 쓰여진 값이 읽기 동작으로 액세스될 때까지의 일정한 시간적인 간격이 있음을 확인할 수 있다. 이 두 가지의 임베디드 메모리에 수행되는 액세스 패턴을 이용하여 SRAM 구조를 수정하여 효율적인 전력 소모를 줄인 비터비 디코더 전용의 저전력의 임베디드 SRAM 구조를 III장에서 제안한다.

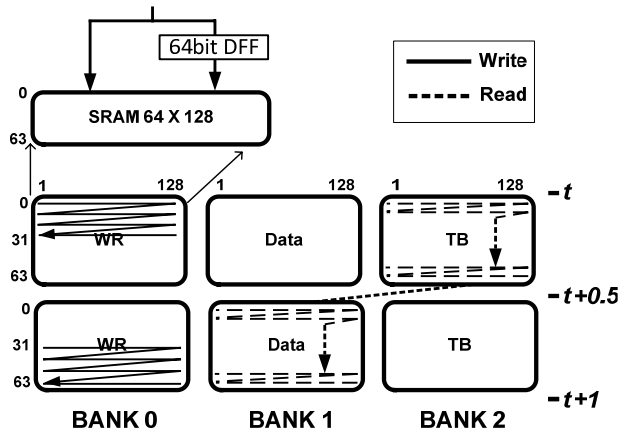


그림 2. 비터비 디코더의 메모리 동작
Fig. 2. Each memory bank's operation in Viterbi decoder.

(2) 임베디드 SRAM의 인터리브드 컬럼 믹스 (interleaved column mux) 구조

하나의 워드라인에 N개의 워드가 연결된 N to 1 컬럼 믹스 구조는 액세스하는 하나의 주소의 워드에 쓰기 동작할 때 나머지 워드의 셀들에는 저장된 정보가 보존되도록 BL과 BLB를 VDD 전압으로 인가한다.

그림 3은 n비트 워드의 N to 1 컬럼 믹스 구조에서 인터리빙이 어떻게 구성되는지를 보여준다. 물리적으로 인접한 $A_{11}, A_{21}, \dots, A_{N1}$ 의 메모리 셀에 연속된 주소를 갖는 N개의 워드의 1번째 비트 값이 저장되고 $A_{1n}, A_{2n}, \dots, A_{Nn}$ 에는 각 워드의 n번째 비트 값이 저장된다. 이러한 인터리브드 컬럼 믹스 구조는 버스트(Burst) 에러에 대하여 좀 더 안정된 동작을 보장하고 효율적인 어레이 구성이 가능하기 때문에 대부분의 SRAM에서 사용되고 있다^{[5],[6]}.

(3) 인터리브드 컬럼 믹스에서 순차적 쓰기 동작

위의 구조와 같은 인터리브드 N to 1 컬럼 믹스에서 한 워드에 대해 쓰기 동작을 하는 경우 N개의 메모리 셀 중에 1개의 셀에만 쓰기를 하고 동일한 워드라인(WL)의 나머지 (N-1)개의 셀들은 저장된 데이터를 보존해야 한다. 이를 위하여 액세스하는 메모리 셀의 BL에 Q값을 인가하고 BLB에 Qbar값을 인가시켜 데이터를 쓰고 나머지 메모리 셀의 BL, BLB는 VDD로 인가하여 쓰기 동작을 하는 메모리셀 이외에는 같은 워드라인에 인가된 나머지 메모리 셀에 저장된 데이터가 뒤집히지 않게 만든 상태를 만든 후에 워드라인을 활성화시킨다.

앞서 기술한 임베디드 SRAM의 쓰기 동작의 특성에

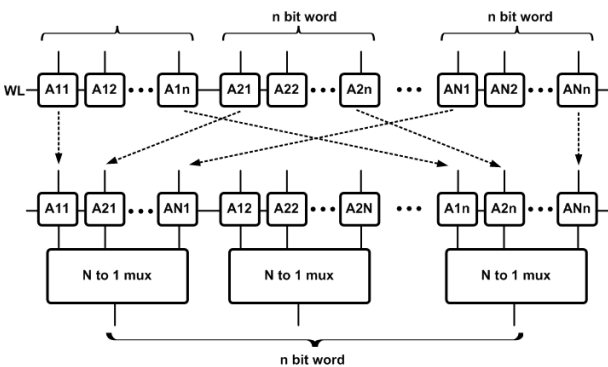


그림 3. SRAM의 인터리브드 컬럼 믹스 구조
Fig. 3. Interleaved column mux structure of SRAM.

따라 비터비 디코더 내의 SRAM은 비터비 복호 알고리즘에 따라 순차적으로 증가하는 주소에 쓰기 동작이 그림 4와 같이 진행되는데 기존의 SRAM구조에서는 N개의 워드를 쓰기 위해 하나의 워드라인에 대해 N번의 활성화가 필요하다. 하나의 워드라인에는 $N \times n$ 개의 6T SRAM Cell이 인가되어 있어 워드라인에서 보이는 캐패시턴스 성분이 매우 크기 때문에 워드라인 활성화에 소모되는 동작의 전력이 많다^[7]. 또한 보존하는 메모리 셀의 BL, BLB를 VDD로 인가하는 동작이 N번 반복되어야 하므로 BL, BLB에서 소모되는 비효율적인 전력 소모가 존재한다^[8].

이러한 워드라인과 BL, BLB에서 일어나는 전압 소모를 줄임으로써 쓰기 동작의 전력 소모를 크게 줄일 수 있고, 결과적으로 전체적인 전력 소모를 효과적으로 줄일 수 있다.

3. 저전력 쓰기 동작을 위한 비터비 디코더용 임베디드 SRAM 구조

(1) 순차적인 쓰기 동작의 전력 감소를 위한 구조

위에서 설명한 쓰기의 비효율적인 소모 전력을 줄이기 위하여 그림 5의 SRAM 구조를 제안한다. 설계된 비터비 디코더용 임베디드 SRAM은 128비트 워드 ($n=128$), 6비트 주소를 갖고, 인터리브드 4 to 1 컬럼 믹스 구조($N=4$)로 설계되었다. 비터비 디코더의 쓰기 동작은 주소가 순차적으로 변하며 시행된다. 앞 절에서 기술한대로 기존의 SRAM은 4개의 주소 값의 워드에

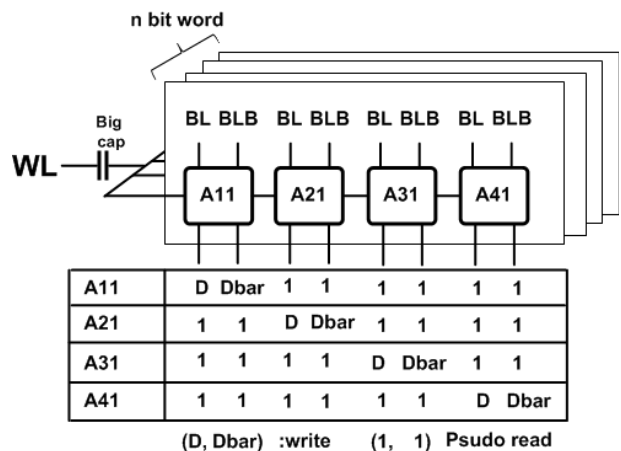


그림 4. 인터리브드 컬럼 믹스의 연속된 주소에 대한 쓰기 동작
Fig. 4. Write operation in the interleaved column mux.

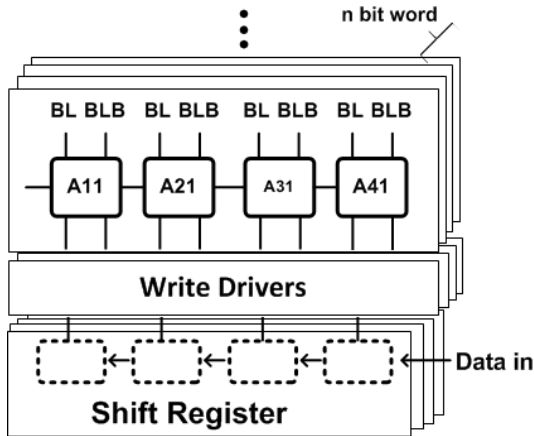


그림 5. 제안된 임베디드 SRAM 구조
Fig. 5. Proposed structure of embedded SRAM.

쓰기를 하는 경우, 4번의 쓰기 동작을 순차적인 주소의 워드에 각각 연달아 진행되게 된다.

그러나 제안된 구조는 연속적인 4개 주소의 워드를 쉬프트 레지스터에 저장해 놓았다가 한 번의 워드라인 활성화로 4개 메모리 셀에 쓰기 동작을 한 번에 수행할 수 있다. 이러한 쓰기 동작 횟수는 워드라인, BL과 BLB에서 소모되는 전력과 관련이 있다.

비터비 디코더의 경우 설명한 방식과 같이 쓰기를 지연하여 한 번에 시행할 때, 쓰기가 지연되었던 워드에 저장되는 데이터는 지연되는 시간 동안에 읽기 액세스 되지 않으므로 전체적인 비터비 디코더는 지연된 쓰기의 영향을 받지 않고 제대로 작동하게 된다.

(2) 제안된 구조로 감소시킬 수 있는 전력 소모

제안된 비터비 디코더용 임베디드 SRAM 구조를 통하여 감소되는 소모 전력은 워드라인 활성화 시 발생하는 소모 전력과 BL, BLB에서 발생하는 소모 전력으로

구분된다. 아래의 두 수식은 제안된 인터리브드 4 to 1 컬럼 믹스 구조에서 쓰기 동작 중에 워드라인의 활성화에 의해 소비되는 전력을 기존 임베디드 SRAM의 경우와 비교하여 나타낸다. 기존의 임베디드 SRAM을 사용한 경우에 워드라인 활성화에 필요한 전력소모와 제안된 구조에서의 워드라인 전력소모는 각각 (1)과 (2)와 같이 간단한 수식으로 표현될 수 있다. 기존의 인터리브드 4 to 1 컬럼 믹스 구조에서는 4번 연속적인 쓰기 동작 실행 시 4번의 워드라인 활성화에 필요한 전력 소모가 필요하지만, 쉬프트 레지스터를 이용하여 한 번의 워드라인 활성화로 4개 인접한 주소에 대한 쓰기 동작을 시행하여 워드라인 활성화의 빈도수를 4분의 1로 줄일 수 있었다.

$$4 \times P_{WZ_activation} \tag{1}$$

$$1 \times P_{WZ_activation} \tag{2}$$

마찬가지로 아래의 식 (3), (4)은 BL, BLB의 활성화에 필요한 소모 전력을 기존의 구조와 제안된 구조의 경우를 구분하여 나타낸다. 두 식에서 사용된 P_{BL_read} 는 인터리브드 4 to 1 컬럼 믹스 구조를 갖는 임베디드 SRAM이 읽기 동작을 시행하는 경우에 필요한 전력 소모의 양을 나타낸다. 쓰기 동작이 시행되는 주소의 워드와 같은 워드라인을 공유하고 있는 나머지 3개의 워드의 메모리 셀에 저장된 데이터는 보존되어야 한다. 이는 3개의 셀의 BL, BLB를 VDD로 인가하는 동작을 의미하고 이는 곧 읽기 동작에서의 BL, BLB의 제어와 같으므로 소모되는 전력은 읽기 동작을 하는 경우에 비유할 수 있다. P_{BL_write} 는 접근하는 주소에 대한 메모리 셀에 쓰기 동작을 시행할 때에 BL, BLB에서 소모되

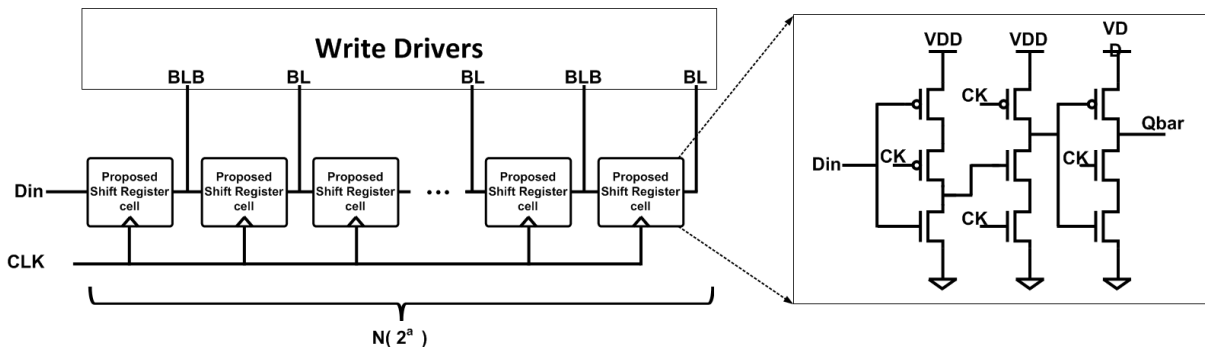


그림 6 제안된 저전력 저면적 쉬프트 레지스터 구조
Fig. 6 Proposed low power low area structures based on shift register.

는 전력을 나타낸다.

$$4(P_{BL_write} + (4 - 1)P_{BL_read}) \quad (3)$$

$$4 \times P_{BL_write} \quad (4)$$

위의 식에서 보듯이 쓰기 동작의 빈도수가 줄어들음으로 워드라인을 활성화하기 위해 필요한 전력 소모뿐만 아니라 BL, BLB를 VDD로 인가하는데 필요한 소모전력 감소 효과도 얻을 수 있기 때문에 임베디드 SRAM의 전체적인 전력 소모를 크게 감소시킬 수 있다.

(3) 쉬프트 레지스터의 면적과 면적 증가 최소화

쉬프트 레지스터 구현을 위해 플립플롭을 사용하는 경우 128비트(n) × 4(N) 개만큼의 플립플롭이 추가적으로 사용된다. 이로 인해 면적이 기존의 전체 SRAM 면적과 비교해서 일반적인 마스터-슬레이브 D 플립플롭의 경우 21.39 %만큼 증가하게 되어 면적 증가를 최소화할 필요가 있다. 이런 면적 증가를 줄이기 위해 그림 6와 같이 면적이 작은 TSPC 플립플롭(True Single Phase Clock Flipflop)을 응용한 쉬프트 레지스터의 구조를 제안한다.

제안된 레지스터 구조는 일반적인 플립플롭을 이용한 쉬프트 레지스터보다 작은 면적을 가지고 있어 쉬프트 레지스터로 인한 면적 증가를 최소화할 수 있다. 본 논문에서 제안된 저면적의 쉬프트 레지스터 구조를 사용한 결과 전체 임베디드 SRAM 면적의 8.92%만큼 면적이 증가하였고, 이는 일반적인 마스터-슬레이브 D 플립플롭을 사용한 경우에 대비 58.3% 감소한 면적을 갖는다.

위의 식 (1)~(4)에서의 경우는 N이 4인 4 to 1 컬럼 맥스 구조의 임베디드 SRAM의 구조를 예로 들었다. N to 1 컬럼 맥스 구조에서는 N의 개수가 증가할수록 추가되는 플립플롭의 개수가 많아지므로 추가 면적이 증가하지만, 반대로 제안되는 구조를 통해 얻을 수 있는 임베디드 SRAM의 쓰기 동작 전력 감소 효과가 더 큼을 식 (1)~(4)로부터 알 수 있다.

III. 실험

본 논문에서는 제안된 임베디드 SRAM 구조를 사용

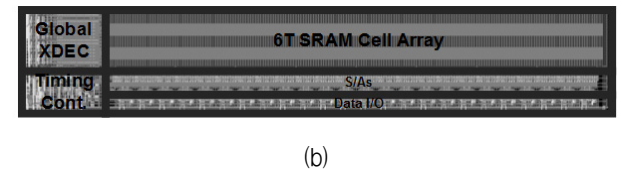
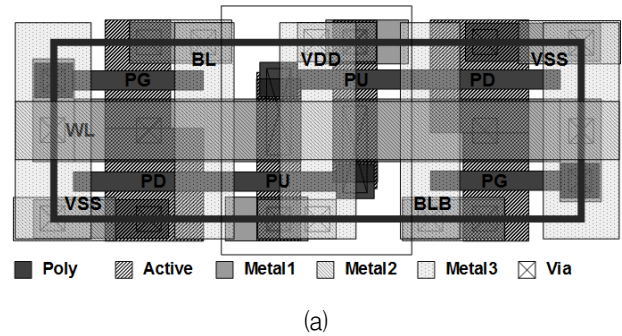


그림 7. 제안된 SRAM 구조 레이아웃 (a), 6T SRAM 메모리 셀 (b) 제안된 구조의 임베디드 SRAM의 레이아웃 결과

Fig. 7. Proposed SRAM layout, (a) 6T SRAM cell (b) Layout of proposed SRAM structure.

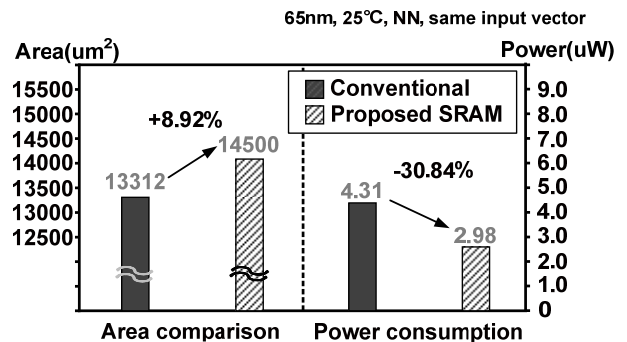


그림 8 제안된 SRAM 구조의 면적과 전력 비교
Fig. 8. Area and power comparison of proposed SRAM.

한 부호 다항식 $G=[1 \ 7 \ 1 ; 1 \ 3 \ 1]$ 의 state 개수가 64인 비터비 디코더를 65nm CMOS 공정을 이용하여 설계하였다. 설계된 비터비 디코더의 트렐리스 깊이(Trellis depth)는 128이며 임베디드 SRAM (64 X 128)의 뱅크가 3개 사용되었다. 제안된 임베디드 SRAM을 사용하는 경우의 면적과 전력 소모를 기존의 임베디드 SRAM을 이용하여 비교하였다. 기존의 SRAM과 제안된 구조의 SRAM의 면적의 변화는 full-custom의 방법으로 설계하여 비교하였으며, 전력의 변화는 HSPICE 시뮬레이션을 이용하여 측정 및 비교하였다. 공급 전압 1.1 V인 환경에서 풀 커스텀(full-custom) 레벨의 회로 설계 및 시뮬레이션을 진행하였다. 그림 7은 임베디드 SRAM의

전체 구조를 설계하여 레이아웃한 결과를 나타내며 기존의 임베디드 SRAM 구조와의 면적과 전력의 비교 결과는 그림 8에서 나타난다.

그림 8에서 보듯이, 쓰기 동작의 전력 감소로 인하여서 전체 비터비 디코더의 동작 전력이 기존의 임베디드 SRAM 대비 30.84%가 감소함을 확인하였고, 추가된 쉬프트 레지스터의 구조로 면적이 8.92% 증가함을 확인할 수 있다.

IV. 결 론

본 논문에서는 비터비 디코더에서 사용되는 임베디드 SRAM의 읽기와 쓰기 동작의 액세스 패턴을 연구하여 전력 소모를 줄인 효율적인 쓰기 동작이 가능한 SRAM 구조를 제안하였다. 제안된 SRAM 구조를 이용한 비터비 디코더의 전력 소모를 시뮬레이션을 통해 측정해 본 결과, 면적이 8.92%가 증가되지만 쓰기 동작의 워드라인 인가의 빈도수를 줄임으로써 전력 소모를 30.84%까지 줄일 수 있음을 확인하였다.

REFERENCES

- [1] Min Woo Kim and Jun Dong Cho, "A Bit-level ACSU of High Speed Viterbi Decoder", Journal of Semiconductor Technology and Science Vol.6 No.4 pp.240~245, June 2006.
- [2] W.-L. Su and H. Chiueh, "A Low Power Pulsed Edge-Triggered Latch for Survivor Memory Unit of Viterbi Decoder," in 13th IEEE International Conference on Electronics, Circuits and Systems, ICECS '06, pp. 553 - 556. Dec. 2006.
- [3] L. Chen, J. He, and Z. Wang, "Design of Low-Power Memory-Efficient Viterbi Decoder," in 2007 IEEE Workshop on Signal Processing Systems, pp. 132 - 135, Oct. 2007.
- [4] Jerrold A. Heller et al, "Viterbi Decoding for satellite and space Communication" IEEE Trans. on communication technology, Vol. 19, no. 5, pp. 835-848, October 1971.
- [5] Leland Chang et al., "An 8T-SRAM for Variability Tolerance and Low-Voltage Operation in High-Performance Caches", IEEE Journal of Solid-State circuits, Vol. 43, no.4, April, 2008.
- [6] J. Chang, J.-J. Kim, S. P. Park, and K. Roy, "A

- 32 kb 10T Sub-Threshold SRAM Array With Bit-Interleaving and Differential Read Scheme in 90 nm CMOS," IEEE Journal of Solid-State Circuits, vol. 44, no. 2, pp. 650 - 658, Feb. 2009.
- [7] Jan M.Rabey Anantha Chandrakasan and Borivoje Nikolic, "Digital Integrated Circuits - A Design Perspective", Pearson Education, p, 30-32, 2003.
- [8] Y. Ren, M. Gansen, and T. Noll, "Low power 6T-SRAM with tree address decoder using a new equalizer precharge scheme," in SOC Conference (SOCC), 2012 IEEE International, pp. 224 - 229, Sept. 2012.
- [1] S. X. Wang and A. M. Taratorin, Magnetic Information Storage Technology, Academic Press, 1999, ch. 12.
- [2] B. Jeon and J. Jeong, "Blocking artifacts reduction in image compression with block boundary discontinuity criterion," IEEE Trans. Circuits and Systems for Video Tech., Vol. 8, no. 3, pp. 345-357, June 1998.
- [3] W. G. Jeon and Y. S. Cho, "An equalization technique for OFDM and MC-CDMA in a multipath fading channels, " in Proc. of IEEE Conf. on Acoustics, Speech and Signal Processing, pp. 2529-2532, Munich, Germany, May 1997.

저 자 소 개



당 호 영(학생회원)
2012년 2월 고려대학교 전기전자
전과공학부 학사 졸업.
2012년 3월~현재 고려대학교
전기전자전과공학과
석박사 통합과정 재학.

<주관심분야 : Error Correction Coding Design,
Wireless Power Transfer, Low Power System
Design>



신 동 엽(정회원)
2013년 8월 고려대학교 전기전자
전과공학부 학사 졸업.
2013년 9월~현재 고려대학교
전기전자공학과
석박사 통합과정 재학.

<주관심분야 : Error Correction Coding Design,
Low Power Reconfigurable System Design>



송 동 후(학생회원)
2013년 2월 고려대학교 전기전자
전과공학부 학사 졸업.
2013년 3월~현재 고려대학교
나노반도체공학과
석박사통합과정 재학.

<주관심분야 : Low Voltage and Low Area
Embedded Memory Design, Ultra Low Power
System Design>



박 종 선(평생회원) 교신저자
1998년 2월 고려대학교 전자공학
과 학사 졸업.
2000년 8월 Purdue University
Electrical and Computer
Engineering 석사 졸업.
2005년 12월 Purdue University
Electrical and Computer
Engineering 박사 졸업.

2005년~2008년 Marvell Semiconductors Staff
Design Engineer
2008년~현재 고려대학교 전기전자전과공학부
교수

<주관심분야 : Circuits and Systems for Digital
signal processing and Digital Communication>