

논문 2013-50-11-17

# 생체신호 측정을 위한 아날로그 전단 부 회로 설계 (Analog Front-End Circuit Design for Bio-Potential Measurement)

임 신 일\*

(Shin-II Lim<sup>©</sup>)

## 요 약

본 논문은 생체신호 측정을 위한 저전력/저면적 AFE(analog front-end)에 관한 것이다. 제안된 AFE는 계측증폭기(IA), 대역 통과 필터(BPF), 가변 이득 증폭기(VGA), SAR 타입 A/D 변환기로 구성된다. 전류 분할 기법을 이용한 작은 gm (LGM) 회로와 고 이득 증폭기로 구성된 Miller 커패시터 등가 기술을 이용하여, 외부 수동소자를 사용하지 않고 AC-coupling을 구현하였다. 응용에 따른 BPF의 고역 차단 주파수 변화는 전압 조절기(regulator)를 이용한 출력 전압 변화를 이용하여  $g_m$ 을 변화하여 구현 시켰다. 내장된 ADC는 커패시터 분할 기법을 적용한 이중 배열 커패시터 방식의 D/A변환기와 비동기 제어 방식을 이용하여 저 전력과 저 면적으로 구현하였다. 일반 CMOS 0.18um 공정을 이용하여 칩으로 제작하였고, 전체 칩 면적은 PAD등을 모두 포함하여 650um X 350 um이다. 제안된 AFE의 전류 소모는 1.8V에서 6.3uA이다.

## Abstract

This paper presents analog front-end(AFE) circuits for bio-potential measurement. The proposed AFE is composed of IA(instrument amplifier), BPF(band-pass filter), VGA(variable gain amplifier) and SAR(successive approximation register) type ADC. The low gm(LGM) circuits with current division technique and Miller capacitance with high gain amplifier enable IA to implement on-chip AC-coupling without external passive components. Spilt capacitor array with capacitor division technique and asynchronous control make the 12-b ADC with low power consumption and small die area. The total current consumption of proposed AFE is 6.3uA at 1.8V

**Keywords :** ECG, Bio-potential, Analog front-end, SAR(successive approximation register) ADC

## I. 서 론

기존의 생체 신호처리용 의료 기기들은 크고 비싸며 소모 전력이 많은 등 개선의 여지가 많다. 최근 반도체 기술들이 발달함에 따라 신체 신호를 측정하는 의료기 기용 회로들을 작은 칩 안에 구현함으로써 더 작고, 더 싸게 구현되는 추세에 있다.<sup>[1-7]</sup> 특히 반도체 회로 부를 센싱 부분에 근접해 위치함으로써, 외부 잡음이 들어오는 것을 줄이는 동시에, 잡음 제거하는 여러 가지 회로

설계 기술을 개발하여 고성능의 기기구현이 가능하게 되었다. 또한 여러 가지 생체 신호 측정 기능을 하나의 칩으로 구현함으로써, 하나의 기기로 다 기능(다중 생체신호 처리)을 수행 할 수 있는 이동용 소형 의료 단말 의료기기도 출현하고 있다. 이렇게 생체신호 측정 시스템을 반도체 칩 하나로 구현함으로써, 의료 기기를 아주 작게 휴대용으로 구현하거나 휴대용 전화기 같은 개인용 휴대 전자 기기에 액세서리 형태로 장착이 가능해졌다. 휴대용 기기로 만들기 위해서는 건전지를 이용하여 오랜 기간 사용할 수 있도록 저 전력 기술을 담고 있어야 하며, 저가격과 작은 크기를 위해서 저 면적 회로 설계가 가능해야 한다. 이와 같은 칩 설계 기술을 적용하면 휴대용 기기를 이용한 건강 진단이 저렴하게 실

\* 평생회원, 서경대학교 전자공학과  
(Department of Electronics Engineering, Seokyeong University)

© Corresponding Author (E-mail: silim@skuniv.ac.kr)  
접수일자 : 2013년9월21일, 수정완료일 : 2013년10월30일

현 될 수 있다.

여기서는 이러한 추세에 맞추어 심전도, 근전도 등 생체 신호를 측정할 수 있는 칩 구현 회로에 대해 기술한다. 기본적으로 아날로그 전단부가 정밀해 지면 DSP 부분에서의 계산 량과 처리 속도가 줄어들어, 하드웨어 크기와 소모 전력을 현저히 줄일 수 있다. 따라서 고성능, 저 가격, 저 전력 소모를 추구하는 휴대용 생체 신호처리시스템 구현을 목표로 아날로그 전단 부를 반도체 칩으로 정밀하게 설계하는 기술들을 소개하고자 한다.

생체에서 발생하는 신호는 전기적인 신호(심전도, 근전도, 뇌파 등)와 기계적인 신호(혈류속도, 유량 등) 그리고 생화학적인 변수(산소포화도, pH 등)로 구분이 가능한데, 여기서는 전기적인 신호인 심전도, 근전도를 측정하는 것에 주목적을 두었다. 대표적인 전기적 생체 신호 중에는, 뇌의 활동에 의하여 일어나는 뇌파(EEG : Electro-encephalogram), 심장의 수축/이완에 따른 활동 전류 및 활동 전위차를 나타내는 심전도(ECG : Electro-cardiogram), 그리고 근육의 움직임에 따라 발생하는 근전도(EMG : Electro-myogram) 등이 있는데, 응용에 따라 신호의 크기와 주파수 범위가 각각 조금씩 틀리지만 그 측정 하는 하드웨어의 구성이 비슷하다. 심전도 신호는 0.3Hz~350Hz의 주파수 대역과 100 $\mu$ V ~ 10mV의 전압 크기를 가지고 있다. 근전도 신호는 약간의 편차는 있지만 20Hz~1000Hz의 주파수 대역과 80 $\mu$ V ~ 1mV의 전압 크기를 가지고 있다. 한편 뇌파 신호는 0.3Hz~100Hz의 주파수 대역과 1 $\mu$ V ~ 100 $\mu$ V의 전압 크기를 가지고 있는데 그 크기가 작아 잡음에서 신호를 구별해 내려면 dynamic offset cancellation 등 별도의 잡음제거 기술이 필요하다. 이 섹션에서는 뇌파 신호 검출 방법은 제외하고, 심전도 신호의 검출에 대해서 집중적으로 기술한다.

## II. 기존의 생체 신호 측정 회로

### 1. 생체신호 측정회로

그림 1은 생체 신호 중 전기적 신호인 뇌파(EEG), 심전도(ECG), 근전도(EMG) 신호를 측정하는 시스템의 일반적인 아날로그 전단 부(analog front-end) 블록도이다.<sup>[1]</sup> 전압 레벨을 측정하는 생체신호 측정 시스템 예로서 심전도 측정 시스템을 고려해 볼 때, 심장에서의

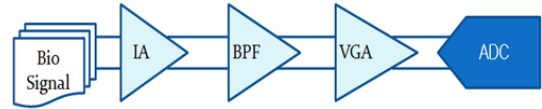


그림 1. 생체 신호 측정용 아날로그 전단 부의 구성도  
Fig. 1. Analog front-end for bio-potential detection.

uV~mV의 작은 신호를 공통모드 제거 비 (CMRR : Common Mode Rejection Ratio)가 높은 계측용 증폭기를 사용하여 측정된 신호를 검출하여 증폭한다. 이후 대역 통과 필터(BPF : Band Pass Filter)를 거쳐서 원하는 생체 신호 성분의 주파수만을 통과시키고, 신호의 크기에 따라 가변 이득 증폭기 (VGA : Variable Gain Amplifier)를 이용하여 이득을 조정함으로써 원하는 크기의 신호를 얻을 수 있다. 검출된 신호는 이어지는 ADC(Analog to Digital Converter)를 통해서 아날로그 신호를 디지털 신호로 변환한 후 DSP (Digital Signal Processor)에서 신호를 분석 처리하고 휴대용 디스플레이 장치들을 통해서 인체의 건강 상태를 표시해준다.

심전도나 근전도에서 사용하는 ADC는 8비트 ~ 10비트의 해상도(resolution)를 가지게 되며 뇌파의 경우 12 비트 이상의 해상도를 요구한다. 응용에 따라 신호의 크기, 주파수 범위가 틀리게 되므로 기본적인 그림 1의 구조를 바탕으로 가변적 이득과 가변 주파수 범위 설정을 선택적으로 수행할 수 있다. 즉 다양한 생체 신호 검출 시 별도의 하드웨어를 각각 별도로 구현하지 않고, 전체 기본적인 하드웨어 하나를 가지고 이득과 대역폭을 선택적으로 변경하며 사용할 수 있도록 설계함으로써 전체 하드웨어 크기를 현저하게 줄일 수 있다. 이제 각 구성 요소 별로 세부 내용을 살펴본다.

### 2. 기존 계측 증폭기(IA) 및 AC-coupling 기술

전기적 생체 신호를 검출하는 계측 증폭기(IA, instrument amplifier)는 기본적으로 높은(무한대의) 입력 임피던스, 높은 공통모드 제거비 (CMRR), 저 잡음, AC-coupling 등의 기능이 수반되어야 한다. 여기

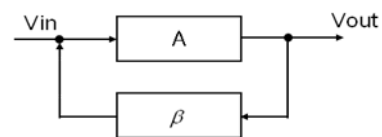


그림 2. AC-coupling 개념도  
Fig. 2. Concept of AC-coupling.

에 계측 증폭기를 반도체 칩으로 구현할 때에는 추가적으로 저전력 소모, 작은 칩 면적 구현 또는 최소 외부 소자 구현으로 인한 저가격화, 저 전압 구현 등도 강조되게 된다. 생체 신호는 전압의 형태로 나타나므로 생체 전압 신호를 증폭기에서 다 받아 드리려면 입력 저항이 충분히 커야 한다. DC 전압은 작더라도 증폭을 최대한 저지 시켜야 하고, 생체 AC 신호는 충분히 크게 증폭 시켜야 하므로 높은 공통모드 제거비가 요구된다. 한편 생체 신호를 취득하기 위해 증폭기 입력 단자를 신체에 연결할 때 전극을 통하여 신호를 인가하게 되는데 이 때 신체 피부와 전극 접촉면에서의 저항에 의해 DC 오프셋 전압이 발생하게 된다. 이러한 DC 오프셋 차이 전압은 증폭기를 포화 상태로 가져 갈 수 있으므로 반드시 제거해야 하는데 이것을 해결하는 기술이 AC-coupling 기술이다.<sup>[8]</sup> 즉, 증폭기의 귀환 루프( $\beta$ )에 저역 통과 필터(LPF: low pass filter)를 구현하면 전체 전달 함수가 고역 통과 필터(HPF: high pass filter)의 특성을 갖게 되어 DC 오프셋 차이 전압을 제거하는 기술이다. 다음 그림 2는 AC-coupling 기술의 개념을 보여 주는 블록도이다.

여기서  $A$ 는 계측 증폭기 이득을,  $\beta$ 는 귀환 루프 회로를 나타내고 있다. 귀환 루프 회로  $\beta$ 의 내부에는 CFB와 RFB로 구성된 적분기를 사용하여 LPF를 구성하고 그 전달 함수를 수식 (1)에 보여 주고 있다.

$$\frac{A}{1+A\beta} = \frac{A}{1+A\left(\frac{1}{j\omega C_{FB}R_{FB}}\right)} = \frac{A(j\omega \frac{C_{FB}R_{FB}}{A})}{j\omega \frac{C_{FB}R_{FB}}{A} + 1} \quad (1)$$

$$f_{-3dB,HPF} = -\frac{A}{2\pi C_{FB}R_{FB}} = A \cdot f_{-3dB,LPF} \quad (2)$$

AC-coupling 기술이 적용된 계측 증폭기의 전달 함수식을 살펴보면 고역 통과 필터의 특성을 보여주고 있음을 알 수 있다. 이 때 전체 계측 증폭기의 고역 통과 차단 주파수  $f_{-3dB,HPF}$ 는 수식 (2)에 나타난 것과 같이 귀환 루프 회로  $\beta$ 의 저역 통과 차단 주파수  $f_{-3dB,LPF}$ 에 계측 증폭기 이득  $A$ 를 곱한 값이 된다. 일반적으로 고역 통과 차단 주파수  $f_{-3dB,HPF}$ 를 0.2Hz 내외의 낮은 주파수로 유지하기 위해서 귀환 루프  $\beta$ 내의 CFB와 RFB가 커야 하며 계측 증폭기 이득  $A$ 는 크지 않은 것이 좋다. 이를 위해 기존의 구현에서는 내부

에 가상 저항을 이용한 큰 저항을 구현하지만 커패시터는 큰 값을 구현하지 못해 외부에 커패시터 CFB를 구현한다.<sup>[1~6]</sup> 외부에 커패시터를 연결하기 위해선 2개씩의 pin과 pad가 각각 필요하므로 가격이 상승하고 하드웨어가 커지는 단점이 있다.

연산 증폭기가 3개, 저항이 7개 소요되는 기존의 계측 증폭기는 연산 증폭기 수가 많고, 저항 부품도 많아 하드웨어 구성이 커진다.<sup>[8]</sup> 증폭기가 여러 개 이므로 전체 오프셋이 커지며 소모 전력이 증가하고 비싸지는 단점이 있다. 이 계측 증폭기회로의 가장 큰 단점은 공통모드 제거비가 저항의 부 정합 특성에 의해 많이 열악해진다는 것이다. 저항들과 연산 증폭기들 간 조금이라도 일치가 되지 않으면 공통모드 제거비 수치가 현저히 낮게 되는데, 100% 일치가 불가능하므로 높은 공통모드 제거 비를 요구하는 본 응용 목적 회로에서는 적합하지 않다.

특히 배터리를 이용하는 저 전압 시스템에서는 공통모드 제거비가 낮아지면 신호 처리 범위가 현저히 감소하거나, 출력이 전원 전압 쪽이나 접지 전압 쪽으로 쏠려 버리는 포화상태(saturation)가 발생하여 신호 처리가 불가능해지는 현상이 나타날 수 있다. 따라서 칩으로 구현하는 의료기기 시스템이나 저 전압으로 동작하는 최근의 휴대용 생체 신호 처리 시스템에서는 잘 사용하지 않게 된다.

### III. 제안된 생체 신호 측정 회로

#### 1. 제안된 전류 모드 계측 증폭기

제안된 계측 증폭기는 Gm에 의한 전류 귀환 계측용 증폭기<sup>(9~10)</sup>를 바탕으로 그림 3과 같이 AC-coupling

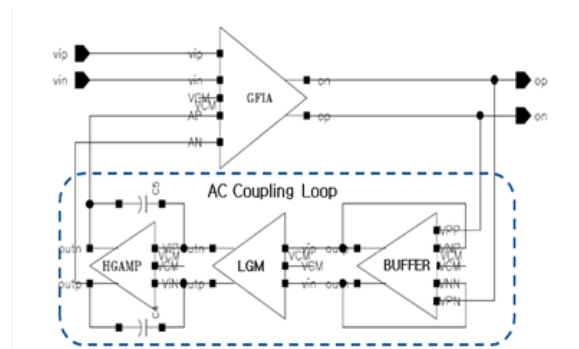


그림 3. AC-coupling이 있는 제안된 계측 증폭기  
Fig. 3. Proposed Instrument Amplifier with AC-coupling.

기술을 적용하여 구성하였다.<sup>[11]</sup> 그림 3 내부의 GFIA (Gm feedback instrument amplifier)라고 명시된 증폭기는 전류 귀환 계측용 증폭기를 표시한 것이 된다. LGM (low gm) 회로는 작은 gm 값을 갖는 회로로서 MOS 트랜지스터를 sub-threshold 영역에서 설계하여 아주 큰 저항 값을 얻도록 하였다. 상세한 구현은 뒤에서 추가로 설명한다.  $C_4(C_5)$ 를 칩 내부에 구현할 수 있는 작은 값으로 설정한 후,  $C_4 \cdot (1-AV, HGAMP)$ 의 큰 밀러(Miller) 커패시터를 얻기 위해 HGAMP(high gain amplifier)를 사용하였다. 따라서 HGAMP는 큰 증폭기 이득을 갖도록 설계한다. LGM (low gm) 회로에서 구현된 큰 저항 값과 HGAMP를 이용한 큰 등가 커패시터 값을 이용하여 LPF를 형성하고 그 차단 주파수를 아주 낮게 설정 할 수 있다. 여기서 중요한 것은 외부에 수동 소자를 연결하지 않고 칩 내부에 모든 수동 소자 값을 구현하여 아주 낮은 차단 주파수를 구현 할 수 있도록 설계한 것이다. 이렇게 칩 내부에 큰 저항과 큰 커패시터를 구현하면 외부에 연결하기 위한 pad나 pin이 불필요해져서 패키지 값이 저렴해지고, 외부에 커패시터나 저항을 구현할 필요가 없으므로 PCB 상에 설계가 아주 작아진다. BUFFER는 LGM 회로 입력 단에 큰 트랜지스터 소자가 있게 되므로 GFIA 출력에서 영향을 최소화하기 위해 삽입되었다. 이제 이 계측 증폭기의 특성을 살펴보기 위하여 전체 전달 함수를 구해 보고자 한다. 입력 신호를  $V_i = V_{ip} - V_{in}$ 으로 하고 이 입력 신호가 들어가는 GFIA의 입력 단 내부 gm 값을  $G_{m1}$ 으로, 귀환 루프로부터 입력되는 GFIA의 입력 단 내부 gm 값을  $G_{m2}$ 로 가정한다. 그리고 GFIA 내부에서  $G_{m1}$ 과  $G_{m2}$ 를 이어 받아 전압으로 다시 변환하는 회로의 이득을  $R_T$ 로 표시한다. LGM 회로의 gm 값을 GM으로 표시하면 여기서 발생하는 저항을  $1/GM$ 으로 표현할 수 있다. 한편 HGAMP이득을  $A_H$ 로 표시하고 HGAMP 양단의 커패시터  $C_4, C_5$ 를 하나의  $C_F$ 로 대체하게 되면 다음과 같은 수식 (3)이 성립한다.

$$\frac{V_{OUT}}{V_I} = \frac{G_{m1} \cdot R_T \cdot (1 + s \cdot C_F \cdot A_H \cdot \frac{1}{GM})}{G_{m2} \cdot R_T \cdot 1 + s \cdot C_F \cdot A_H \cdot \frac{1}{GM}} \quad (3)$$

$$f_{-3dB,HPF} = \frac{G_{m2} \cdot R_T}{2\pi \cdot C_F \cdot A_H \cdot \frac{1}{GM}} \quad (4)$$

$$f_z = \frac{1}{2\pi \cdot C_F \cdot A_H \cdot \frac{1}{GM}} \quad (5)$$

실제  $1/GM$ 값이 상당히 크고,  $C_F \cdot A_H$ 값도 상당히 크므로  $f_{-3dB,HPF}$ 는 상당히 낮은 주파수 영역(약 0.1 Hz ~ 0.3 Hz 정도 내외)에 존재하게 된다. 여기서 주의해야 할 사항은 수식 (5)와 같이 영점이 발생하게 되는데 영점 주파수가  $f_{-3dB,HPF}$ 보다는  $R_T \cdot G_{m2}$ 만큼 더 작아지므로 더 낮은 주파수 영역에 영점이 존재하게 되므로 성능 상 큰 영향이 없다. 전류 귀환 계측 증폭기 GFIA의 간략화한 내부 회로를 그림 4에 나타내었다.<sup>[14~15]</sup> Sub-threshold 영역에서 동작하도록 설계하였다.

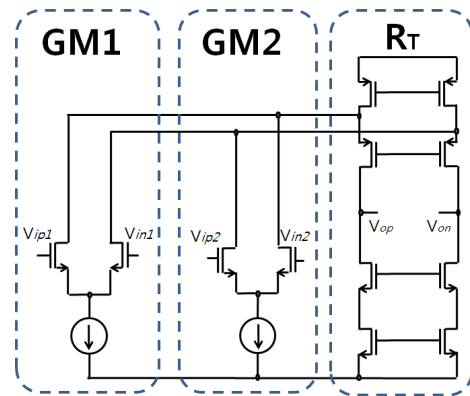


그림 4. 간략화한 계측 증폭기 GFIA 내부 회로  
Fig. 4. Simplified circuits of instrument amplifier(GFIA).

## 2. 전류분할 기법을 이용한 큰 저항 회로(LGM)

계측 증폭기에서 AC-coupling 기능을 수행할 때 LGM (low gm) 회로를 이용하여 큰 저항 값을 구할 수 있다. 큰 저항을 구현하기 위해서는 가상 저항<sup>[7, 12]</sup>이나 능동 저항 방법<sup>[13]</sup>을 적용하여 구현할 수도 있으나 가상저항은 원하는 저항 값의 조절이 잘 안되고, 능동 저항은 면적을 너무 많이 차지하여 여기서는 LGM (low gm) 회로<sup>[11]</sup>를 사용하였다. 사용된 LGM (low gm) 회로가 그림 5에 도시되어 있다.

이제 그림 5와 같이 입력 트랜지스터의 크기를 M배 키운 부 전류 경로를 설정하면 입력 게이트 전압이 동일한 경우 주 전류 경로에 흐르는 전류의 양을  $1/M$ 로 줄일 수 있다. LGM 회로의 주 전류 패스에 흐르는 전류의 양이 줄어들면 주 전류 경로의 트랜스 컨덕턴스는 전류의 양에 비례하여 감소한다. Sub-threshold 영역에

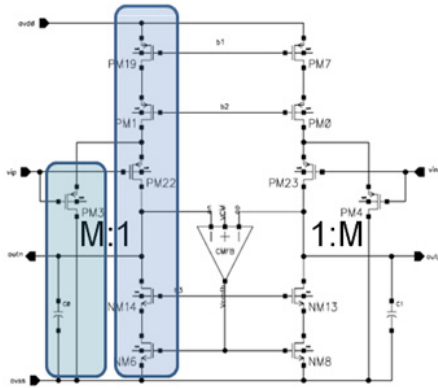


그림 5. 전류 분할 기법을 이용한 LGM 내부 회로  
Fig. 5. LGM circuits with current division technique.

서 동작시켰을 때, 주 전류 경로의 트랜스 컨덕턴스  $g_m$ 의 수식은, 두 전류 경로의 트랜지스터 크기 비  $M$ 을 추가하여 수식 (6)과 같이 표현할 수 있다.

$$g_m = \frac{I_D}{M \cdot \frac{q}{kT}} \quad (6)$$

Sub-threshold 영역에서 동작시키고 전류 분할 기법을 이용하여  $M$ 의 값을 크게 구현 하면 수백  $G\Omega$ 의 저항 값을 얻을 수 있다. 그런데  $M$ 이 크게 되면 증폭기 GFIA에 연결되는 부하가 증가하게 되므로 그 영향을 줄이기 위해 귀환 루프에 그림 3과 같이 버퍼 (BUFFER) 회로를 추가하여 LGM 회로에 연결한다.

3. 칩 내 구현 가능한 큰 커패시터의 구현

큰 커패시터를 구현하기 위해 HGAMP와 CF를 이용 Miller 커패시터를 구현한다. 이 때 HGAMP는 일반적인 folded cascode 증폭기를 사용하였고 sub-threshold 영역에서 동작시켰다. 실제 사용한 CF 값은 1.6pF로서 칩 내에 내장 가능한 값이다.

4. BPF 설계 [16]

고역 차단 주파수  $f_{-3dB,H}$ 는 수식 (7)과 같이 주어지는데, 심전도나 근전도를 각각 측정하고자 할 때 고역 차단 주파수가 서로 달라져야 함으로 용도에 따라 고역 차단 주파수를 변화 시켜 주어야 한다.

$$f_{-3dB,H} = \frac{g_{m,OTA}}{2\pi \cdot C_L} \quad (7)$$

이 때 기존의 일반적인 고역 차단 주파수 변화 방법

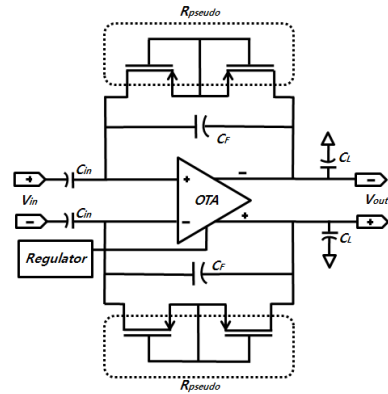


그림 6. BPF 구현 회로  
Fig. 6. Circuits for BPF.

은 부하 캐패시터  $C_L$ 의 열(array)을 이용하여 응용에 따라 변화 시켜가며 구현하는 것이다. 이 경우 칩 내부에 부하 캐패시터  $C_L$ 의 열(array)을 구현하면 일반적으로 많은 칩 면적이 소요되게 된다. 이 문제를 극복하기 위해 부하 캐패시터  $C_L$ 의 열(array)을 이용하지 않고, 변화 전압을 출력하는 전압 조절기(regulator)를 이용하여  $g_{mOTA}$ 를 변화 시켰다.<sup>[16]</sup> 이렇게 구현하면 기존 구현 방법에 비해 현저하게 적은 칩 면적으로 고역 차단 주파수를 변화를 실현할 수 있다.

5. SAR형 12 비트 ADC 설계 [17]

설계된 SAR A/D 변환기 구조를 그림 7에 나타내었다.<sup>[17]</sup> 사용된 DAC는 Main DAC 6-비트와 Sub DAC 5-비트로 구성되어 있으며 최상위 비트에 해당하는 커패시터를 분할하여 커패시터가 스위칭 하면서 발생하는 에너지 소모를 줄이도록 하였다. 기존의 SAR A/D 변환기는 샘플 단계를 거쳐 홀드 단계 후에 비교를 시작하게 되어 있지만, 본 설계에서 DAC 구조는 홀드시의 두 입력 전압을 비교하여 최상위 비트로 결정한다. 따

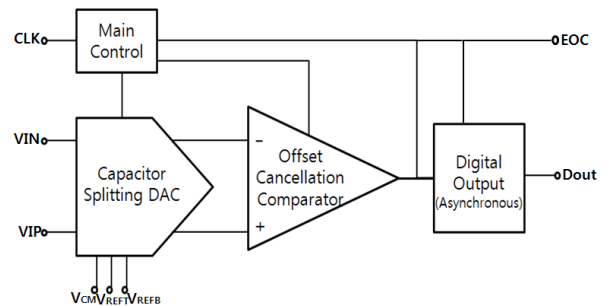


그림 7. SAR 형 12=비트 ADC 구성도  
Fig. 7. Block diagram of SAR type 12-b ADC.

라서 최상위 비트에 해당하는 커패시터를 제거하여 면적과 전력 소모를 줄였다. 비교기는 2단으로 구성된 pre-amp와 래치로 구성되어 있다. 그리고 output offset storage (OOS) 기술을 사용하여 2단 pre-amp의 오프셋을 제거하였다. 레지스터와 콘트롤이 비동기(asynchronous) 신호에 의해 동작 하면서 소모 전력을 최소화 하였다.

### III. 구현 및 시뮬레이션 결과

이제 설계된 아날로그 전단 부 회로를 0.18um 일반 CMOS 공정을 이용하여 칩으로 제작하였다. 제작된 칩의 layout 도를 그림 8에 보여 주고 있다. 칩 면적은 계측 증폭기, BPF, 가변 이득 증폭기(VGA), 12 비트 SAR 타입 ADC와 PAD등을 모두 포함하여 650um X 350 um 이다. ADC 검증 뿐만 아니라 계측 증폭기, BPF, 가변 이득 증폭기(VGA) 등의 성능 검증을 위한 PAD를 많이 사용하였기 때문에 (pad limited) 중간에 빈 공간이 발생하게 되었다. 실제로 계측 증폭기, BPF, VGA만 가지고 본다면 PAD를 포함하여도 350um X 350 um 정도 되고 core 면적은 180um X 280 um 미만이다. 그림 9에 설계된 계측 증폭기의 AC 시뮬레이션

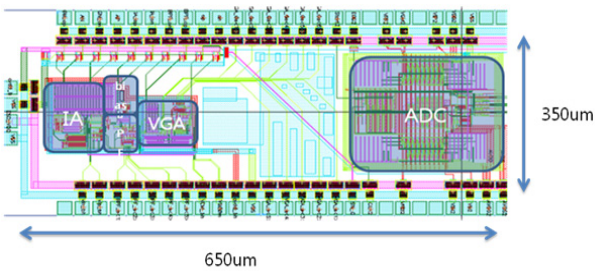


그림 8. 레이아웃  
Fig. 8. Layout.

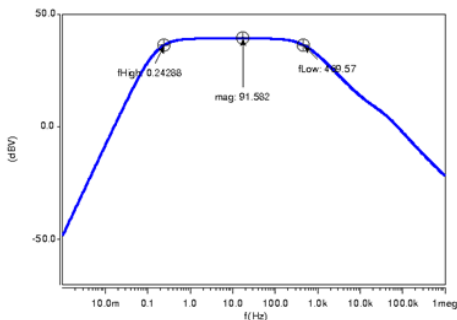


그림 9. 계측 증폭기의 주파수 특성  
Fig. 9. Frequency response of instrument amplifier.

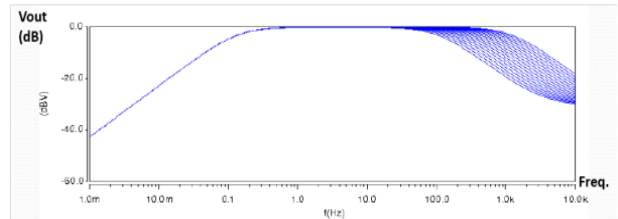


그림 10. BPF의 고역 차단 주파수 변화  
Fig. 10. High cutoff frequency variation of BPF.

결과를 보여 주고 있다.  $f_{-3dB,HPF}$ 는 상당히 낮은 주파수인 0.17Hz로 시뮬레이션 되었으며 이것은 수식 (2)에 주어진 것과 일치함을 알 수 있다. 그림 10에는 BPF 고역 차단 주파수 변화의 AC 시뮬레이션 결과를 보여주고 있다. 전압 조절기(regulator)의 출력 전압에 따라 차단 주파수가 약 50Hz 부터 1KHz 정도 까지 변화하는 것을 알 수 있다.

### IV. 측정 결과

이제 계측 증폭기, BPF, 가변 이득 증폭기(VGA)의 조합으로 설계된 아날로그 전단 부 구현 칩을 이용하여 심전도(ECG) 신호를 측정하여 보았다. 그림 11에 설계된 생체신호 측정용 아날로그 전단 부 칩을 포함한 모듈과 측정 모습을 보여 주고 있다. 측정 방법은 여러 가지 방법이 있지만 일단 그림 12(a)에 나타나 있는 Wilson central terminal 방법으로 측정을 수행하였다. 실제 병원에서 측정하는 경우는 다중 채널의 회로를 구성하고 가슴 주위의 여러 위치를 측정하지만 본 측정에서는 가슴 주위 한 신호만 측정하였다. 그림 12(b)에 측정된 ECG 파형을 보여 주고 있다. 현재 T파가 작게 나오고 있고 일부 P파 앞에 일부 노이즈 파형이 있는 것이 보인다. 실제 공통 접지 신호를 칩에서 만들어 신체 쪽으로 인가한 후 측정하면 더 완벽한 파형을 볼 수 있을 것으로 사료된다.

한편 설계된 SAR 타입 12-비트 ADC도 별도로 측정

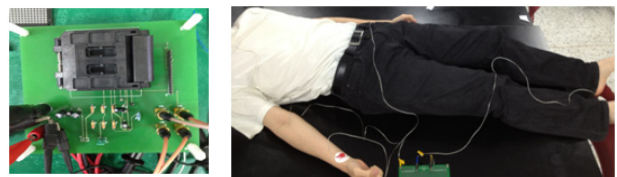


그림 11. (a) 테스트 칩과 (b) ECG 측정 모습  
Fig. 11. (a) Test chip and (b) ECG detecting posture.

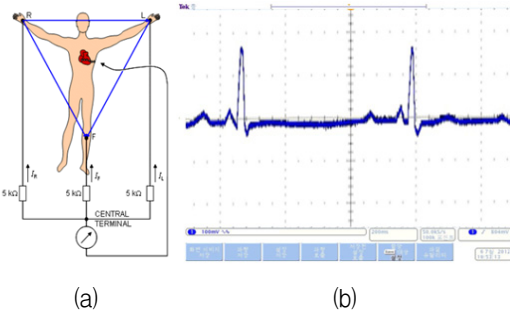


그림 12. (a) Wilson central terminal 측정 방법과 (b) 측정된 ECG 파형  
 Fig. 12. (a) Wilson central terminal technique and (b) measured ECG waveform.

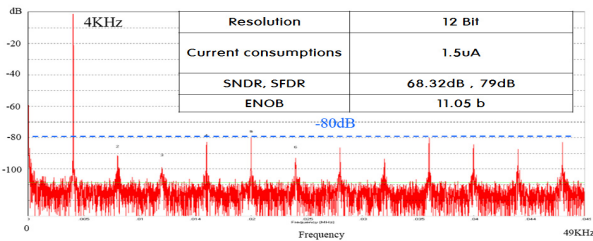


그림 13. FFT 측정 결과  
 Fig. 13. Measured results of FFT.

하였다. 측정 결과 입력신호가 4KHz이고 샘플링 주파수가 99KHz 일 때 11.05비트의 실효 해상도(ENOB)를 그림 13에 보여 주고 있다. 설계된 ADC는 1.5uA의 전류가 소모되며 49 fJ/conversion-step의 성능지수(FoM, figure of merit)를 보여준다. 설계된 ADC의 더 자세한 측정 결과는 참고 문헌 [17]에 기술하였다. 제안된 회로의 전체 소모 전류는 12비트 ADC를 포함하여 1.8V에서 6.3uA을 가진다.

### V. 결 론

본 논문은 외부 수동소자 없이 AC-coupling 기능을 수행하는 생체신호측정용 아날로그 전단 부 회로를 칩으로 구현하였고 실제 ECG 신호를 측정함으로써 검증하였다. 귀환 경로에 외부 수동 소자를 사용하지 않고 아주 낮은 gm 회로(큰 저항 칩 내 구현)와 Miller 커패시터 회로를 이용하여 LPF를 칩 내에 구현하였다. BPF는 변화하는 gm 값과 하나의  $C_L$ 을 이용하여 대역폭을 조절하였는데 기존의  $C_L$  열을 이용하여 대역폭을 조절하는 것에 비해 면적이 현저하게 줄어든다.

### REFERENCES

- [1] R. F. Yazicioglu, et al., "A 60uW 60 nV/√Hz readout front-end for portable biopotential acquisition systems," *ISSCC Dig. Tech. Papers*, pp.56-57, Feb. 2006.
- [2] J. Yoo, et al., "An 8-channel Scalable EEG Acquisition SoC with Fully Integrated Patient-Specific Seizure Classification and Recording Processor," *ISSCC Dig. Tech. Papers*, pp. 292-293, Feb. 2012.
- [3] Nick Van Helleputte, Sunyoung Kim, Hyejung Kim, Jong Pal Kim, Chris Van Hoof, and Refet Firat Yazicioglu, "A 160μA Biopotential Acquisition ASIC with Fully Integrated IA and Motion-Artifact Suppression," *ISSCC Dig. Tech. Papers*, pp. 118-119, Feb. 2012.
- [4] K. A. Ng and P. K. Chan, "A CMOS Analog Front-End IC for Portable EEG/ECG Monitoring Applications", *IEEE Tran, on Circuits and Systems*, Vol.52, No.11, Nov. 2005.
- [5] Chia-Hao Hsu, Chi-Chun Huang, Kian Siong Lim, Wei-Chih Hsiao, and Chua-Chin Wang, "A High Performance Current-Balancing Instrumentation Amplifier for ECG Monitoring Systems," *ISOC 2009*, pp 83-86, Jeju, Korea
- [6] Qiang Li, et al., "A 1-V 36uW Low-Noise Adaptive Interface IC for Portable Biomedical Applications", *European Solid-State Device Research Conference*, 11-13 September 2007.
- [7] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 958-965, Jun. 2003
- [8] E. M. Spinelli, et al., "AC-Coupled Front-End for Biopotential Measurements", *IEEE Trans. on Biomed. Eng.*, Vol.50, no.3, pp.391-395, March 2003.
- [9] M. S. J. Steyaert, W. M. C. Sansen, and C. Zhongyuan, "A micropower low-noise monolithic instrumentation amplifier for medical purposes," *IEEE J. Solid-State Circuits*, vol. sc-22, no. 6, pp. 1163-1168, Dec. 1987.
- [10] A. P. Brokaw and M. P. Timko, "An improved monolithic instrumentation amplifier," *IEEE J. Solid-State Circuits*, vol. sc-10, no. 6, pp.417-423, Dec. 1975.
- [11] Byeong-Ho Jeong, Shin-Il Lim, Dock-Ha Woo, "A Current feedback instrument amplifier with AC coupling for Body signal

detection”, *Proceedings of ITC-CSCC 2010*, Jul. 2010

- [12] O. Næss, et al., “High impedance circuit biasing for micropower systems”, *IEEE International Workshop on Biomedical Circuit and Systems (BioCAS)*, 2004, pp.9-12, Dec. 2004.
- [13] Giorgio Ferrari, Fabio Gozzini, Alessandro Molari, “Transimpedance Amplifier for High Sensitivity Current Measurements on Nanodevices”, *IEEE Journal of Solid-State Circuits*, Vol.44, No.5, May 2009
- [14] Ivan Koudar, “Variable gain differential current feedback amplifier”, *IEEE 2004 Custom Integrated Circuits Conference, Oct. 2004*, pp.659-662.
- [15] E. Sackinger, “A Versatile Building Block : The CMOS Differential Difference Amplifier”, *IEEE J. Solid-State Circuits*, Vol. sc-22, No.2, April 1987.
- [16] 우덕하, 이석, 정병호, 임신일, “다중 생체 신호 처리용 대역 조정 가능한 대역 조정 필터” 대한민국 특허 (등록 번호 10-1190811), 2012년10월08일
- [17] Shin-II Lim, Jinwoo Kim, Kwang-Sub Yoon and Sangmin Kim, “A 12-b Asynchronous SAR Type ADC for Bio Signal Detection,” *Journal of Semiconductor Technology And Science*, April 2013, vol. 13, no 2, pp. 108-113

— 저 자 소 개 —



임 신 일(평생회원)

1980년 서강대학교 전자공학과  
학사 졸업.

1983년 서강대학원 전자공학과  
석사 졸업.

1995년 서강대학교 대학원  
전자공학과 박사 졸업.

1982년~1991년 한국전자통신연구원(ETRI) 선임  
연구원

1991년~1995년 전자부품연구원(KETI) 선임연구  
원

1995년~현재 서경대학교 전자공학과 교수

<주관심분야: 아날로그 집적회로 설계(통신, 바  
이오 메디컬, 산업, 가전)>