

논문 2014-51-1-13

# 1/8-Rate Phase Detector를 이용한 클록-데이터 복원회로

( A Clock-Data Recovery using a 1/8-Rate Phase Detector )

배 창 현\*, 유 창 식\*\*

( Chang-Hyun Bae and Changsik Yoo<sup>Ⓢ</sup> )

## 요 약

본 논문에서는 1/8-rate 위상검출기를 이용한 클록-데이터 복원회로를 제안한다. 기존의 full-rate 또는 half-rate 위상검출기의 사용은 동일 데이터 속도에서 복원된 클록의 주파수가 상대적으로 높아야 하므로 샘플링회로와 VCO의 설계에 부담으로 작용한다. 본 논문에서는 복원된 클록의 주파수를 낮추기 위해 1/8-rate 클록을 사용할 수 있는 위상검출기를 구성하고 Linear equalizer를 위상검출기 입력에 사용하여 복원된 클록의 지터를 감소시켰다. 테스트 칩은 0.13- $\mu\text{m}$  CMOS 공정으로 제작되었고 입력은 3-Gb/s PRBS 데이터 패턴, 동작전압은 1.2-V에서 측정되었다.

## Abstract

In this paper, a clock-data recovery using a 1/8-rate phase detector is proposed. The use of a conventional full or half-rate phase detector requires relatively higher frequency of a recovered clock, which is a burden on the design of a sampling circuit and a VCO. In this paper, a 1/8-rate phase detector is used to lower the frequency of the recovered clock and a linear equalizer is used as an input circuit of a phase detector to reduce the jitter of the recovered clock. A test chip fabricated in a 0.13- $\mu\text{m}$  CMOS process is measured at 1.5-GHz for a 3-Gb/s PRBS input and 1.2-V power supply.

**Keywords :** Phase detector, CDR, Linear equalizer.

## I. 서 론

데이터 송수신시스템에서 클록 없이 데이터만을 전송하고 수신 단에서 데이터로부터 클록을 복원하는 방식은 시스템의 크기를 소형화 할 수 있고 노이즈의 영향을 적게 받는 장점으로 고속 직렬데이터 전송에 많이 사용되고 있다<sup>[1]</sup>. 클록-데이터 복원회로는 위상검출기,

전하펌프, 루프필터, 전압제어발진기(VCO) 등의 블록으로 구성되는데 데이터 속도가 증가함에 따라 각 블록의 속도의 한계와 시스템의 클록 주파수의 한계로 인해 클록-데이터 복원회로의 고속 동작이 제한받고 있다<sup>[2]</sup>.

CMOS 공정에서 고속으로 동작하는 클록-데이터 복원회로를 설계하는데 있어서 가장 큰 어려움은 VCO와 위상검출기의 설계이다. VCO의 출력은 decision 회로와 분주기 등을 구동하는데 동작주파수가 높아질수록 부하가 증가하므로 동일 전류에서 VCO의 최대주파수는 감소하게 된다<sup>[3]</sup>. 또한 클록-데이터 복원회로에 사용되는 클록의 주파수가 높으면 전류가 증가되고 샘플링회로와 de-multiplexer등과 같은 다른 블록을 설계하는데 어려움이 따른다. 따라서 클록-데이터 복원회로가 낮은 동작전압에서 안정적으로 동작하기 위해서는 복원에 사용되는 클록의 주파수를 낮추는 것이 필요하다.

\* 학생회원, \*\* 평생회원, 한양대학교 전자컴퓨터통신공학

(Department of Electronics and Computer Engineering, Hanyang University)

Ⓢ Corresponding Author(E-mail: csyoo@hanyang.ac.kr)

※ 본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [No.10035202, 대용량 MLC SSD 핵심 기술 개발]

접수일자: 2013년10월25일, 수정완료일: 2013년12월24일

위상검출기는 VCO의 출력 클럭으로 입력되는 데이터를 샘플링 하여 위상 차이를 판별하고 그 결과를 전하펌프에 전달한다. 기존의 Hogge 위상검출기와 Alexander 위상검출기는 위상 판별에 사용되는 클럭이 데이터 속도와 동일한 클럭 주파수를 필요로 하기 때문에 데이터 속도가 증가할 경우 VCO와 위상검출기의 샘플링회로를 설계하는데 있어서 부담으로 작용한다<sup>[4]</sup>. Half-rate 또는 1/4-rate 클럭의 사용은 클럭 주파수를 1/2 또는 1/4로 감소시킬 수 있다<sup>[5-7]</sup>. 하지만 동일 CMOS 공정에서 동작전압은 낮아지고 데이터 속도가 증가할 경우 process, voltage와 temperature (PVT) 변화에 따른 VCO 출력주파수의 신뢰성은 여전히 보장하기 어렵다.

한편, 고속 데이터 전송에 있어서 채널의 저역통과 필터특성에 의해 발생하는 ISI는 수신 단에서 복원된 클럭의 지터를 증가시키고 bit error rate (BER)을 악화시킨다<sup>[8]</sup>. 수신 단에서 ISI를 보상하기 위해서는 equalizer가 사용되는데 회로의 구조가 간단하고 제어하기 쉬운 장점으로 Linear equalizer가 널리 쓰이고 있다.

본 논문에서는 샘플링 회로와 VCO의 고속 동작에 대한 부담을 덜기 위해 다중 위상을 갖는 1/8-rate 클럭을 사용하여 위상검출기를 구성하였다. 제안하는 위상검출기는 VCO의 출력 주파수를 감소시키기 위해 샘플링회로를 병렬로 나열하여 데이터의 중심부와 에지정보를 각각 샘플링할 수 있도록 하였다. 또한 입력 데이터의 ISI를 효과적으로 제거하고 복원된 클럭의 지터를 감소시키기 위해 Linear equalizer를 위상검출기의 입력회로로 사용하였다.

본 논문의 구성은 다음과 같다. II장에서 제안하는 위상검출기를 포함하는 테스트 칩의 특징 및 각 블록에 대해 설명한다. III장에서는 설계된 위상검출기를 사용하여 복원된 클럭과 출력 데이터의 측정 결과를 제시하고, IV장에서 본 논문의 전체적인 내용을 정리하였다.

## II. Architecture

그림 1은 제안하는 위상검출기를 포함하는 테스트 칩의 전체 구조이다. 제안한 구조는 Linear equalizer, 위상검출기, 클럭 복원회로와 측정을 위한 직렬데이터 변환기로 구성되어있다. 위상검출기는 Sampler 블록과 Transition 검출기로 이루어졌고 Bang-bang 형태의

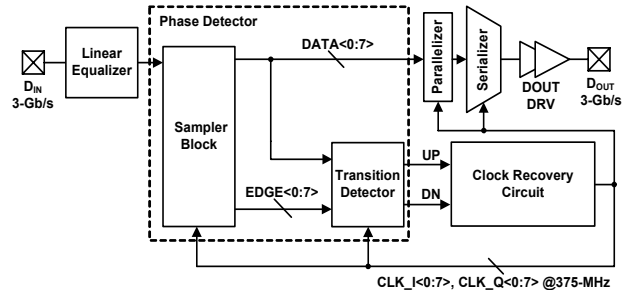


그림 1. 제안하는 위상검출기를 포함하는 테스트 칩의 전체구조  
 Fig. 1. Block diagram of the test chip including the proposed phase detector.

위상검출기이다. Linear equalizer에서 ISI가 보상된 데이터는 Sampler 블록으로 보내지고 Sampler 블록에서 다중 위상 클럭으로 데이터와 에지 정보가 샘플링 된다. 샘플링 된 데이터와 에지 정보는 Transition 검출기로 보내지고 Transition 검출기는 출력 클럭을 입력 데이터의 위상에 맞추기 위해 UP 또는 DN신호를 출력하여 클럭 복원회로의 클럭 주파수를 가변시킨다. Sampler 블록에서 출력된 병렬 데이터는 복원된 클럭을 사용하여 Parallelizer에서 동기화 되고 Serializer에서 다시 직렬 데이터로 변환된다. 변환된 직렬 데이터의 전송속도는 수신 단에 입력되는 데이터의 전송속도와 동일하다. 만일 복원된 클럭의 지터가 증가하게 되면 출력되는 데이터의 지터가 증가하게 되어 eye의 폭이 감소하게 된다.

그림 2는 제안하는 위상검출기의 입력에 사용된 Linear equalizer의 구조를 나타낸다. 그림 2의 (a)에서 보는바와 같이 입력데이터는 3-Gb/s의 고주파 성분의 손실을 보상하기 위해 세 단의 Linear equalizer를 통과하여 고주파 성분의 손실을 보상하도록 하였다. 세 단의 equalizer 출력은 Sampler블록의 입력으로 전송되는데 넓은 대역폭을 가지기 위해 버퍼가 사용되었다. 그림 2의 (b)는 Linear equalizer의 회로도를 나타낸다. Linear equalizer에서 이득을 조절할 수 있는 방법으로는 degeneration저항을 조절하는 방법과 degeneration 커패시턴스를 조절하는 방법이 있는데 제안한 칩에서는 저항과 커패시턴스 둘 다 조절할 수 있도록 하였다. degeneration 저항을 조절하는 방법은 source degeneration 저항과 병렬로 MOS 스위치를 연결하여 M1과 M2의 source에 연결된 저항이 클수록 저주파수에서 이득이 감소하여 gain boosting이 커지게 되는 방

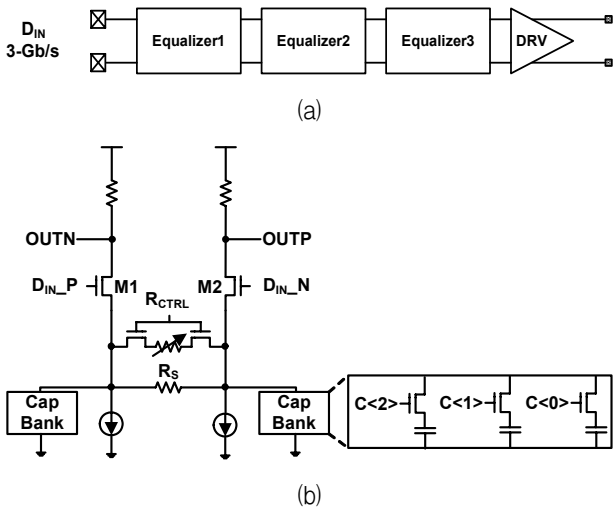


그림 2. Linear equalizer의 구조 (a) Linear equalizer의 블록구조도 (b) Linear equalizer 1단의 회로도  
Fig. 2. Structure of the linear equalizer (a) Block diagram of the linear equalizer (b) Schematic of the linear equalizer.

식이다. degeneration 커패시턴스의 조절은 cap bank에 연결된 디지털 코드에 의해 이루어진다. cap bank는 MOS 스위치와 이에 연결된 MOS 커패시턴스로 구성되었다. MOS 커패시턴스의 크기는 binary weight를 만들기 위해 MSB로 갈수록 큰 값을 가지도록 하였다. 본 논문에서 사용된 Linear equalizer의 이득은 데이터 전송 속도가 3-Gb/s이므로 1.5-GHz에서 최대 이득을 가지도록 디지털 코드를 조절하였다.

그림 3은 Sampler 블록의 전체구조를 보여준다. 입력 데이터는 Linear equalizer에서 ISI가 보상되고 데이터의 위상을 판별하기 위해 Sampler 블록으로 보내진다. Sampler 블록은 16개의 다중위상 클록을 사용하여 입력 데이터를 샘플링하기 위해 16개의 sampler를 병렬로 구성하였다. 각 각의 Sampler는 Sense Amplifier 형태의 플립플롭을 사용하였는데 Sense Amplifier에서 차동 입력신호의 극성을 판별하고 그 값을 SR 래치에 저장하는 구조이다.

그림 4는 Transition 검출기의 구조를 나타낸다. Sampler 블록에서 출력된  $EDGE<0:7>$ 과  $DATA<0:7>$ 은 Transition 검출기로 보내지고 Transition 검출기는 인접한 데이터와 에지정보의 변화가 있었는지를 판별하여 UP 또는 DN 신호를 클록 복원회로에 전달하게 된다.

그림 5는 제안하는 위상검출기의 timing diagram을

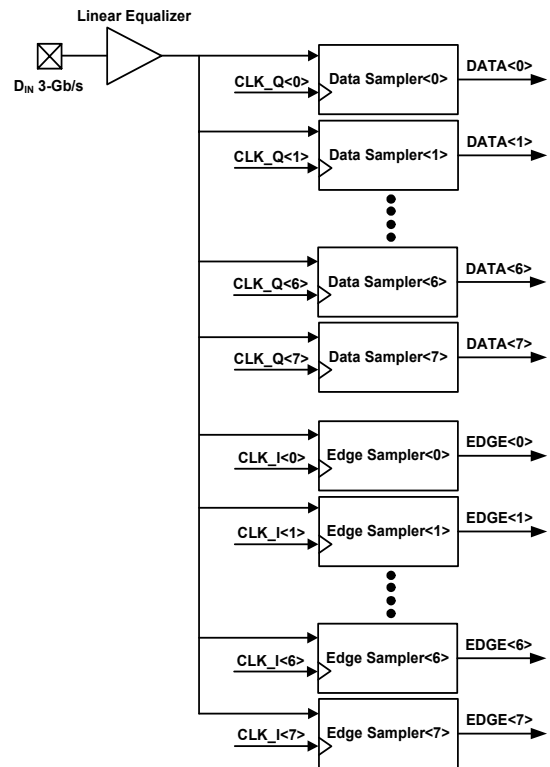


그림 3. Sampler 블록의 전체구조  
Fig. 3. Full structure of the sampler block.

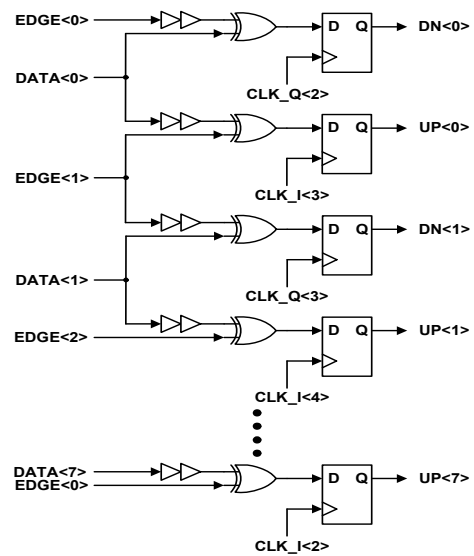


그림 4. Transition 검출기의 구조  
Fig. 4. Structure of the transition detector.

나타낸다. 3-Gb/s의 속도로 입력되는 데이터에 다중 위상클록을 이용하여 UP 또는 DN 신호가 만들어지는 과정을 보여준다.  $CLK_Q<i>$ 는 데이터의 중심부를 샘플링하는 클록이고  $CLK_I<i>$ 는 데이터의 에지부분을 샘플링하는 클록이다. 예를 들어  $CLK_Q<0>$ 에 의해 샘플링

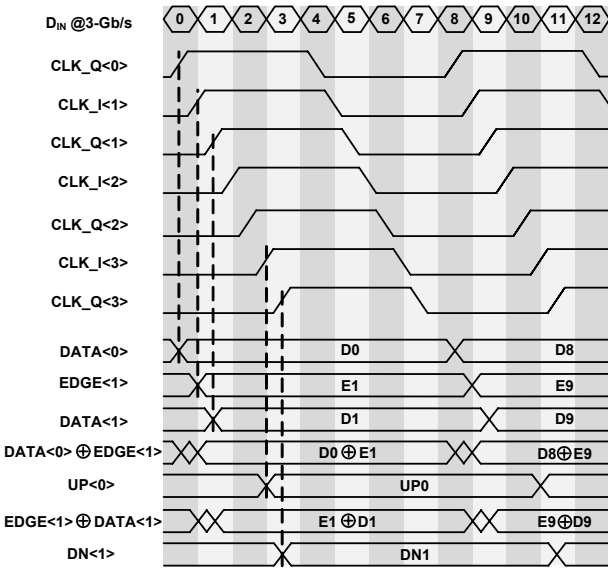


그림 5. 제안하는 위상검출기의 timing diagram  
Fig. 5. Timing diagram of the proposed phase detector.

플링 된 출력  $DATA<0>$ 과  $CLK_I<1>$ 에 의해 샘플링 된  $EDGE<1>$ 의 값이 동일하면 데이터의 변화가 없는 경우이므로 UP 또는 DN 신호가 출력되지 않는다.  $DATA<0>$ 과  $EDGE<1>$ 의 값이 다르면 데이터의 변화가 있는 경우이고  $CLK_I<1>$ 이 데이터의 에지보다 뒤에 있으므로 UP 신호를 출력하여 복원회로의 주파수를 증가시켜 위상을 당기게 된다. 마찬가지로  $EDGE<1>$ 과  $DATA<1>$ 의 값이 변화가 없으면  $CLK_I<1>$ 과  $CLK_Q<1>$  사이에 데이터의 transition이 없는 경우이므로 UP 또는 DN 신호가 출력되지 않는다. 만일  $EDGE<1>$ 과  $DATA<1>$ 의 값에 변화가 있다면  $CLK_I<1>$ 과  $CLK_Q<1>$  사이에 데이터의 transition이 존재하고  $CLK_I<1>$ 이 데이터의 에지보다 앞서 있으므로 DN 신호를 출력하여 복원회로의 주파수를 감소시켜 복원 클럭의 위상을 뒤로 밀게 된다.

### III. Simulation and Measurement Results

그림 6은 제안하는 위상검출기의 입력에 사용된 Linear equalizer의 디지털 코드에 따른 gain boosting의 변화를 본 simulation 결과이다. 고주파 대역의 이득은 디지털 3-bit으로 degeneration 커패시턴스를 조절하여 8단계로 변할 수 있도록 하였고 저주파 대역의 이득은 degeneration 저항을 조절하여 4단계로 변할 수 있도록 하였다. 저주파 대역에 대한 고주파 대역의 이득

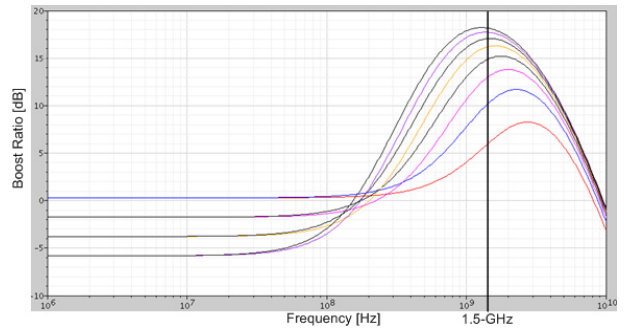


그림 6. 디지털 코드에 따른 Linear equalizer의 gain boosting의 변화  
Fig. 6. Gain boosting of the linear equalizer depending on digital codes.

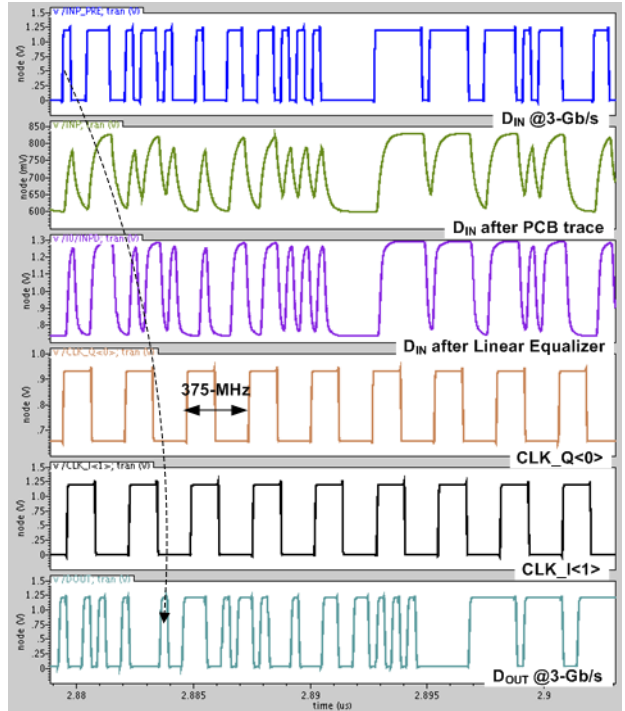


그림 7. 테스트 칩의 시뮬레이션 결과  
Fig. 7. Simulation results of the test chip.

비율은 데이터의 전송속도인 1.5-GHz에서 약 6-dB에서 23-dB까지 8단계로 변화한다.

그림 7은 테스트 칩의 시뮬레이션 결과로서 데이터의 입력부터 복원된 클럭을 사용하여 병렬 데이터를 다시 직렬 데이터로 변환한 후 출력되는 과정을 나타낸다. 3-Gb/s의 입력 데이터  $D_{IN}$ 은 채널을 통과하면서 ISI로 인해 데이터가 왜곡된다. Linear equalizer에 의해 ISI가 보상된 데이터는 클럭을 복원하는데 사용되고 복원된 다중 위상클럭은 병렬로 샘플링 된 데이터를 직렬로 변환하는데 사용된다.

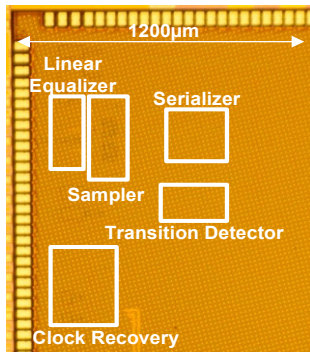
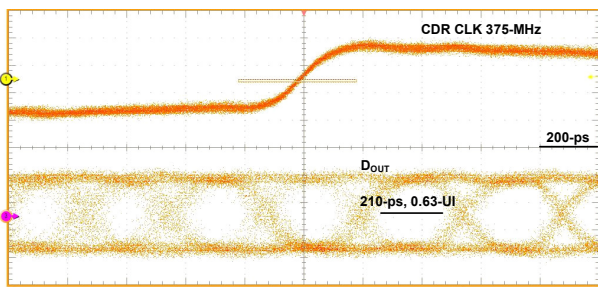
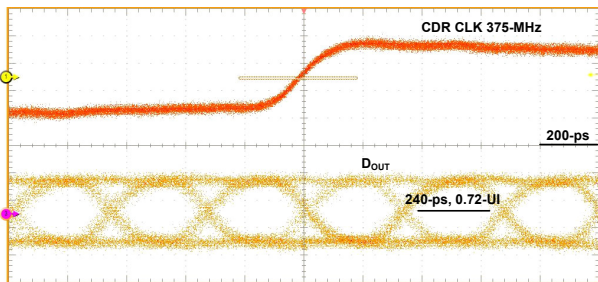


그림 8. 테스트 칩 사진  
Fig. 8. Test chip microphotograph.



(a) Without the linear equalizer

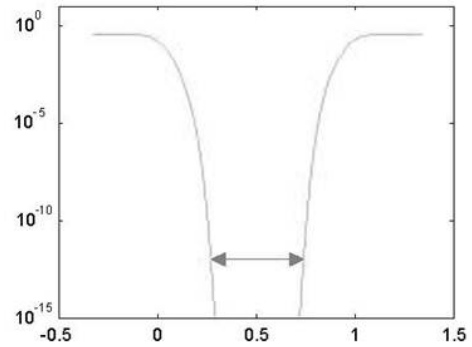


(b) With the linear equalizer

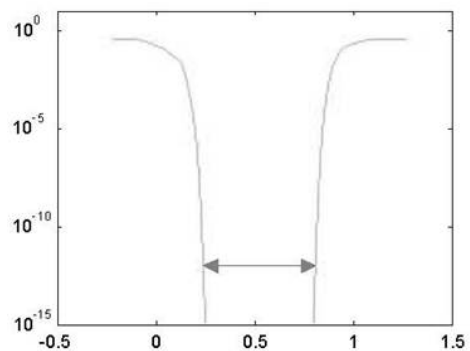
그림 9. 측정 결과  
Fig. 9. Measurement results of the recovered clock and data using the proposed phase detector.

본 논문에서 제안한 구조는 0.13- $\mu\text{m}$  CMOS 공정으로 제작 되었으며 1-POLY, 5-Metal을 사용하였다. 그림 8은 제안하는 구조로 제작 된 테스트 칩의 사진을 나타낸다.

그림 9는 제안한 위상검출기의 측정결과를 나타낸다. 10-dB의 손실을 가진 PCB trace를 통과한 3-Gb/s의  $2^{31}-1$  pseudo-random binary sequence (PRBS) 데이터가 수신 단에 입력될 때 이 데이터를 사용하여 375-MHz의 클럭이 복원되고 복원된 클럭을 사용하여 다시 3-Gb/s의 직렬데이터로 변환된 출력데이터를 보여준다. 복원된 클럭에 트리거 하여 출력데이터의 eye



(a) Without the linear equalizer



(b) With the linear equalizer

그림 10. 측정 된 Bathtub curve  
Fig. 10. Measured bathtub curve.

표 1. 특성 비교  
Table 1. Performance Comparison.

	[9]	[10]	This work
Process	0.13 $\mu\text{m}$	0.18 $\mu\text{m}$	0.13 $\mu\text{m}$
Power supply	1.2 V	1.2 V	1.2 V
PD type	Bang-bang	Linear	Bang-bang
Data rate	3.2 Gb/s	5 Gb/s	3 Gb/s
Rate of PD	1/4 rate	1/8 rate	1/8 rate
Clock jitter (peak to peak)	116 ps	57.4 ps	93 ps
Power consumption	140 mW	144 mW	90 mW

를 확인한 것으로 복원된 클럭의 지터가 클 경우 출력 데이터 eye의 지터가 커져 eye의 폭이 작아지게 된다. 그림 9의 (a)는 위상검출기의 입력에 Linear equalizer를 적용하지 않은 것이고 그림 9의 (b)는 Linear equalizer를 사용했을 때의 측정결과이다. 그림 10은 그림 9와 같은 조건에서 측정 된 BER의 Bathtub curve를 나타낸다. 출력된 데이터의 eye의 폭을 비교했을 때 약 14-%정도 개선됨을 볼 수 있었다.

이전 발표되었던 논문들과의 특성 비교를 표 1에 나타내었다. 클럭의 peak-to-peak 지터특성은 93-ps로 Linear type을 사용한 [10]보다 30-ps이상 증가되었다. 1/8-rate 클럭을 사용하면 전력소모 면에서 상대적인 장점을 나타내지만 회로의 구성이 복잡해지고 다중위상 클럭간의 skew가 발생할 가능성이 증가한다. 이러한 클럭간의 skew로 인해 측정된 지터특성이 나빠졌고 속도 면에서 장점이 감소된 것으로 보여 진다.

#### IV. 결 론

본 논문에서는 1/8-rate 위상검출기를 사용한 클럭-데이터 복원회로를 제안하였다. 제안한 구조는 1/8-rate 클럭의 사용으로 VCO의 출력주파수를 375-MHz로 설정하여 설계에 대한 부담을 줄였고 위상검출기에 입력되는 데이터의 ISI로 인한 지터특성을 개선하기 위해 위상검출기의 입력에 Linear equalizer를 연결하여 복원된 클럭의 지터를 감소시켰다. 위상검출기의 입력에 Linear equalizer를 적용했을 때 출력데이터의 eye의 폭은 적용 안했을 때 대비 14-% 정도 개선되었다. 제안된 구조는 0.13- $\mu$ m CMOS 공정으로 제작되었고 1.2-V 공급 전압으로 동작한다. 측정 결과는 10-dB 손실을 가진 PCB trace를 통과한 3-Gb/s의 전송속도를 갖는  $2^{31}-1$  PRBS 데이터를 입력으로 사용하여 측정되었다.

#### REFERENCES

- [1] Ming-ta Hsieh and Gerald E. Sobelman, "Architectures for multi-gigabit wire-linked clock and data recovery," *IEEE Circuits and systems magazine*, pp. 45-57, Fourth Quarter 2008.
- [2] B. Rajavi,, "Design of integrated circuits for optical communications," Chicago: McGraw Hill, 2002.
- [3] M. Fukaiishi, K. Nakamura, M. Sato, Y. Tsutsui, S. Kishi, and M. Yotsuyanagi, "A 4.25-Gb/s CMOS fiber channel transceiver with asynchronous tree-type demultiplexer and frequency conversion architecture," *IEEE J. Solid-State Circuits*, vol. 33, no. 9, pp. 2139-2147, Dec. 1998.
- [4] B. Rajavi,, "Challenges in the design of high-speed clock and data recovery circuits," *IEEE Communications magazine*, pp. 94-101, Aug. 2002.
- [5] J. Savoj and B. Rajavi, "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector," *IEEE J. Solid-State Circuits*, vol. 36, pp. 761-777, May 2001.
- [6] 정기상, 김강직, 조성익, "1/4-rate 위상선택방식을 이용한 클럭 데이터 복원회로," 대한전자공학회, 전자공학회논문지-SC, 제46권 제1호 (통권 제325호), pp. 82-86, Jan 2009.
- [7] Y. L. Lee, S. J. Chang, R. S. Chu, Y. Z. Lin, Y. C. Chen, G. J. Ren, and C. M. Huang, "A 5 Gb/s 1/4-rate clock and data recovery circuit using dynamic stepwise bnag-bnag phase detector," in Proc. *IEEE Asian Solid-State Circuits Conf.*, pp. 141-144, 2012.
- [8] Koon-Lun Jackie Wong, E-Hung Chen, and Chih-Kong Ken Yang, "Edge and data adaptive equalization of serial-link transceiver," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2157-2169, Sep. 2008.
- [9] M. Hwang, S. Lee, J. Kim, S. Kim, and D. Jeong, "A 180-Mb/s to 3.2 Gb/s, continuous-rate, fast-locking CDR without using external reference clock," in Proc. *IEEE Asian Solid-State Circuits Conf.*, pp. 144-147, 2007.
- [10] Y. S. Seo, J. W. Lee, H. J. Kim, C. Yoo, J. J. Lee, and C. S. Jeong, "A 5-Gbit/s Clock- and Data-Recovery Circuit With 1/8-Rate Linear Phase Detector in 0.18- $\mu$ m CMOS Technology," *IEEE Trans. Circuits Syst. II Exp. Briefs*, vol. 56, pp. 6-10, Jan. 2009.

— 저 자 소 개 —



배 창 현(학생회원)  
2001년 영남대학교 전자공학과  
학사 졸업.  
2003년 경북대학교 전자공학과  
석사 졸업.  
2003년~현재 삼성전자 메모리사  
업무 DRAM 설계팀.

2010년~현재 한양대학교 전자컴퓨터통신공학과  
박사과정.

<주관심분야 : 음성 신호 회로설계>



유 창 식(평생회원)  
1992년 서울대학교 전자공학과  
학사 졸업.  
1994년 서울대학교 전자공학과  
석사 졸업.  
1998년 서울대학교 전자공학과  
박사 졸업.

2002년~현재 한양대학교 융합전자공학부 교수.

<주관심분야 : 음성 신호 회로 설계>