

모뎀 칩 개발을 위한 개발 체계와 개발도구

I. 서론

무선채널을 통한 고속의 정보전송이 매끄럽게 이루어지게 하기 위해서는 기지국과 단말기에 적용되는 고속 모뎀 칩의 개발이 필수적이다. 최근 있었던 언론매체의 발표에 의하면 미국 Qualcomm사는 450Mbps를 전송할 수 있는 LTE-A 모뎀을 개발하였으며 (CA(carrier aggregation) 기술기반), 내년 상반기에 칩의 출시를 앞두고 있다. 이처럼 LTE기반으로 새롭게 개발되는 최신 기술이 적용되는 신기술의 모뎀이 유효한 시기에 적절하게 출시되어야 스마트폰으로 대변되는 단말기의 경쟁력 확보에 만전을 기할 수 있다. 또한, 전송전력이 제한되어 있고, 무선 전송 품질이 매우 열악한 상황에서도 기본 기능을 충실하게 수행해야 하는 모뎀 칩의 기능상 다양한 처리 모듈을 담아야 하고 최적의 동작조건을 갖추도록 설계하여야 한다. 이를 위해서는 통신 신호처리를 위한 알고리즘 레벨에서의 검증과 성능특성을 확인하고, 실제 커스텀화 되어 있는 모뎀 칩 (ASIC)으로 대량 생산하기 위한 설계는 엄밀하게 구분되어야 한다.

본 고에서는 알고리즘 레벨에서 검증하고 성능을 확인하고 최적화하는데 필수적인 프로토타이핑 단계의 설계를 위해 활용 가능한 프로그래머블 칩셋인 FPGA기반의 개발도구와 주요 칩셋을 살펴보고 짧은 시간에 설계와 검증을 하는데 필수적인 도구들의 기본특성에 대하여 알아보려고 한다. 사용 가능한 칩의 용량과 구조에 대한 이해가 안정적인 개발과 기능의 검증에 필수적인 점을 고려할 때, 현재 제공하는 최상의 FPGA칩셋을 확인하고 개발지원 도구를 파악하는 것은 필수적이고, 시스템 개발에 있어서 기본적인 첫 단계라 할 수 있다. 따라서, 본 고에서는 기능구현을 위한 알고리즘의 선택과 시뮬레이션을 통한 성능검증 및 구현을 통한 기능의 확인 및 검증은



김 정 호
이화여자대학교
전자공학과

빠른 시장을 진입을 위한 필수적인 요소이므로, 고속정보의 송수신 처리에 필수적인 무선 모뎀 개발을 위해 필요한 개발 체계와 개발도구에 대하여 살펴보고, 무선 모뎀 기능을 갖춘 플랫폼을 선택하여 기본적인 사항을 알아보고자 한다.

우선 특정한 두 개의 업체를 선택하여 무선 모뎀 개발을 위해 활용할 수 있는 FPGA제품군과 특성에 대해 살펴보고 개발도구를 활용한 예제에 대해서 구체적인 과정을 살펴보고자 한다. 모뎀 개발에 가장 널리 활용이 가능한 고용량의 FPGA칩셋은 Altera사의 Stradix 10과 Xilinx사의 Virtex 7이므로 이를 중심으로 한 개발환경에 대해 살펴 보고자 한다.

II. 주요 FPGA 제품 및 CSoC 플랫폼

적절한 FPGA 칩 셋의 선택은 설계 검증의 첫 단추로 매우 중요한 과정이다. 왜냐하면 구현하고자 하는 모뎀 블록의 전체 gate count를 적절히 커버할 수 있어야 하고 또한 동작속도 측면에서 요구사항을 만족하여야 하기 때문이다.

〈표 1〉에는 FPGA상용소자의 입출력 핀의 수와 gate count의 수를 각 FPGA 제조사별로 나타내고 있다. 동작방식이 S-RAM 유형으로는 Xilinx사와 Altera사의 것이 널리 사용되고 있으며 논리회로 용량 측면에서 Xilinx사의 칩 셋 들이 보다 큰 크기를 지원하고 있으며 최근에 생산되는 Xilinx Virtex 7은 2000만 gate를 지원하여 현존하는 칩 셋 중에서 가장 큰 프로그램 가능한 논리회로를 제공한다. 또한 Altera사의 최신 FPGA 칩 셋은 Stradix 10으로 Intel의 14 nm Tri-Gate 공정기술을 적용하여 54Gbps 트랜시버 속도를 지원하고 단일 칩으로 최대 400만 논리 요소(logic element)를 지원하고 있다.

이와 더불어 최근의 경향은 임베디드 시스템 형태로 주변의 특정 기능을 수행하는 칩과 결합하는 형태의 시스템 개발이 활발하게 이루어지고 있다. 이와 같은 관점에서 〈표 2〉에 주어진 CSoC(configurable SoC)은 코어 CPU를 중심으로 주변에 필요한 기능을 부가하여

〈표 1〉 FPGA 상용소자

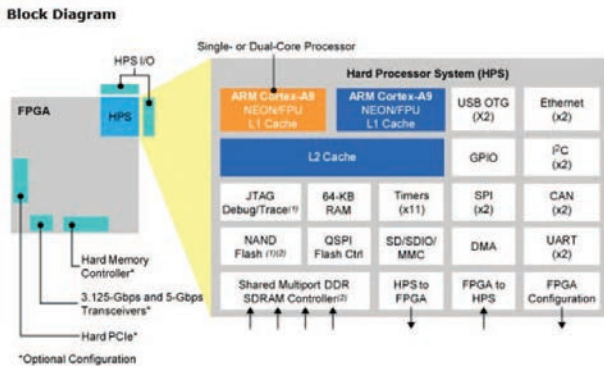
Types	회사	계열	게이트 (1,000)	사용자 입출력핀수
EEPROM	Altera	MAX 7000 MAX 9000	0.6-5 6-12	36-164 159-216
	Lattice	ispLSI 3000 ispLSI 8000 MACH 2(Cantis) MACH 5	7-20 25-45 2.5-5 5-20	130-226 148-312 32-64 68-256
	Xilinx	CoolRunneer-II	32-215	33-270
EPROM	Altera	MAX 5000 Classic EPLD	0.6-3.7 0.3-0.9	16-67 22-64
Flash	Xilinx	XC9500/XL/XV	0.8-64	34-192
	Cypress	Deita 39k	30-200	32-264
Anti-fuse	Actel	ACT 2 ACT 3	2.5-8 1.5-10	72-140 70-228
	QuickLogic	pASIC 1 pASIC 3	1-8 8-38	40-180 70-316
SRAM	Xilinx	XC 4000E Virtex-5 Spartan-3	2-85 30-330 50-5000	64-448 400-1200 124-784
	Altera	FLEX 10K APEX 20K Cyclone III Stratix III	10-250 30-1500 50-120 50-340	59-470 128-808 94-535 288-1104

〈표 2〉 CSoC 종류와 CPU Core

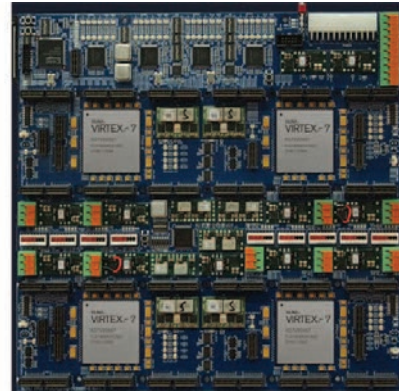
회사	계열	CPU
Triscend	E5 A7	3x-Accelerated 8-bit 8051 CISC ARM7TDMI 32-bit RISC
Atmel	FPSLIC	8-bi AVR RISC
Altera	Excalibur XM	ARM922T 32-bit RISC MIPS32™ 4Kc™ 32-bit RISC
Xilinx		PowerPC 32-bit RISC
Cypress	PSoC	M8C 8-bit RISC
QuickLogic	QuickMIPS	MIPS32™ 4Kc™ 32-bit RISC
Chameleon	CS2000	ARC 32-bit RISC
SIDSA	FIPSOC	8-bit 8051 RISC

일체형 개발이 가능한 CSoC의 종류를 보여 주고 있다.

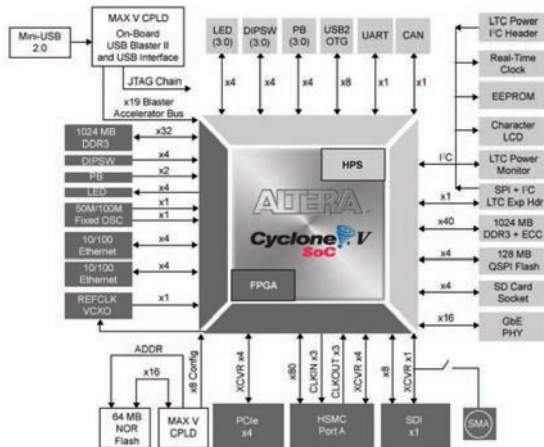
Xilinx사에서는 IBM의 PowerPC 32-bit RISC 프로세서로 코어로 Linux나 Linux기반의 Android를 탑재하여 모바일 플랫폼 하에 통합적인 개발이 가능하도록 구성하는 것이 가능하다. 〈그림 1〉에서는 ARM



〈그림 1〉 Altera사의 Cyclone V SoC Hard Processor System^[1]



〈그림 4〉 8000만 게이트 급 SoC/ASIC개발 지원 보드^[4]

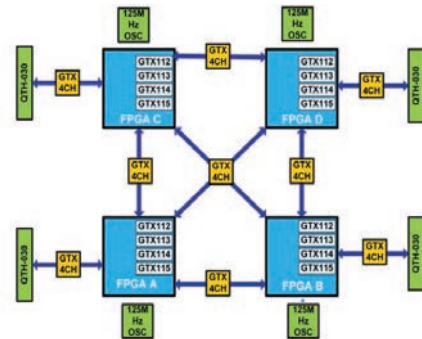


〈그림 2〉 Altera FPGA Cyclone V SoC 기본 구성^[2]

Cortex-A9기반의 듀얼 코어까지 지원 가능한 FPGA 통합형 시스템의 구성이 가능함을 보여주고 있다. 이와 같은 구성 하에서 신속한 기능 구현과 성능 검증을 이룰 수 있으며, 고속의 데이터 통신이 가능한 트랜시버를 장착함으로써 보다 유연한 시스템구성과 데이터 수



〈그림 3〉 DSP 개발 Kit [Stradix V Edition]^[3]



〈그림 5〉 4 채널 GTX 포트 지원^[5]

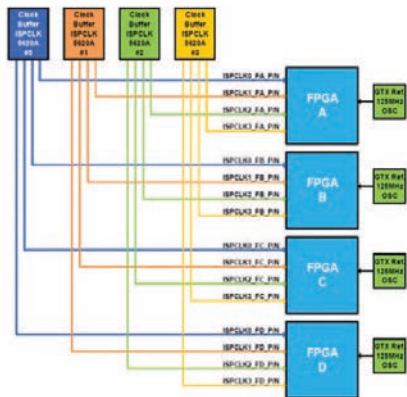
집/분석이 가능하게 되었다. 다음 〈그림 2〉는 중간급의 용량을 갖는 FPGA Cyclone V의 SoC개발 기본 구성을 보여주고 있다. 마찬가지로 외부와 고속으로 데이터를 송수신할 수 있어, 실시간으로 동작을 점검하고 기능구현에 따른 문제를 찾아낼 수 있다.

〈그림 3〉은 이와 같은 기본 구성을 토대로 가장 용량이 큰 400만개의 Logic Element(LE)를 제공하는 보드의 블록도를 나타내고 있다.

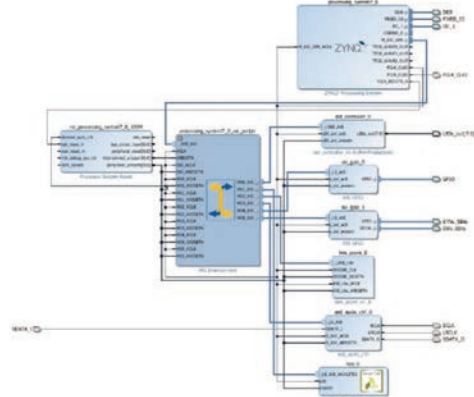
다음에 나타나 있는 〈그림 4〉는 국내의 업체에서 개발한 8000만 게이트 급의 SoC/ASIC개발 지원 시스템 보드이다.

하나의 Virtex 7 FPGA는 2000만 게이트의 논리회로 구성이 가능하고 이를 고속의 통신이 가능하도록 〈그림 5〉과 같이 GTX기반으로 상호 연결하여 연동하여 구성되어 있다.

〈그림 6〉은 FPGA 내부의 동작전압이 낮은 경우에도



〈그림 6〉 LVDS Global Clock 제공^[6]

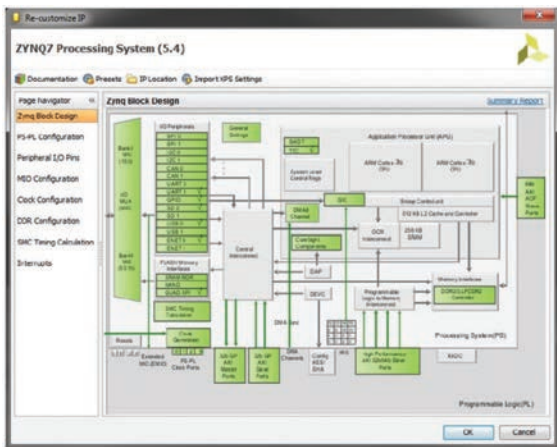


〈그림 8〉 완성된 설계 예제^[7]

잡음에 강한 동작이 필요할 경우에 사용되는 LVDS(low voltage differential signaling)를 지원하는 클럭 배분도를 보여주고 있다. 이와 같은 배분은 논리 회로의 정확한 동작을 확보하기 위한 clock skew를 최소화하여 발생할 가능성이 있는 동작상의 오류를 사전에 줄이는 효과를 기대할 수 있다.

III. 개발 도구 및 개발 지원 시스템

Xilinx사는 Vivado라는 개발도구를 통하여 기존의 ISE대비 보다 향상된 논리회로 컴파일 속도를 얻을 수 있고, 다수의 IP를 통합하여 설계하는 것을 지원하도록 하고 있다. 마찬가지로 Altera사의 경우는 Quartus II 로 보드레벨에서 최적화하고 검증할 수 있는 도구로 제



〈그림 7〉 Zynq PS Vivado IP 윈도우^[6]

공하고 있다. 또한 양사 모두 OpenCL(Open Computing Language)을 지원하여 CPU, GPU, DSP 등의 프로세서로 이루어진 이종 플랫폼에서 실행되는 프로그램을 작성할 수 있게 지원한다. 〈그림 7〉은 Xilinx사의 개발지원 도구로 Zynq라는 명칭을 갖고 있는 개발 플랫폼에서 설계를 진행하는 예를 보여주고 있으면 〈그림 8〉은 이를 통해 완성된 설계예제의 스키매틱을 보여주고 있다.

IV. 검증 및 Co-Simulation

기본적으로 시뮬레이션은 설계한 기능을 오류 없이 수행하는지를 확인하는 것이 주된 목적이고 이를 위해서 적절한 테스트 패턴을 발생시키고 테스트를 수행하여 적절한 동작이 이루어지는지를 확인하여야 한다. 이를 위해서는 설계 툴에서 지원하는 라이브러리와 기능 모듈들을 결합하여 수행한 시뮬레이션 결과(RTL; register transfer level)가 C언어로 실행한 다양한 모듈을 결합한 논리적 연산들의 수행결과와 일치하는지를 확인하여야 한다. 이것이 Co-Simulation을 수행하는 것이며 이를 통해서 상당한 오류들이 발견될 수 있고, 임계경로에 의해 초래된 오류가 있을 경우 C언어로 수행된 시뮬레이션 결과와 다른 결과를 나타낼 수 있다. 이 경우 오류의 원인을 찾아 새롭게 해당 부분을 재설계를 하거나 전 블록을 재설계하여야 하는 상황도 발생할 수 있다. 신속한 문제의 발견은 그 만큼 빠른 해결

책을 제시받을 수 있고 개발하고자 하는 타겟 시스템을 좀더 이른 시일 내에 시장에 내 놓을 수 있다.

V. 결론

본 고에서는 고속의 모뎀 칩을 설계하고 검증하는데 활용 가능한 칩 셋과 개발체계와 지원 도구에 대하여 살펴보았다. 현재의 개발 추세는 CSoC기반으로 다양한 기능을 갖는 주변 모듈을 통합 하는 방안이 널리 활용되고 있다. 따라서, 현 시점에서는 이러한 개발체계가 필요함을 인식하고 보다 신속하게 다양한 모듈을 통합하여 설계하고 검증하는 능력을 갖추는 것이 좀더 빠른 문제해결에 필수적일 것이다.

참 고 문 헌

- [1] <http://www.altera.com/devices/fpga/cyclone-v-fpgas/hard-processor-system/cyv-soc-hps.html>
- [2] <http://www.altera.com/products/devkits/altera/kit-cyclone-v-soc.html>
- [3] <http://www.xilinx.com/products/silicon-devices/fpga/virtex-7.html>
- [4] <http://www.xilinx.com/fpga/>
- [5] <http://www.xilinx.com/support/answers/46370.html>
- [6] <http://www.huins.com/m12.php?m=rd&no=284>
- [7] High-Level Synthesis Using Vivado HLS, Lab Manual, Xilinx University Program, 2013.



김 정 호

- 1991년 KAIST 학사 졸업
- 1993년 KAIST 석사 졸업
- 1999년 KAIST 박사 졸업
- 1993년~1995년 LG전자 멀티미디어 연구소
- 1999년~2000년 LG정보통신 중앙연구소
선임연구원
- 2000년~2002년 LG전자 UMTS시스템 연구소
책임연구원
- 2000년, 2009년 Virginia Tech. MPRG
(Mobile Radio Research Group) Visiting Scholar and
Visiting Professor
- 2002~ 이화여자대학교 전자공학과 부교수

〈관심분야〉

인지 네트워킹, 인지 라디오 네트워크, 인지기반 QoS제어, SDR Hardware 플랫폼 설계