

Dead-time을 갖는 톱니파 발생기를 이용한 이중 피드백 루프 기반 단일 인덕터 이중 출력 승압형 변압기 설계

Design of Single-Inductor Dual-Output Boost-Boost DC-DC Converter with Dual Feedback Loop Based on Relative Sawtooth Generator

윤 담*, 김 동 영**, 이 강 윤**

Dam Yun*, Dong-Young Kim**, Kang-Yoon Lee**

Abstract

This paper presents a control method of Single-Inductor Dual-Output DC-DC Converter using Common mode feedback and differential feedback loops. To generate duty used for differential mode feedback loop, this paper propose relative sawtooth circuit using current divider circuit which makes ramp signal with variable dead-time. Two outputs of the Single-Inductor Dual-Output DC-DC Converter are specified for 2.8 V and 4.2 V with input voltage 2.5 V. The maximum conversion efficiency of designed SIDO DC-DC Converter is 95% at total output power of 539mW. Cross regulations of Boost1 and Boost2 are 3.57% and 4% each, when increasing twice times output current.

요 약

이 논문은 Dead-time을 갖는 톱니파 발생기를 이용하여 공통모드와 차동모드 피드백 루프를 구현한 Single-Inductor Dual-Output DC-DC Converter 설계에 관한 내용을 제시하고 있다. 제어회로에는 공통모드와 차동모드 피드백 루프를 Dead-time을 갖는 톱니파 발생기를 이용하여 동시에 사용하였다. 차동모드 피드백 루프에서 duty를 생성하기 위해서 전류 분배기 회로를 사용하여 공통모드 피드백에 의한 duty에 따라 dead-time이 유동적으로 변하는 톱니파형을 만드는 회로인 Dead-time을 갖는 톱니파 발생기를 추가하여 차동모드 피드백 회로를 구성하였다. 0.35um 공정을 사용하여 설계한 SIDO DC-DC Converter는 2.5V 입력으로부터 2.8V와 4.2V의 전압을 출력하며 최대 전력변환 효율은 95%이다. 출력간의 Cross regulation은 출력전류가 2배씩 증가할 경우 Boost1과 Boost2의 출력전압은 각각 3.57%, 4% 수준을 보이고 있다.

Key words : DC-DC Converter, Control, Single-Inductor Dual-Output, PWM, Cross Regulation

1. 서론

최근 휴대용 전자기기의 사용이 많아지면서 이에 필

수적인 배터리 성능에 대한 관심이 증가하고 있다. 이에 따라 같은 배터리 용량에서도 효율적으로 배터리 전력을 관리해 줄 PMIC(Power Management IC,)의 필요성이 커지고 있다. PMIC란 칩 내에서 전력

* College of Infrmation and Communication Engineering, Sungkyunkwan University, Suwon, Korea
(E-mail : dam0710@skku.edu/031-299-4628)

** College of Infrmation and Communication Engineering, Sungkyunkwan University, Suwon, Korea

*★ College of Infrmation and Communication Engineering, Sungkyunkwan University, Suwon, Korea

★ Corresponding author(klee@skku.edu/031-299-4628)

※ "This research was supported by the MSIP(Ministry of Science, ICT&Future Planning), Korea, under the ITRC(Information Technology Research Center) support program (NIPA-2013-(H0301-13-1013) supervised by the NIPA(National IT Industry Promotion Agency)"

Manuscript received Apr. 21, 2014; revised May. 21, 2014 ; accepted May. 22, 2014

관리를 하는 IC로써 전압변환, 전압정류와 같은 역할을 한다. 대부분의 전자기기들이 하나의 배터리에서 다중의 내부 전원전압을 사용하기 때문에 다양한 전압변환회로가 필요하다.

Single-Inductor Dual-Output DC-DC Converter는 칩내 면적과 비용을 많이 차지하는 인덕터를 줄일 수 있기 때문에 최근들어 많은 관심을 받고 있는 전력변환기술이다. 기존의 Single- Inductor Dual-Output DC-DC Converter의 제어는 시간분할 방법, charge pump control 방법, 공통모드와 차동모드 피드백 루프를 이용하는 방법 등이 있다[1],[2]. 이중 피드백 루프 이용하는 제어방식은 출력간의 cross regulation에 의한 ripple이 상대적으로 적어서 출력 부하에 따른 regulation 특성이 좋다[2].

본 논문에서는 공통모드와 차동모드 피드백을 전류분배기 회로를 이용하여 간단하게 구현할 수 있는 방식을 제안하고 0.35um CMOS 공정을 이용하여 설계하였다.

II. SIDO DC-DC Converter

1. 제안하는 Single-Inductor Dual-Output DC-DC Converter 구조

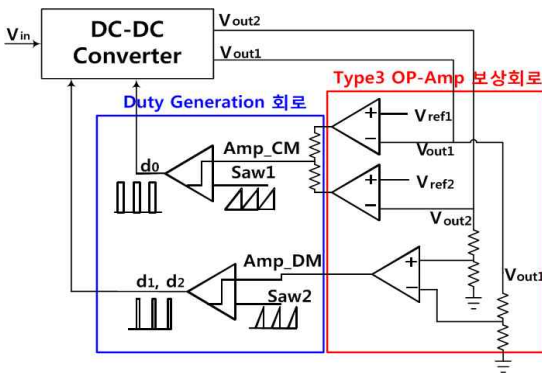


Fig. 1. Proposed SIDO DC-DC Converter Diagram
 그림 1. 제안하는 SIDO DC-DC Converter 다이어그램

논문에서 제안하는 Single-Inductor Dual-Output DC-DC Converter의 블록 다이어그램은 그림 1과 같다. 전체 DC-DC Converter는 크게 전력변환이 일어나는 코어, 출력 보상 및 기준전압과 비교하는 회로, Duty 생성회로로 구성되어 있다.

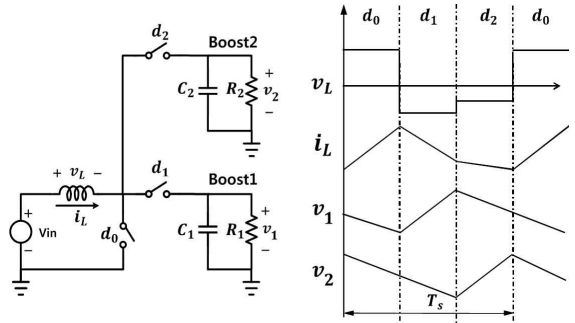


Fig. 2 Proposed SIDO DC-DC Converter Core
 그림 2. 제안하는 SIDO DC-DC Converter 코어

코어의 동작은 그림 2와 같다. 입력 Vin으로부터 승압된 출력전압 Boost1, Boost2를 얻는 구조이다. 코어의 동작은 PWM(Pulse Width Modulation)을 기본으로 한다. 코어는 정해진 스위칭 주파수를 기준으로 3 가지 위상을 갖고 d0, d1, d2 스위치들을 동작시키는 3 pulse들에 의해 동작한다. 출력전압은 입력전압과 각각의 pulse들의 duty 비율에 의해 결정된다[3].

동작원리는 첫 번째 d0 스위치가 켜지게 되면 입력으로부터 인덕터에 전류가 흐르면서 인덕터에 에너지를 축적하게 된다. 한편 입력과 연결된 스위치가 꺼진 두 출력은 출력부하 R1과 R2에 의해 방전되어 전압이 감소한다. 두 번째 d1 스위치가 켜지면 Boost1 출력 캐패시터가 인덕터에 연결된다. 이 구간에서는 Boost1의 캐패시터가 인덕터에 흐르는 전류로 에너지를 축적하게 된다. 동시에 Boost2 출력은 출력부하 R2에 의해 방전되어 전압이 감소한다. 마지막 d2 스위치가 켜지면 d1이 켜졌을 때와 같이 Boost2 출력 캐패시터가 인덕터에 연결된다. 마찬가지로 이 구간에서는 Boost2의 캐패시터가 인덕터에 흐르는 전류로 에너지를 축적하게 되며 동시에 Boost1 출력은 출력부하 R1에 의해 방전되어 전압이 감소한다.

가. 정상상태의 SIDO DC-DC Converter

다중 입력(d0, d1, d2 duty), 다중 출력 구조인 SIDO Converter를 평균화 기법을 이용한 식 (1)과, 상태변수 모델을 이용해 분석하면 식 (2), (3)와 같은 상태방정식을 얻을 수 있다[4]. 정상상태에서의 입력, 출력

$$\dot{x} = d_0 \times \dot{x}_0 + d_1 \times \dot{x}_1 + d_2 \times \dot{x}_2 \quad (1)$$

$$\dot{x}_0 = \begin{bmatrix} i_L \\ v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} 0 & -\frac{d_1}{L} & -\frac{d_2}{L} \\ \frac{d_2}{C_2} & -\frac{1}{R_1 C_1} & 0 \\ \frac{d_2}{C_2} & 0 & -\frac{1}{R_1 C_1} \end{bmatrix} x + \begin{bmatrix} \frac{1}{L} \\ 0 \\ 0 \end{bmatrix} u \quad (2)$$

$$y = \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} x \quad (3)$$

전압을 duty에 관한 식으로 나타내기 위해 편의상 $R_1 = R_2$, $C_1 = C_2$ 로 놓고 volt-sec 평형조건식과 상태방정식을 정리하면 식 (4), (5), (6)을 얻을 수 있다.

$$V_{IN} = d_1 \times V_1 + d_2 \times V_2 \quad (4)$$

$$V_1 = \frac{d_1}{d_1^2 + d_2^2} V_{IN} \quad (5)$$

$$V_2 = \frac{d_2}{d_1^2 + d_2^2} V_{IN} \quad (6)$$

전력 스테이지 동작과 정상상태의 출력전압 식에서도 볼 수 있듯이, 두 출력전압은 d_0 duty($d_0 = 1 - d_1 - d_2$)에 공통으로 비례하여 증가하고, 각각의 V_1 , V_2 전압은 d_1 , d_2 duty에 비례하여 증가하게 된다. 따라서 공통모드의 피드백을 이용하여 d_0 duty를 제어하고, 각각의 출력을 차동모드로 피드백을 통해 d_1 , d_2 duty를 제어하여 전체 SIDO Converter를 제어할 수 있다.

나. 소신호 분석

SIDO Converter의 안정성을 분석하기 위해 상태방정식 (2), (3)을 duty에 관해 정리하면 식 (7)과 같다. 여기서도 편의상 $R_1 = R_2$, $C_1 = C_2$ 로 놓고 식 (7)을 각각의 출력전압과 duty에 관해 다시 정리하면 식 (8) ~ (11)과 같은 주파수 응답특성을 얻을 수 있다(I : 정상상태에서 인덕터 평균전류).

$$\dot{\hat{x}} = \begin{bmatrix} 0 & -\frac{D_1}{L} & -\frac{D_1}{L} \\ \frac{D_1}{C_1} & -\frac{1}{R_1 C_1} & 0 \\ \frac{D_2}{C_2} & 0 & -\frac{1}{R_1 C_1} \end{bmatrix} \hat{x} + \begin{bmatrix} \frac{I}{C_1} & \frac{I}{C_2} \\ -\frac{V_1}{L} & 0 \\ 0 & -\frac{V_2}{L} \end{bmatrix} \begin{bmatrix} \hat{d}_1 \\ \hat{d}_2 \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ 0 \\ 0 \end{bmatrix} \quad (7)$$

$$\frac{v_1}{d_1} = \frac{D_1 I L R}{C(CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} - \frac{C R V_1 (CLR \cdot s^2 + L \cdot s + RD_2^2)}{L(CR \cdot s + 1) \cdot (CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} \quad (8)$$

$$\frac{v_1}{d_2} = \frac{D_1 I L R}{C(CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} + \frac{C D_1 D_2 V_2}{L(CR \cdot s + 1) \cdot (CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} \quad (9)$$

$$\frac{v_2}{d_1} = \frac{D_2 I L R}{C(CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} - \frac{C R V_2 (CLR \cdot s^2 + L \cdot s + RD_1^2)}{L(CR \cdot s + 1) \cdot (CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} \quad (10)$$

$$\frac{v_2}{d_2} = \frac{D_2 I L R}{C(CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} + \frac{C D_1 D_2 V_1}{L(CR \cdot s + 1) \cdot (CLR \cdot s^2 + L \cdot s + RD_1^2 + RD_2^2)} \quad (11)$$

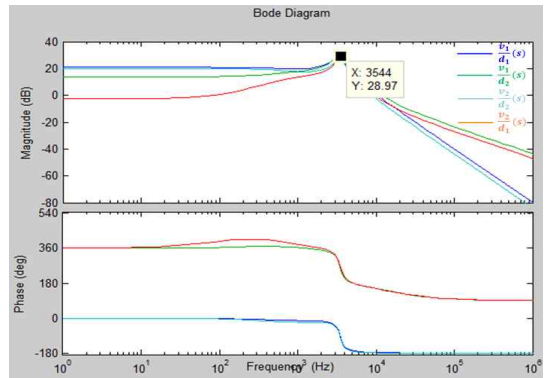


Fig. 3. $V_{out}/duty$ bode plot of SIDO DC-DC Converter Core

그림 3. SIDO DC-DC Converter Core 출력전압/duty 전달함수 Bode plot

위에서 얻은 식 (8) ~ (11)에 실제 설계에 사용한 저항 값($R_1 = R_2 = 50\Omega$), 캐패시터 값($C_1 = C_2 = 4.7\mu F$), 인덕터($L = 100\mu H$)를 대입하여 그림 3와 같은 bode plot을 얻을 수 있다. bode plot상에서 볼 수 있듯이 Single-Inductor Dual-Output 구조의 DC-DC Converter의 소신호 모델이 Single-Inductor Single-Output 구조의 DC-DC Converter와 동일하게 3.5kHz에 LC double pole이 존재하는 주파수 특성을 갖는 것을 알 수 있다. 따라서 피드백의 루프를 통해 double pole을 보상하기 위해 type 3의 OP-Amp를 이용하여 보상회로를 설계하였다.

2. SIDO DC-DC Converter 제어회로

제안하는 SIDO DC-DC Converter의 제어회로는 그

림 1과 같다. 제어회로는 두 출력전압의 평균값에 비례하여 동작하는 공통모드 피드백 루프와 두 출력전압간의 차이에 비례하여 동작하는 차동모드 피드백 루프가 동시에 동작한다. 먼저 두 출력전압의 공통모드에 비례하는 출력인 Amp_CM으로부터 d0 duty를 생성하여 공통모드 피드백 루프가 동작한다. 그리고 출력전압들의 차동모드에 비례하는 출력인 Amp_DM으로부터 d1, d2 duty를 생성하여 차동모드 피드백 루프가 동작한다. Amp_CM 출력은 톱니파 발생기 회로와 Comparator로 이루어진 duty Generation 회로를 통해 d0 duty를 만든다. Amp_DM 출력은 Dead-time

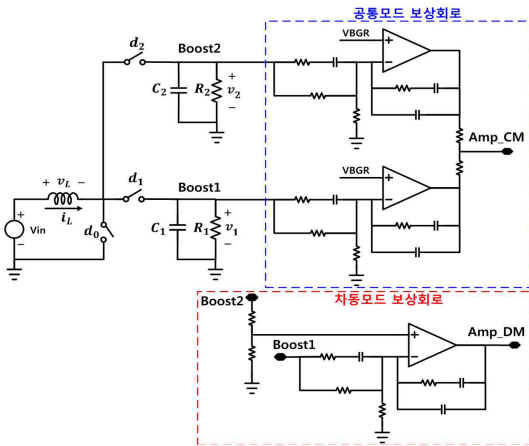


Fig. 4 SIDO DC-DC Converter Core and compensation loop

그림 4. 제안하는 SIDO DC-DC Converter 코어와 보상회로

을 갖는 톱니파 발생기와 Comparator로 이루어진 duty generation 회로를 통해 d1과 d2 duty를 만든다. 각각의 duty generation 회로를 통해 생성된 d0, d1, d2 duty는 그림 2와 같이 DC-DC Converter 코어의 스위치들을 제어하여 전력변환 동작을 한다.

가. 보상회로

DC-DC Converter는 LC double pole을 갖기 때문에 보상회로 없이는 안정적인 출력을 만들기 힘들다. 설계한 SIDO DC-DC Converter의 주파수 응답특성은 그림 3과 같다. 3.5kHz 부근에서 형성된 LC double pole을 상쇄하기 위해 Type3 OP-Amp를 사용하여 안정성을 확보하였다. 그림 5는 차동모드 피드백의

보상회로의 Type3 OP-Amp의 주파수 응답특성이다. LC double pole의 위치인 3.5kHz에 2개의 zero를 만들어 Phase Margin을 확보하여 시스템을 안정화시켰다.

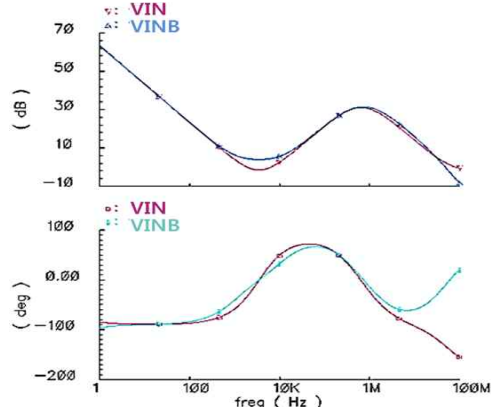


Fig. 5 Frequency response of type3 OP-Amp in differential mode compensation circuits

그림 5. 차동모드 보상회로 Type3 OP-Amp의 주파수 응답특성

나. Duty Generation 회로

제어회로에서 피드백 루프가 정상적으로 동작하기 위해서는 duty generation 회로가 공통모드에 비례하는 d0 duty, 차동모드에 대해서 선형적으로 비례하는 d1, d2 duty를 만들어야 한다. 하지만 Single-Inductor Single-Output DC-DC Converter의 duty generation 회로에서 사용하는 톱니파 발생기를 통해서 한 가지 출력에 비례하는 duty 밖에 생성 할 수 없다. 따라서 공통모드 뿐만 아니라 차동모드에 대해 선형적으로 비례하는 duty를 생성하기 위해 Dead-time을 갖는 톱니파 발생기를 제안하였다.

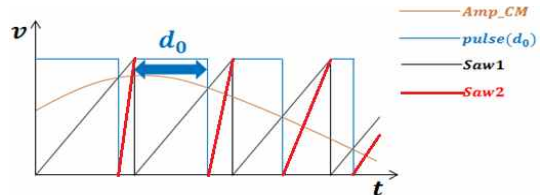


Fig. 6. Relative sawtooth wave which has dead-time proportional to d0 duty

그림 6. d0 duty에 따라 dead-time을 갖는 톱니파 파형(Saw2)

Dead-time을 갖는 톱니파 발생기란 공통모드 피드

백을 통해 생성된 d0 duty 만큼의 dead-time이 지난 후 톱니파를 만들어 내는 회로이다. 그림 6의 파형에서 볼 수 있듯이 먼저 comparator가 Amp_CM과 Saw1 (Saw tooth)신호를 비교하여 d0 duty를 갖는 pulse를 생성한다. 그리고 Saw2(Dead-time을 갖는 톱니파)신호와 Amp_DM을 비교하여 d1과 d2 duty를 갖는 pulse를 생성한다. Saw2와 같은 dead-time을 갖는 톱니파를 만들기 위해 그림 7의 a)와 같은 회로를 추가하였다. 톱니파 발생기의 전류원의 전류와 주기는 식 (12)과 같은 관계를 갖는다. 공통모드 피드백에 사용하는 톱니파 발생기는 식 (13)의 관계를 갖고, 차동모드 피드백에 사용하는 Dead-time을 갖는 톱니파 발생기는 식 (14)와 같은 관계를 갖는다. 따라서 Dead-time을 갖는 톱니파 발생기 회로의 전류원은 식 (15)와 같이 (VDD - Amp_CM)에 반비례하는 전류를 공급해야 한다. 이 동작을 위해서 그림 7의 a)와 같은 전류 분배기 회로를 이용하여 식 (15)의 동작을 구현하였다[5]. 전류 분배기 회로는 식 (16)와 같은 동작을 하므로 I_y를 (VDD - Amp_CM)에 비례하게 만들어 Dead-time을 갖는 톱니파 발생기 회로 동작을 구현하였다.

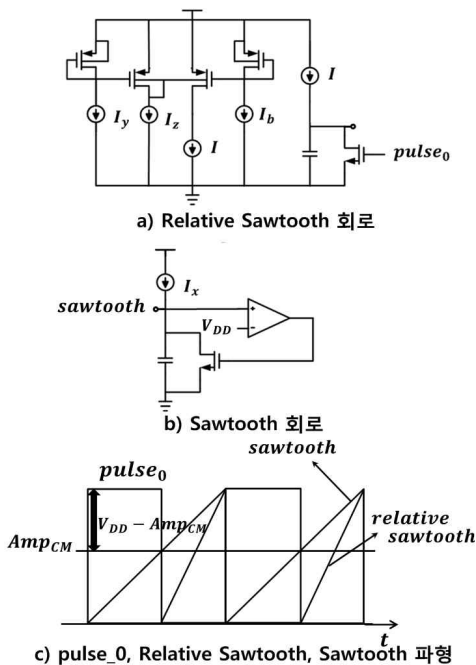


Fig. 7. Relative sawtooth generator
그림 7. Dead-time을 갖는 톱니파 발생기 회로

$$V_{DD} = \frac{I_{source}}{C} \times T \tag{12}$$

$$V_{DD} = \frac{I_x}{C} \times T_S \tag{13}$$

$$V_{DD} = \frac{I}{C} \times (1 - D_0)T_S \tag{14}$$

$$I = \frac{1}{1 - \frac{AMP_{CM}}{V_{DD}}} \times I_X \tag{15}$$

$$I = I_b \times \frac{I_z}{I_y} \tag{16}$$

차동모드 피드백 회로에서는 그림 8과 같이 생성된 Dead-time을 갖는 톱니파와 Amp_DM을 비교하여 d1, d2 duty를 만들고, 공통모드 피드백 회로에서 먼저 생성한 d0와 함께 SIDO DC-DC Converter의 코어의 스위치들을 제어하여 동작하게 만든다.

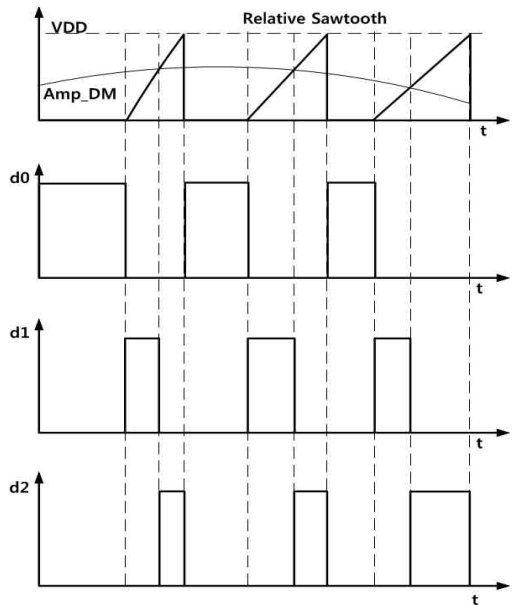


Fig. 8 d0, d1 and d2 waves generated by duty generator

그림 8. duty 생성회로에서 생성된 d0, d1, d2 파형

III. 시뮬레이션 결과

공통모드와 차동모드 피드백을 통해 생성된 duty들과 이때의 인덕터 전류는 그림 9과 같다. 스위치를 동작시키는 duty들이 식(4) ~ (6)의 정상상태의 출력

전압 관계식의 결과와 거의 일치하는 것을 확인할 수 있다.

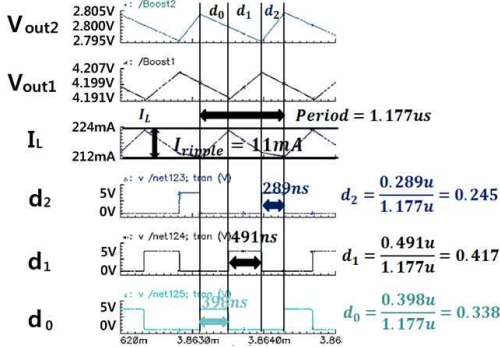


Fig. 9. Inductor current and switching duties at steady state

그림 9. 정상상태의 인덕터 전류 및 스위칭 duty

전력변환을 통한 출력 전압들은 그림 10에서 볼 수 있다. Boost1 출력의 평균전압은 4.1985V로 0.036%의 오차를, Boost2 출력의 평균전압은 2.8001V로 0.0035%의 오차를 보이고 있다. 각각의 ripple치는 13.7mV, 10.8mV 수준을 보이고 있다.

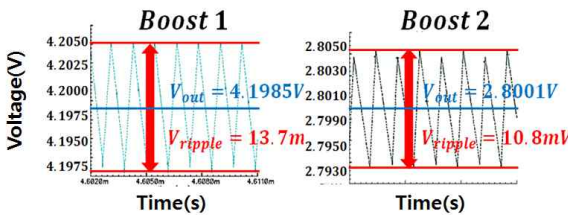


Fig. 10. Averaged output voltages and output ripples
그림 10. 평균 출력전압 및 출력전압 ripple

각각의 출력부하가 변함에 따른 cross regulation 특성은 그림 11에서 볼 수 있다. Boost1 출력전류가 140mA에서 280mA로 증가 했을 때, Boost2 출력의 cross regulation은 100mV 가량($\Delta V/V=3.57\%$)을 보이고 있다. Boost2 출력 전류가 93.3mA에서 186.7mA로 증가했을 때, Boost1 출력의 cross regulation은 170mV 가량($\Delta V/V=4\%$)을 보이고 있다.

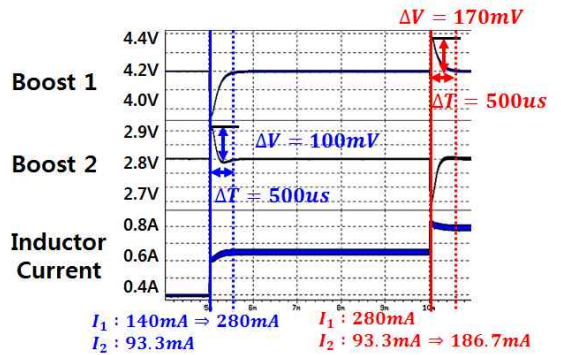


Fig. 11. Cross regulation Simulation results
그림 11. Cross regulation Simulation 결과

구성된 feed back loop의 stability는 그림 12에서 볼 수 있다. 그림 12의 결과는 closed loop에서의 system 전체의 전달함수 특성이며 출력전압과 duty에 관한 전달함수의 bode plot으로, worst case에 30°의 phase margin을 확보하였다.

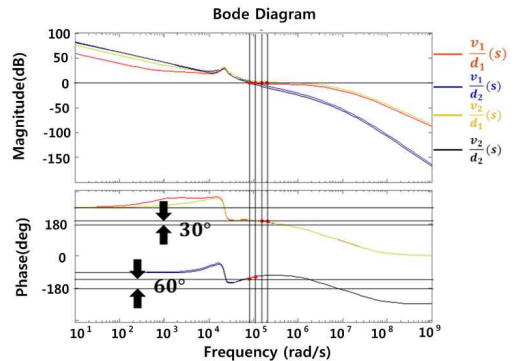


Fig. 12. Vout/duty bode plot of overall SIDO DC-DC Converter Core

그림 12. 전체 SIDO DC-DC Converter의 출력/duty 전달함수 Bode plot

출력전류에 따른 효율은 그림 13의 그래프에서 볼 수 있다. 효율이 출력전류가 증가함에 따라 일정한 경향을 보이지 않는 것은 각각의 출력전류의 비율에 따라 효율의 차이를 보이기 때문이며 그림 13의 출력전류는 Boost1과 Boost2의 총 출력전류로 각각의 출력전류 차이가 심할 때는 효율이 감소하는 경향을 보이고 출력전류 차이가 크지 않을 경우 출력전류가 증

가하면 효율이 증가하는 경향을 보인다. 표 1은 전체 성능을 요약하였다.

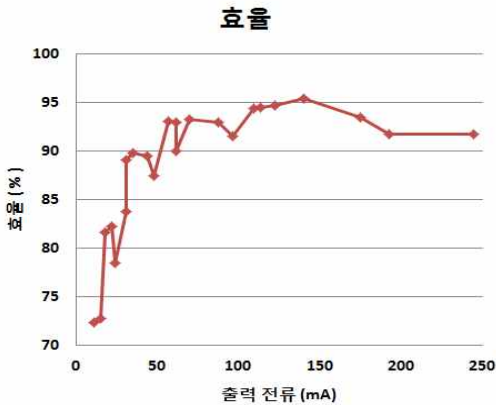


Fig. 13. Efficiency at output current variation

그림 13. 출력전류에 따른 효율

Table 1. Performance summary

표 1. 성능 요약

Parameter	Value (Boost1 / Boost2)
Process	CMOS 0.35um
Switching Frequency	850kHz
Phase Margin (Worst)	30°
Output Ripples	13.7mV / 10.8mV
Efficiency(Maximum)	95.4%
Cross-Regulation ($\Delta I = 93.3\text{mA}/140\text{mA}$)	170mV / 100mV (4% / 3.57%)

IV. 결론

제안하는 Single-Inductor Multiple-Output DC-DC Converter의 구조는 공통모드 피드백과 차동모드 피드백을 동시에 이용하므로 Cross Regulation이 상대적으로 적다. 또한 기존의 복잡하고 면적을 많이 차지하는 방식에 비해 단순한 제어회로를 사용하였다. CMOS 0.35um 공정을 이용하여 설계된 회로는 850kHz의 스위칭 주파수로 동작하고 부하 전류가 70mA이상에서는 90% 이상의 효율을 갖으며, 부하전류가 140mA일 때 최대 95.4%의 효율 특성을 보인다. 스위칭 MOS의 size는 $W=20,000\mu\text{m}$, $L=0.35\mu\text{m}$ 를 사용하였다. 본 논문에서 제안하는 SIDO DC-DC

Converter의 제어기법은 다양한 출력을 갖는 Boost Converter의 전력변환에 적용될 수 있다.

References

[1] Chia_Min Chen, Te-Wen Liao, Kai-Hsiu Hsu, Chung-chig Hung, "A Single-Inductor Multiple-Output Boost Converter With Freewheel Charge-Pump Control", Department of Electrical Engineering, National Chiao Tung University, Hsinchu, Taiwan.

[2] Pradipta Partra, Jyotirmoy Ghosh, Amit Patra, "Control Scheme for Reduced Cross-Regulation in Single-Inductor Multiple-Output DC-DC Converters", *IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS*, Vol. 60, no.11, 2013

[3] Pradipta Partra, Amit Partra, "A Single-Inductor or Multiple-Output Switcher With Simultaneous Buck, Boost, and Inverted Outputs", *IEEE TRANSACTIONS ON POWER ELECTRONICS*, Vol. 27, no. 4, 2012

[4] Weiwei Xu, Ye Li, Xiaohan Gong, Zhilang Hong, "A Dual-Mode Single-Inductor Dual-Output Switching Converter With Small Ripple", *IEEE TRANSACTIONS ON POWER ELECTRONICS*, vol. 25, no. 3, 2010.

[5] Munir A.Al-Absi, "Low-Voltage and Low-Power CMOS Current-mode Divider and 1/x Circuit", *International Conference on Electronic Devices, Systems and Applications*, pp.245-247, 2010

BIOGRAPHY

Dam Yun (Student Member)



2014 : BS degree in Electrical Engineering, Sungkyunkwan University.

2014~ : MS degree in Electrical Engineering, Sungkyunkwan University.

Dong-Young Kim (Student Member)

2013 : BS degree in Electrical Engineering, Sungkyunkwan University.

2013~ : MS degree in Electrical Engineering, Sungkyunkwan University.

Kang-Yoon Lee (Member)



1996 : BS degree in Electrical Engineering, Seoul National University.

1998 : MS degree in Electrical Engineering, Seoul National University.

2003 : MS degree in Electrical Engineering, Seoul National University.

2003~2005 : Manager of the Analog Division, GCT Semiconductor Inc.

2005~2011 : Associate Professor in Department of Electronic Engineering, Konkuk University.

2012~ : Associate Professor in College of Information and Communication Engineering, Sungkyunkwan University.