

Super Junction MOSFET의 공정 설계 최적화에 관한 연구

강이구^{1,a}

¹ 극동대학교 태양광공학과

Optimal Process Design of Super Junction MOSFET

Ey Goo Kang^{1,a}

¹ Department of Photovoltaic Engineering, Far East University, Eumseong 369-851, Korea

(Received July 17, 2014; Accepted July 24, 2014)

Abstract: This paper was developed and described core-process to implement low on resistance which was the most important characteristics of SJ (super junction) MOSFET. Firstly, using process-simulation, SJ MOSFET optimal structure was set and developed its process flow chart by repeated simulation. Following process flow, gate level process was performed. And source and drain level process was similar to general planar MOSFET, so the process was the same as the general planar MOSFET. And then to develop deep trench process which was main process of the whole process, after finishing photo mask process, we developed deep trench process. We expected that developed process was necessary to develop SJ MOSFET for automobile semiconductor.

Keywords: Super junction, n-pillar, p-pillar, On-resistance, Breakdown voltage, Trench angle, Power devices, Power MOSFET, Epi-layer, Process design, Process parameter, Design parameter

1. 서 론

Super junction MOSFET 구조는 기존의 기본 power MOSFET에 super junction 구조를 추가하여 온저항을 획기적으로 낮춤으로써 현재 power 반도체의 한 시대를 이끌어나가는 구조로서 각광받고 있다. 하지만 이 super junction 구조는 공정상으로 구현이 어렵기 때문에 이에 대한 최적화 연구가 진행되고 있다 [1,2]. 현 power 반도체 시장에서는 전기적인 특성 향상을 위한 연구가 계속 진행되고 있다. 하지만 기본 물질인 silicon을 기반으로 하고 있기 때문에

silicon이 아닌 다른 물질을 사용하지 않는 이상 한계점에 도달할 수밖에 없다 [3,4]. 이 silicon의 최대 한계 지점까지 온 상태 전압강하와 항복전압과의 트레이드오프 최대치를 극복하기 위하여 제안된 구조가 SJ (super junction) MOSFET이다. 높은 농도의 N pillar 영역에 P pillar를 깊게 형성하여 낮은 온저항과 높은 항복전압을 얻을 수 있다 [5-7]. Super junction MOSFET을 구현하는 방법에는 multi-epi process와 trench filling process가 있다. Trench filling process는 multi-epi process에 비해서 p pillar의 내부에 void가 형성되기 쉽기 때문에 공정이 더 어렵지만 multi-epi 구조에 비해 더 양호한 profile로 super junction MOSFET의 핵심인 charge balancing이 잘 이루어져 이로 인해 더 낮은 온저항 특성과 높은 항복전압 값을 가진다.

따라서 본 논문에서는 SJ (super junction)

a. Corresponding author; keg@kdu.ac.kr

MOSFET의 고효율화를 위해서 공정시물레이터를 통해 공정파라미터를 도출한 다음, 이를 실제 공정개발에 적용하여 최적화된 SJ MOSFET의 공정 설계를 진행하였다.

2. 실험 방법

2.1 실험을 위한 SJ MOSFET의 구조

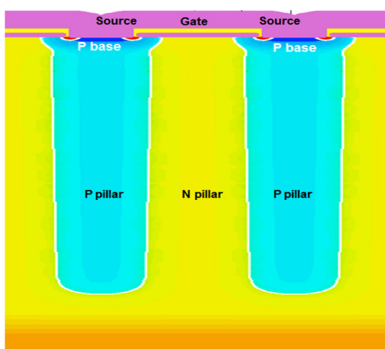


Fig. 1. The structure of SJ MOSFET for experiments.

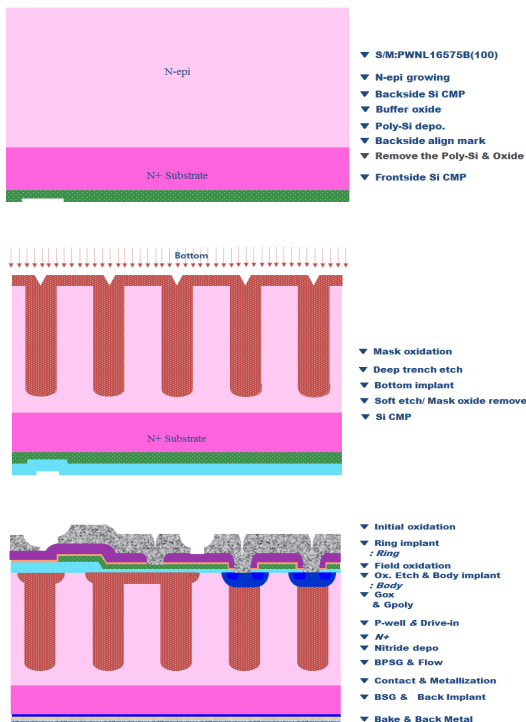


Fig. 2. The process flowchart of SJ MOSFET for experiments.

그림 1은 공정개발을 위한 SJ MOSFET의 구조를 나타내고 있으며, 그림 2에서는 SJ MOSFET의 공정 순서도를 나타내고 있다. 기본적으로 SJ MOSFET은 n/p pillar층을 제외하고는 일반 planar MOSFET의 공정 순서와 매우 유사한 점을 갖고 있다. 그러나 n/p pillar를 형성하기 위해 매우 어려운 공정을 갖고 있기 때문에 deep trench 공정에 대한 연구를 심도 있게 할 필요가 있다고 판단된다. 따라서 본 논문에서는 이러한 측면에서 실험을 진행하였다.

3. 결과 및 고찰

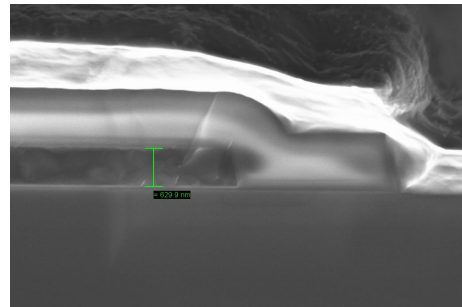


Fig. 3. The SEM image of gate oxide profile.

그림 3은 실험을 통해 얻은 게이트 산화막의 SEM 사진을 보여주고 있다. 또한, 산화막 링 에치 시 Cd-SEM 상으로는 문제가 없는 것으로 확인되었으나, V-SEM 확인 시 oxide profile이 좋지 않아 bake 온도 변경 등 여러 조건을 변경하여 profile을 최적화 하였음을 알 수 있다.

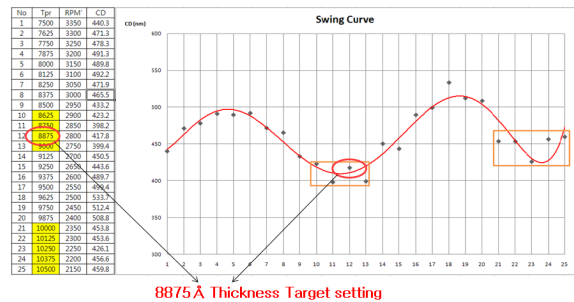


Fig. 4. Swing curve check & PR thickness target setting.

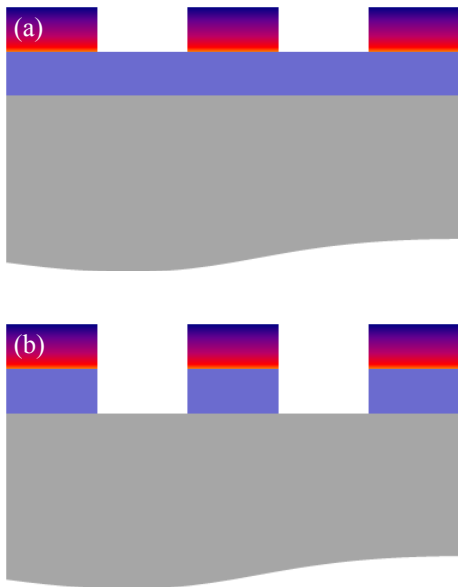


Fig. 5. Photo process for deep trench etching. (a) hard mask film deposition and photo process and (b) hard mask etch.

단위 공정의 또 하나의 핵심인 PR thickness에 대해서는 그림 4에 나와 있는 것과 같이 PR의 두께와 target setting을 반복적으로 조절함으로써 그 값을 최적에 가깝게 하였음을 알 수 있다. 그런데, SJ MOSFET의 구현에 있어서 가장 어려운 점은 epi 성장 방식인데, 이는 p-pillar 부분의 균일하지 못한 성장으로 charge balance 및 e-field 영역을 구현하는데 어려움이 있을 수 있기 때문이다.

본 논문에서는 이런 p-epi 영역을 채우는 어려움을 해결하기 위하여 3 step-deposition 방식을 선택하였다. Epi filing을 위해서는 epi-depo의 uniformity가 중요한 요소이기 때문에 epi deposition 공정을 3-depo로 진행하였다.

Super junction MOSFET 단위공정 개발을 위하여 photo 공정을 진행하여야 하며, deep trench 공정을 위해서는 photo pattern이 중요한 요소이다. 또한, photo 공정에서 노광을 하기 위하여 PR의 두께 결정이 중요한 사항이며, photo 공정 진행을 위하여 photo resister의 두께가 기존의 planar 공정에 비해 훨씬 더 두꺼워야 하며, 이를 위하여 각 단위 공정의 사양을 최적화시키는 작업을 완료하였다.

시제품에 적용하기 위하여 본 과제에서 가장 중요한 공정인 trench etch 공정을 진행하였다.

Table 1. The condition of real patterning.

Step	Condition	Equipment
Pre cleaning	SPM + DHF	Wet station
Oxidation	10,000 Å ± 200 Å	Furnace
Trench pattern	Pitch= 5 μm, depth=40 μm	Stepper
Oxide open	7 μm	Dry etcher
PR remove	H ₂ SO ₄ +APM	Wet etch

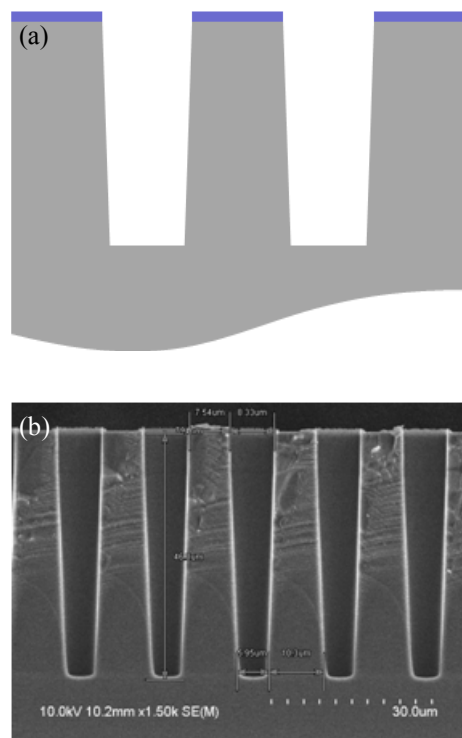


Fig. 6. The result of deep trench etch process. (a) deep trench etch using process simulation and (b) the SEM image of deep process.

또한, 본 논문에서 trench 공정 진행은 non Bosch type Si trench test를 실시하였다. 이유는 back side 부 라벨링에 의해 He leak 발생으로 공정 진행을 방해하는 요소들을 제거할 수 있기 때문이다.

그림 6은 SJ MOSFET의 핵심공정인 Deep trench 공정에 대해서 공정시뮬레이션 결과와 실제 진행한 공정의 사진을 비교한 것이다. 반복된 실험을 통하여 deep trench 공정을 최적화하여 실제 소자 제작에 충분히 활용할 수 있는 공정을 개발하였다.

4. 결 론

본 논문에서는 SJ MOSFET의 가장 큰 장점인 낮은 온 저항을 구현하는 핵심공정을 개발하여 서술하고자 하였다. 우선적으로 공정시뮬레이션을 이용하여 SJ MOSFET의 최적 구조를 설정하였으며, 반복 시뮬레이션을 통해 그에 따른 공정 흐름도를 개발하였다. 공정흐름에 따라 게이트 단의 공정을 수행하였으며, 소오스와 드레인단의 공정은 일반 planar MOSFET의 공정과 유사하여 그대로 진행하였다. 그 다음으로 핵심공정인 deep trench 공정을 개발하기 위하여 photo mask 공정을 수행한 후 deep trench 공정을 개발 완료하였다. 개발된 공정은 자동차용 반도체로 주목받고 있는 SJ MOSFET 개발에 더욱 더 활용할 수 있을 것으로 판단된다.

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, **24**, 713 (2011).
- [3] M. A. Paul and D. J. Bates, *Electronic Principles* (McGraw-Hill College, 2006)
- [4] E. Gates and L. Chartrand, *Introduction to Electronics, 4ed.* (Delmar, 2001)
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, **22**, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, **7** (2006).
- [7] W. H. Hayt, Jr. *Eng. Ineer. Ingelect. Romagnetics-7/E* (McGraw-Hill, 2005)