

## 공정 단계에 따른 박형 Package-on-Package 상부 패키지의 Warpage 특성 분석

박동현 · 정동명 · 오태성<sup>†</sup>

홍익대학교 공과대학 신소재공학과

### Warpage Characteristics Analysis for Top Packages of Thin Package-on-Packages with Progress of Their Process Steps

D. H. Park, D. M. Jung and T. S. Oh<sup>†</sup>

Department of Materials Science and Engineering, Hongik University, 94 Wausan-ro, Mapo-gu, Seoul 121-791, Korea

(2014년 6월 10일 접수: 2014년 6월 24일 수정: 2014년 6월 26일 게재확정)

**초 록:** 박형 package-on-package의 상부 패키지에 대하여 PCB 기판, 칩본딩 및 에폭시 몰딩과 같은 공정단계 진행에 따른 warpage 특성을 분석하였다. 100  $\mu\text{m}$  두께의 박형 PCB 기판 자체에서 136~214  $\mu\text{m}$  범위의 warpage가 발생하였다. 이와 같은 PCB 기판에 40  $\mu\text{m}$  두께의 박형 Si 칩을 die attach film을 사용하여 실장한 시편은 PCB 기판의 warpage와 유사한 89~194  $\mu\text{m}$ 의 warpage를 나타내었으나, 플립칩 공정으로 Si 칩을 PCB 기판에 실장한 시편은 PCB 기판과 큰 차이를 보이는 -199~691  $\mu\text{m}$ 의 warpage를 나타내었다. 에폭시 몰딩한 패키지의 경우에는 DAF 실장한 시편은 -79~202  $\mu\text{m}$ , 플립칩 실장한 시편은 -117~159  $\mu\text{m}$ 의 warpage를 나타내었다.

**Abstract:** Warpage of top packages to form thin package-on-packages was measured with progress of their process steps such as PCB substrate itself, chip bonding, and epoxy molding. The 100  $\mu\text{m}$ -thick PCB substrate exhibited a warpage of 136~214  $\mu\text{m}$ . The specimen formed by mounting a 40  $\mu\text{m}$ -thick Si chip to such a PCB using a die attach film exhibited the warpage of 89~194  $\mu\text{m}$ , which was similar to that of the PCB itself. On the other hand, the specimen fabricated by flip chip bonding of a 40  $\mu\text{m}$ -thick chip to such a PCB possessed the warpage of -199~691  $\mu\text{m}$ , which was significantly different from the warpage of the PCB. After epoxy molding, the specimens processed by die attach bonding and flip chip bonding exhibited warpages of -79~202  $\mu\text{m}$  and -117~159  $\mu\text{m}$ , respectively.

**Keywords:** Package-on-package, PoP, warpage, flip chip, die attach film, epoxy molding

## 1. 서 론

글로벌 시장 조사 컨설팅 업체의 보고에 따르면 2014년 PC와 모바일 기기를 포함한 전자기기의 출하량이 2013년 대비 6.9% 증가한 25억대에 이를 것으로 전망되고 있다.<sup>1,2)</sup> 전자기기 중에서 가장 큰 비중을 차지한 것은 스마트폰으로 19억대에 이를 것으로 분석되었으며, 태블릿 PC는 2013년 대비 38.6% 증가하는 반면 데스크톱과 노트북 등 기존 PC 시장은 6.6% 감소할 것으로 예상되었다.<sup>1,2)</sup> 또한 올해 안으로 사상 처음으로 태블릿 PC의 출하량이 기존 PC의 출하량을 앞설 것이란 분석도 나오고 있다.<sup>1,2)</sup> 이러한 시장 추세에서 알 수 있듯이 모바일 기기가 기존 전자기기를 대체하며 시장의 중심으로 성장하고

있으며, 이에 부응하기 위해 반도체 소자들에 대해서도 모바일 기기에 적용하기 위한 기술개발이 요구되어 왔다. 작고 얇으면서도 고성능과 다기능을 만족하기 위한 기술개발 로드맵과 전력 소모가 적어 장시간 사용가능하고 더 저렴한 제품을 선호하는 소비자의 요구를 모두 만족시킬 수 있는 모바일 기기용 반도체 소자를 구현하기 위해 System-in-Package (SiP), Package-on-Package (PoP)와 같은 3차원 적층 패키지의 기술 개발이 활발히 이루어지고 있다.<sup>3-9)</sup> 이와 같은 3차원 패키지 기술 중에서 PoP는 상부 패키지와 하부 패키지의 개별적인 패키지를 솔더볼 조인트를 통해 서로 적층하여 이루어지며, 서로 다른 이종의 칩을 조합할 수 있기 때문에 다양한 기능을 갖는 반도체 소자로 응용성이 뛰어나다.<sup>6,7)</sup> 또한 상부와 하부 각각

<sup>†</sup>Corresponding author  
E-mail: ohts@hongik.ac.kr

© 2014, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

의 패키지들을 적층하기 전에 테스트할 수 있기 때문에 Known Good Die (KGD) 패키지만을 미리 선별하여 적층할 수 있어 수율을 향상시킬 수 있다는 장점이 있다.<sup>6,8,10,11)</sup>

PoP 공정 중 가장 큰 이슈가 되는 것은 상부 패키지와 하부 패키지의 적층 공정시 warpage에 의한 솔더볼 접속부의 open joint가 발생하는 것이다.<sup>3-7)</sup> Warpage의 발생은 패키지를 구성하고 있는 여러 재료들 사이의 열팽창계수 차이 때문에 발생하는 열응력에 기인한다.<sup>3,5-7)</sup> 모바일 전자기기 시장의 치열한 기술 경쟁 속에서 더욱 작고 얇은 PoP 제품이 요구되고 있으며, 특히 패키지 두께가 감소하는 방향으로 지속적인 기술 개발이 이루어지고 있다. 패키지의 두께를 감소시키기 위해서는 필연적으로 패키지의 각 구성 요소인 PCB 기판, Si 칩과 EMC 몰드의 두께를 박형으로 제조하는 것이 필요하게 된다. 이와 같이 PoP의 전체 두께 및 각 구성 요소가 얇아지면서 warpage를 제어하는 것이 더 어렵게 되며, 이에 따라 PoP의 warpage가 제조공정뿐만 아니라 신뢰도에도 점점 더 큰 이슈로 부각되고 있다. 박형 PCB 기판과 박형 Si 칩을 사용한 PoP 패키지의 warpage는 리플로우 솔더볼 접속 공정에서의 open joint의 가장 중요한 원인으로 작용하게 된다. 또한 칩과 기판 사이의 솔더 범프 및 PoP 상부 패키지와 하부 패키지 사이의 솔더볼에 과도한 응력이 집중되며, 이에 따른 파괴가 PoP 제품의 장시간 신뢰성에 문제를 발생시킬 수 있으므로 패키지의 warpage를 최대한 방지하는 것이 필요하다.<sup>12,13)</sup>

패키지의 warpage를 방지하기 위해서는 패키지의 재료물성, 패키지 구조와 공정 조건의 최적화를 위한 연구가 이루어져야 한다. 본 연구에서는 PoP의 warpage를 방지하기 위한 기초 연구로서 PoP 상부 패키지에 대해 각 공정단계에 따른 warpage의 변화거동을 분석하였다. 이를 위해 첫 번째로 박형 PCB 기판의 warpage를 측정하였다. 다음에는 칩 접속공정 차이에 따른 warpage를 분석하기 위해 die attach film (DAF)을 사용하여 칩을 기판에 접착시키는 DAF 본딩법과 Si 칩에 솔더 범프를 형성하여 PCB 기판의 Cu 패드에 칩을 직접 접속시키는 플립칩 본딩법으로 칩을 접속한 시편들의 warpage를 측정하였다. 이후 epoxy molding compound (EMC)를 사용하여 칩 몰딩공정을 진행 후, EMC 몰딩된 패키지의 warpage를 측정하였다.

## 2. 실험 방법

PoP의 상부 패키지 제작을 위해 Fig. 1과 같은 14 mm×14 mm 크기에 두께가 100 μm인 PCB 기판을 설계하였다. Fig. 1의 설계도면과 같이 PCB 기판은 상부 표면에 플립칩 공정을 진행할 수 있도록 daisy chain 형태의 Cu 패드를 기판 중앙부에 설계하였다. PCB 기판의 하부 표면에는 PoP 적층을 위한 솔더볼을 부착하기 위하여 직경 250 μm, 간격 500 μm의 solder resist (SR) 오픈 패턴을 형

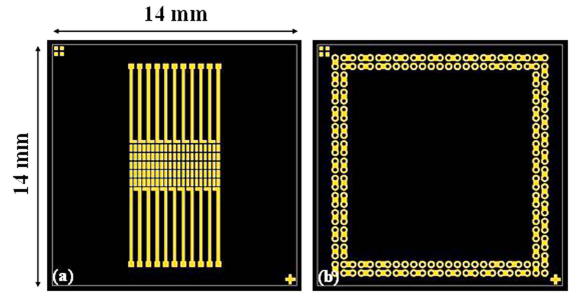


Fig. 1. CAD design of (a) top surface and (b) bottom surface of top package for package-on-package process.

성하였다. PCB 기판의 core 두께는 60 μm이며, core의 상부 및 하부에 15 μm 두께의 Cu 층으로 회로 패턴을 형성하였다. 그 후 솔더볼 리플로우 공정 중에서 솔더의 퍼짐을 막기 위해 20 μm 두께의 SR 층을 형성하여 기판의 전체 두께가 100 μm가 되도록 하였다.

플립칩 공정으로 기판에 실장하기 위한 칩 시편은 다음의 공정으로 제작하였다. 우선 0.1 μm 두께의 SiO<sub>2</sub>가 열산화법으로 형성된 550 μm 두께의 p형 (100) Si 웨이퍼에 Ti(0.1 μm)/Cu(2 μm)/Ti(0.1 μm) 박막을 DC 마그네트론 스퍼터링으로 형성하였다. Ti/Cu/Ti 다층박막에서 첫 번째 Ti 층은 접착층이며, Cu 층은 Cu/Sn 범프의 전기도금 씨앗층 및 conductor line의 역할을 한다. 가장 상부에 형성한 Ti 층은 리플로우 공정시 Sn의 젖음 방지층 및 conductor line인 Cu의 산화 방지막 역할을 한다. 이와 같은 Ti/Cu/Ti 다층박막에 AZ4620 photoresist (PR)를 이용한 노광공정을 통하여 50 μm 직경과 250 μm 피치를 갖는 원형 PR 패턴을 형성하였다. 그런 다음에 원형 PR 패턴에서 노출된 Ti/Cu/Ti 다층박막의 상부 Ti 층을 10% HF 용액을 사용하여 제거하고, 62.42 g/L의 CuSO<sub>4</sub>·5H<sub>2</sub>O, 98 g/L의 H<sub>2</sub>SO<sub>4</sub>, 0.17 g/L의 CuCl<sub>2</sub>, 0.3 g/L의 polyethylene glycol (PEG) 및 10 ppm의 3-3-mercapto-1-propane sulfonic acid, sodium salt (MPS)의 조성을 갖는 Cu 도금용액 내에서 10 mA/cm<sup>2</sup>의 전류밀도를 인가하여 Cu를 20 μm 두께로 도금하였다. 이와 같은 시편을 Sn 상용 도금용액에 장입하고 10 mA/cm<sup>2</sup>의 전류밀도를 인가하여 30 μm 높이의 Sn 범프를 형성하였다. 이후 Si 웨이퍼의 뒷면을 backside grinding 하여 40 μm 두께로 줄인 후, dicing saw를 이용하여 7 mm×7 mm 크기로 절단하여 플립칩 공정용 Si 칩을 완성하였다. 플립칩 본딩 공정을 위해 언더필을 PCB 기판에 도포한 후, 90°C에서 4.9 N의 하중을 인가하며 칩을 기판에 배열하고 280°C까지 승온 후 49 N의 본딩하중을 가하면서 1분간 유지하여 Sn을 리플로우시켜 플립칩 접속하였다.

DAF를 이용하여 PCB 기판에 실장하기 위한 칩 시편은 550 μm 두께의 p형(100) Si 웨이퍼를 양면 chemical-mechanical-polishing (CMP) 공정을 사용하여 40 μm로 thinning 한 후, dicing saw를 사용하여 7 mm×7 mm 크기

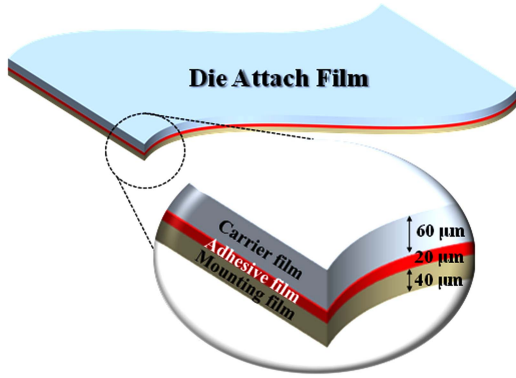


Fig. 2. Schematic illustration of laminated structure of die attach film.

로 절단하여 제작하였다. DAF는 다층구조로서 Fig. 2의 모식도와 같이 접착층을 보호하기 위한 60 μm 두께의 캐리어 필름과 40 μm 두께의 마운팅 필름 사이에 칩 실장에 사용되는 20 μm 두께의 접착층이 있는 구조로 구성되어 있다. DAF 칩 실장을 위해 우선 DAF의 캐리어 필름을 제거한 뒤 60°C에서 Si 칩 표면에 접착층을 부착시켜 라미네이션 시켰다. 이후 마운팅 필름 위로 200 mJ/cm<sup>2</sup>의 자외선을 조사하여 접착층과 마운팅 필름간의 접착력을 약화시켜 마운팅 필름을 떼어내었다. 그런 다음에 접착층만이 붙어있는 칩을 PCB 기판에 배열한 후 130°C에서 9.8 N의 하중을 가하면서 30분간 유지하여 칩을 기판에 본딩하였다.

플립칩 공정과 DAF 실장공정이 완료된 시편들을 각기 EMC 몰딩용 지그에 장입한 후 Fig. 3의 온도/하중 프로파일을 사용하여 200°C로 승온하고 980 N의 하중을 가하면서 1시간 유지한 후 상온으로 냉각시켜 13 mm×13 mm 크기와 250 μm 두께를 갖는 EMC 몰드를 형성하였다.

PCB 기판, 플립칩 공정과 DAF 공정으로 칩을 PCB에 실장한 시편들 및 EMC 몰딩이 완료된 시편들에 대해 shadow moiré 측정법을 사용하여 25~260°C에서 warpage를 측정하였다. Shadow moiré로 warpage를 측정할 때 PCB의 경우에는 PCB 기판을 뒤집어서 하부 표면이 위

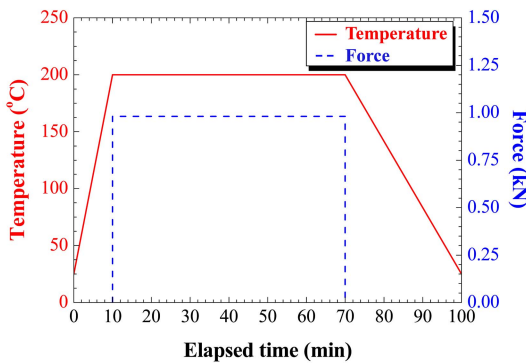


Fig. 3. Schematic illustration of temperature and load profiles for epoxy molding process.

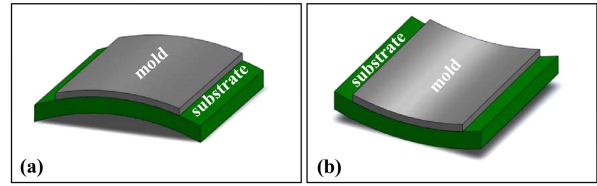


Fig. 4. Schematic illustrations of (a) positive convex warpage and (b) negative concave warpage according to live bug configuration.

에 있고 상부 표면이 아래에 있는 형상으로 측정하였다. 칩을 실장한 시편과 EMC 몰딩한 시편의 경우에도 기판이 위에 있고 칩과 EMC 몰딩이 아래에 있는 dead bug 형상으로 warpage를 측정하였다. Shadow moiré 방법은 측정하고자 하는 시편의 표면 바로 앞에 기준격자를 위치하게 한 뒤, 광원으로부터 조명을 인가하고 기준격자와 시편 표면에 형성된 기준격자의 그림자, 즉 변형격자의 간섭에 의해서 형성되는 moiré 무늬를 CCD 카메라를 이용하여 측정하며 비접촉으로 전체영역을 한 번에 측정할 수 있어서 시편의 변형거동을 파악하는 방법으로 적합하다.<sup>14)</sup> Warpage 값을 수치화할 때는 JEDEC 표준에 따라 Fig. 4와 같이 live bug 형상에서의 convex warpage를 (+), concave warpage를 (-)로 정의하였다.<sup>15)</sup>

### 3. 결과 및 고찰

Fig. 5에 본 실험에서 사용한 100 μm 두께의 박형 PCB

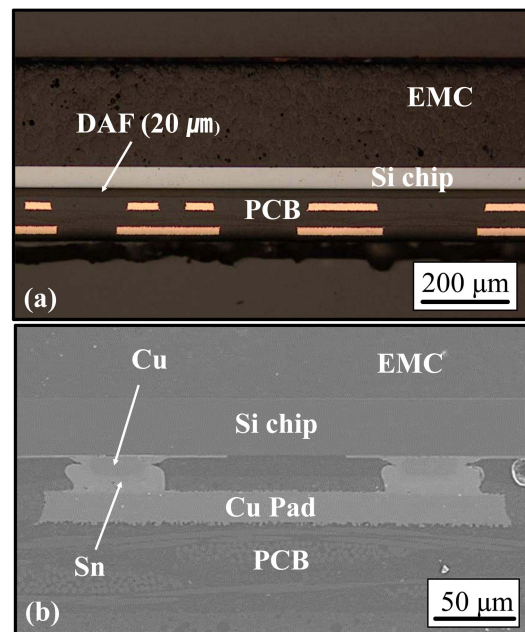


Fig. 5. Cross-sectional scanning electron micrographs of the top packages for package-on-package process showing a Si chip mounted on a PCB substrate by (a) DAF bonding and (b) flip chip bonding.

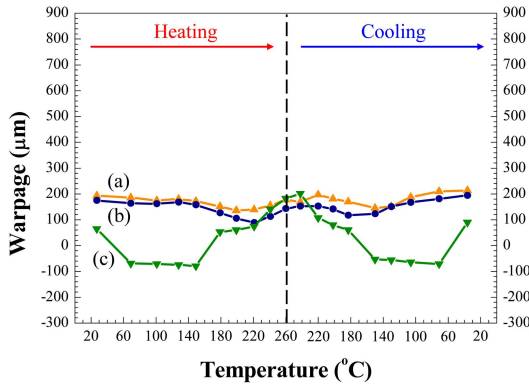


Fig. 6. Warpage measured as a function of temperature with heating and cooling for (a) the PCB substrate, (b) the specimen of a Si chip bonded to the PCB with DAF, and (c) the package formed by EMC molding after DAF bonding.

기판에 Si 칩을 DAF 실장 및 플립칩 실장한 후 에폭시 몰딩하여 형성한 PoP 상부 패키지들의 단면 주사전자현미경 사진을 나타내었다. 이 결과들로부터 에폭시 몰딩된 패키지 내에서 각기 DAF 공정과 플립칩 공정으로 실장한 Si 칩들이 delamination 없이 박형 PCB 기판에 잘 실장되어 있는 것을 관찰할 수 있다.

Fig. 6에 PCB 기판, Si 칩을 PCB 기판에 DAF 본딩한 시편 및 이 시편을 EMC 몰딩한 패키지의 상온에서 260°C까지의 승온 및 260°C에서 상온까지의 냉각에 따른 warpage 값을 나타내었다. Fig. 6(a)와 같이 PoP 상부 패키지에 사용되는 PCB 기판의 warpage는 상온에서 260°C 리플로우 온도를 거쳐 다시 상온으로 냉각시까지 모두 (+) warpage를 나타내었다. 전체적인 warpage의 변화 정도는 136~214  $\mu\text{m}$  범위의 값을 나타내었다. PCB는 폴리머 레진, 필러와 유리직물 그리고 Cu 플레이트로 구성되어 있는 복합체로 볼 수 있다. 이들 구성재료들 중에서 폴리머 수지는 점탄성 거동을 보이는데, 레진의 점탄성 특성과 레진을 보강하기 위해 첨가된 필러의 탄성 특성 사이의 복잡한 상호작용은 PCB의 최종 형태에 영향을 줄 수 있는 잔류응력을 발생시킨다.<sup>11,16-18)</sup> 또한, PCB 판넬의 build-up 과정에서 에칭, Cu 플래이팅, 세척 등의 습식공정과 베이킹, 큐어링, 건조 등의 열공정을 반복하게 되는데 이때 각 물질들의 열팽창계수 차이에 의해 발생한 잔류응력에 기인하여 warpage가 발생하게 된다.<sup>18-20)</sup> 따라서 패키징 공정을 진행하기 전의 PCB 기판 자체에서 발생한 warpage를 정확히 이해하기 위해서는 PCB 기판의 제조에 사용된 물질들의 재료특성과 더불어 build-up 공정을 상세히 알아야 하나 이는 PCB 제조회사의 노하우에 속하는 것이기 때문에 관련 정보를 획득하는데 한계가 있었다.

Fig. 6(b)는 DAF를 사용하여 40 mm 두께의 칩을 PCB 기판에 실장한 시편의 warpage 거동을 보여주고 있다. DAF로 본딩한 시편의 warpage는 상온에서 260°C 리플로

우 온도까지 (+) 값을 보였고 상온으로 냉각시에도 모두 (+) 값을 나타내어, PCB 기판과 매우 유사한 warpage 거동을 나타내었다. 이는 Si 칩의 두께가 40  $\mu\text{m}$ 로 얇으며 또한 DAF의 두께가 20  $\mu\text{m}$ 로 얇고 탄성계수가 낮기 때문에 DAF 본딩한 시편의 warpage가 주로 PCB 기판에 의해 결정되는 것으로 판단된다. 온도에 따른 warpage는 89~194  $\mu\text{m}$  범위의 값을 나타내었으며 PCB 기판에 비해 상온에서 20  $\mu\text{m}$  정도 (+) warpage가 감소되었다. 또한 DAF로 본딩한 시편과 PCB 기판의 warpage 차이가 130°C 부근에서 가장 작게 나타났는데 이는 DAF 본딩을 130°C에서 진행하여 이 온도에서 칩과 DAF의 잔류응력이 가장 작기 때문에 기판의 warpage와 가장 유사한 값이 나온 것으로 생각된다.

Fig. 6(c)에 DAF로 칩을 본딩한 후 EMC로 몰딩 공정을 진행한 시편의 warpage를 나타내었다. 상온에서 (+) warpage를 나타내나 140°C 부근까지 온도가 증가함에 따라 (-) warpage가 증가하였으며, 이후 260°C의 리플로우 온도까지 (+) warpage가 증가하였다. 냉각시에도 유사한 거동을 보이며 전체 warpage는 -79~202  $\mu\text{m}$  범위의 변화를 보였다. EMC 몰딩까지 완료된 패키지의 warpage는 PCB의 열팽창계수와 두께 및 크기, Si 칩의 열팽창계수와 두께 및 면적, EMC의 특성과 몰드캡 두께 및 크기 등 다양한 변수에 영향을 받는다.<sup>21)</sup> 이중 패키지의 warpage를 결정하는 가장 중요한 인자는 EMC 몰딩과 기판 사이의 열팽창계수 차이가 된다.<sup>12)</sup> 또한 본 연구에서 사용한 패키지 시편의 구조에서 250  $\mu\text{m}$  두께와 13 mm×13 mm 면적을 갖는 EMC 몰딩 캡이 차지하고 있는 부피분율이 가장 크기 때문에 EMC 몰딩 전과 후의 warpage 거동이 큰 차이를 보이고 있다고 판단된다. Table 1에 EMC와 PCB 기판의 열팽창 계수를 나타내었는데, EMC의 유리전이온도( $T_g$ )를 기준으로 유리전이온도 아래에서는 PCB 기판의 열팽창계수가 EMC보다 크며 유리전이온도 이상에서는 EMC의 열팽창계수가 PCB 기판보다 큰 것을 알 수 있다. 이러한 EMC와 PCB 기판의 열팽창계수 차이에 의해 상온에서 EMC의 유리전이온도 부근까지는 (-)로 warpage가 유지되다가 EMC의 유리전이온도 이상에서 리플로우 온도까지는 (+)로 warpage가 증가하는 거동을 나타내었다.

플립칩 본딩으로 칩을 PCB 기판에 실장한 시편과 이 시편을 EMC 몰딩한 패키지의 온도에 따른 warpage 값을

Table 1. Material properties of the PCB substrate, Si chip, and EMC used in this study.

Material	$T_g$ (°C)	Coefficient of Thermal Expansion, $\alpha$ ( $\times 10^{-6}/^\circ\text{C}$ )	
		$\alpha_1$ ( $T < T_g$ )	$\alpha_2$ ( $T > T_g$ )
Si	-	2.6	
PCB substrate	180	14	
EMC	145	6.2	42.7



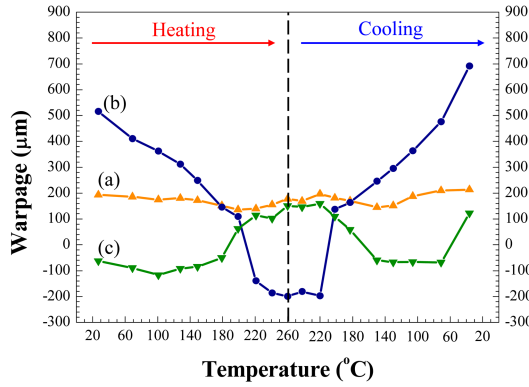


Fig. 7. Warpage measured as a function of temperature with heating and cooling for (a) the PCB substrate, (b) the specimen of a Si chip bonded to the PCB with flip chip process, and (c) the package formed by EMC molding after flip chip bonding.

Fig. 7에 나타내었다. Fig. 7(a)는 칩을 실장하기 전 PCB 기판의 warpage 이므로 앞서 설명한 Fig. 6(a)와 동일하다. Fig. 7(b)에 나타낸 플립칩 본딩으로 칩을 실장한 시편의 경우 DAF 본딩과 다르게 상온에서 691 μm의 warpage가 발생하고 리플로우 온도 부근에서는 -199 μm의 warpage가 발생하였다. 이와 같은 warpage 거동은 중앙에 Sn 범프들이 밀집해 있는 칩 구조에 기인한 것으로 판단된다. DAF의 탄성계수는 0.7 GPa이며 두께가 20 μm인데 비해 탄성계수가 50 GPa로 훨씬 크며 또한 두께도 50 μm로 훨씬 높은 Cu/Sn 범프들이 칩 중앙부에 밀집해 있기 때문에 플립칩 본딩한 시편의 warpage가 PCB 기판의 warpage 거동과 상이한 결과가 나타난 것으로 판단된다. Fig. 6와 Fig. 7의 비교에서 몰딩 공정 전의 warpage 거동은 칩 접속공정에 따른 패키지의 구조에 큰 영향을 받는다는 것을 알 수 있다.

그러나 Fig. 7(c)와 같이 플립칩 본딩 후 EMC 몰딩 공정을 완료한 패키지는 -117~159 μm의 warpage 값을 나타냈다. 이와 같은 warpage 값은 PCB 기판에 플립칩 실장한 시편에 비해 큰 폭으로 감소된 결과이며, 온도에 따른 warpage 거동도 DAF 본딩하여 몰딩 공정을 진행한 시편의 경우와 유사하게 EMC의 유리전이온도 부근까지 (-) warpage가 증가하며 이후 리플로우 온도 영역에서 (+) warpage가 증가하는 경향을 보였다. 이와 같은 결과를 통해 전체 패키지의 warpage에 영향을 주는 가장 중요한 인자가 EMC와 PCB의 열팽창계수 차이임을 알 수 있다.

실제 PoP를 제작하는데 있어서 공정 수율을 결정하는 가장 중요한 공정은 상부 패키지와 하부 패키지의 솔더볼 접속부를 형성하는 리플로우 공정으로서, 본 연구에서 사용한 시편과 같이 솔더볼 패드가 0.5 mm 피치일 때 PoP 리플로우 적층공정에 요구되는 warpage는 66 μm 범위를 넘지 않는 것이 권장된다.<sup>22)</sup> Fig. 6(c)와 Fig. 7(c)에서와 같이 솔더 용융 온도범위인 220~260°C에서 DAF 공정으로 칩을 본딩한 후 몰딩 공정을 진행한 시편은

74~202 μm의 warpage를 나타내었으며 플립칩 본딩한 후 EMC 몰딩한 시편은 114~151 μm의 warpage를 나타내어 두 시편 모두 비교적 높은 warpage를 나타내었다. 본 연구에서 사용한 패키지는 전체 두께가 350 μm인 박형 패키지로 패키지의 두께가 얇을수록 warpage가 증가하며 공정으로 warpage를 제어하기 어렵기 때문에,<sup>12,23)</sup> 본 연구에서 형성한 패키지의 warpage가 기존에 PoP 적층에서 요구되는 warpage 보다 큰 값을 나타내는 것으로 생각된다. DAF 공정으로 진행한 시편은 최대 202 μm의 warpage를 나타냈으나 솔더볼 용융점인 220°C에서 74 μm의 warpage 값을 보이며 260°C까지 warpage가 증가하는 경향을 나타내므로, 실제 PoP 적층시 솔더 리플로우 온도를 220°C 부근으로 최적화 한다면 warpage를 최소화하여 open solder joint를 효과적으로 방지할 수 있을 것으로 판단된다.

#### 4. 결 론

PoP용 상부 패키지에 대해 100 μm 두께의 박형 PCB 기판, 각기 DAF 본딩과 플립칩 본딩으로 40 μm 두께의 박형 Si 칩을 PCB에 실장한 시편 및 이들을 EMC 몰딩한 패키지들의 warpage 값을 분석한 결과, 다음과 같은 결론을 얻었다. PCB 기판에서 구성 재료들 사이의 열팽창계수 차이와 빌드업 공정에 따른 warpage가 발생하여 100 μm 두께의 박형 PCB 기판은 26~260°C의 온도 범위에서 136~214 μm의 warpage를 나타내었다. DAF 본딩으로 칩을 PCB에 실장한 시편은 26~260°C의 온도 범위에서 89~194 μm 범위의 warpage를 나타내는 반면에 플립칩 실장한 시편은 상온에서 691 μm의 warpage와 260°C에서 -199 μm의 warpage를 나타내었다. 이와 같은 결과들로부터 칩실장 공정에 따른 패키지 구조가 warpage에 큰 영향을 준다는 것을 확인할 수 있다. 그러나 EMC 몰딩 공정 후에는 DAF 본딩과 플립칩 본딩한 패키지들이 각기 -79~202 μm와 -117~159 μm의 유사한 warpage 거동을 나타냈으며, 이로부터 EMC와 PCB 기판의 열팽창계수 차이가 패키지의 warpage를 결정하는 가장 중요한 인자라는 것을 알 수 있다.

#### 감사의 글

본 연구는 한국연구재단을 통한 미래창조과학부의 과학기술 국제화 사업의 지원 (과제번호: 2011-0030492)에 의해 수행되었습니다.

#### References

1. Gartner, "Forecast: PCs, Ultramobiles, and Mobile Phones, Worldwide, 2011-2018, 1Q14 Update", Gartner. Inc. Mar.(2014) from <http://www.gartner.com/document/2685317>

2. International Data Corporation, "Worldwide Smart Connected Device Tracker", International Data Corporation (IDC). Inc. Mar.(2013) from [http:// www.idc.com](http://www.idc.com)
3. K. H. Kim, H. Lee, J. W. Jeong, J. H. Kim and S. H. Choa, "Numerical Analysis of Warpage and Stress for 4-layer Stacked FBGA Package", *J. Microelectron. Packag. Soc.*, 19(2), 7 (2012).
4. P. Sun, V. C. Leung, B. Xie, V. W. Ma and D. X. Shi, "Warpage Reduction of Package-on-Package (PoP) Module by Material Selection & Process Optimization", *International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP)*, Shanghai, 1 (2008).
5. Y. H. Cho, S. E. Kim and S. Kim, "Wafer Level Bonding Technology for 3D Stacked IC", *J. Microelectron. Packag. Soc.*, 20(1), 7 (2013).
6. T. Hao, J. Nguyen, J. Zhang and I. Chien, "Warpage Study of a Package on Package Configuration", *IEEE Components, International Symposium on High Density Packaging and Microsystem Integration (HDP)*, Shanghai, 1 (2007).
7. N. Vijayaragavan, F. Carson and A. Mistry, "Package on Package Warpage - Impact on Surface Mount Yields and Board Level Reliability", *Proc. 58th Electronic Components and Technology Conference (ECTC)*, Lake Buena Vista, 389, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2008).
8. C. G. Kim, H. S. Choi, M. S. Kim, and T. S. Kim, "Packaging Substrate Bending Prediction due to Residual Stress", *J. Microelectron. Packag. Soc.*, 20(1), 21 (2013).
9. H. Eslampour, Y. C. Kim, S. W. Park, T. and W. Lee, "Low Cost Cu Column fPoP Technology", *Proc. 62nd Electronic Components and Technology Conference (ECTC)*, San Diego, 871, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2012).
10. J. Zhao, Y. Luo, Z. Huang and R. Ma, "Effects of Package Design on Top PoP Package Warpage", *Proc. 58th Electronic Components and Technology Conference (ECTC)*, Lake Buena Vista, 1081, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2008).
11. C. H. Chien, Y. C. Chen, Y. T. Chio, T. Chen, C. C. Hsieh, J. J. Yan, W. Z. Chen and Y. D. Wua, "Influences of the Moisture Absorption on PBGA Package's Warpage during IR Reflow Process", *Microelectronics Reliability*, 43, 131 (2003).
12. M. J. Yim, R. Strode, R. Adimula, J. J. Zhang and C. Yoo, "Ultra Thin Top Package using Compression Mold: Its Warpage Control", *Proc. 61st Electronic Components and Technology Conference (ECTC)*, Lake Buena Vista, 1141, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2011).
13. H. Tang, J. Nguyen, J. Zhang and I. Chien, "Warpage Study of a Package on Package Configuration", *International Symposium on High Density Packaging (HDP)*, Shanghai, 1 (2007).
14. B. H. Lee, M. K. Kim and J. W. Joo, "Thermo-Mechanical Behavior of WB-PBGA Packages with Pb-Sn Solder and Lead-Free Solder Using Moire Interferometry", *J. Microelectron. Packag. Soc.*, 17(3), 17 (2010).
15. JEDEC Standard JESD22-B112A, "Package Warpage Measurement of Surface-Mount Integrated Circuits at Elevated Temperature", *JEDEC Solid State Technology Association*, Arlington (2009).
16. S. Michaelides and S. K. Sitaraman, "Die Cracking and Reliable Die Design for Flip-Chip Assemblies", *IEEE Transactions on Advanced Packaging*, 22(4), 602 (1999).
17. Y. Sawada, K. Harada and H. Fujioka, "Study of Package Warp Behavior for High-Performance Flip-Chip BGA", *Microelectronics Reliability*, 43(3), 465 (2003).
18. J. Kim, S. Lee, J. Lee, S. Jung and C. Ryu, "Warpage Issues and Assembly Challenges Using Coreless Package", *IPC APEX EXPO*, (2012).
19. N. Boyard, A. Millischer, V. Sobotka, J. Bailleul and D. Delaunay, "Behaviour of a Moulded Composite Part: Modelling of Dilatometric Curve (Constant Pressure) or Pressure (Constant Volume) with Temperature and Conversion Degree Gradients", *Composites Science and Technology* 67(6), 943 (2007).
20. S. Y. Yang, Y. Jeon, S. Lee and K. Paik, "Solder Reflow Process Induced Residual Warpage Measurement and Its Influence on Reliability of Flip-Chip Electronic Packages", *Microelectronics and Reliability* 46(2-4), 512 (2006).
21. M. J. Yim, R. Strode, R. Adimula and C. Yoo, "Effects of Material Properties on PoP Top Package Warpage Behaviors", *Proc. 60th Electronic Components and Technology Conference (ECTC)*, Las Vegas, 1071, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2010).
22. K. Ishibashi, "PoP (Package-on-Package) Stacking Yield Loss Study", *Proc. 57th Electronic Components and Technology Conference (ECTC)*, Reno NV, 1403 (2007).
23. W. Y. Kong, J. K. Kim and M. F. Yuen, "Warpage in Plastic Packages: Effects of Process Conditions, Geometry and Materials", *IEEE Transactions on Electronics Packaging Manufacturing*, 26(3), 245 (2003).