

논문 2014-51-9-7

컬러 디모자이킹이 결합된 저 복잡도의 실시간 배럴 왜곡 보정 프로세서

(A Low-Complexity Real-Time Barrel Distortion Correction Processor Combined with Color Demosaicking)

정희성*, 박윤주*, 김태환**

(Hui-Seong Jeong, Yun-Ju Park, and Tae-Hwan Kim[©])

요약

본 논문에서는 컬러 영상을 실시간 신호 처리 과정을 통해 보정하기 위한 낮은 복잡도의 배럴 왜곡 보정 프로세서의 구조를 제시하고, 이를 구현한 결과를 보인다. 제안하는 배럴 왜곡 보정 프로세서는 컬러 디모자이킹과 배럴 왜곡 보정 과정의 두 보간 과정을 결합하여 하드웨어 복잡도를 낮추었다. 또한 배럴 왜곡 보정 과정의 공간적 지역성을 이용한 메모리 인터페이스를 설계하여 한 픽셀을 보정하는데 요구되는 메모리 대역폭을 크게 감소시켰다. 설계된 보정 프로세서는 0.11- μm CMOS 공정을 사용하여 35K의 논리 게이트로 구현되었고, 2048 × 2048 크기의 컬러 영상을 최대 606 MHz의 동작 주파수로 150 Mpixels/s의 속도로 보정할 수 있으며, 요구되는 메모리 대역폭은 1 read/correction이다.

Abstract

This paper presents a low-complexity barrel distortion correction processor for wide-angle cameras. The proposed processor performs the barrel distortion correction jointly with the color demosaicking, so that the hardware complexity can be reduced significantly. In addition, to reduce the required memory bandwidth, an efficient memory interface is proposed by utilizing the spatial locality of the memory access in the correction process. The proposed processor is implemented with 35K logic gates in a 0.11- μm CMOS process and its correction speed is 150 Mpixels/s at the operating frequency of 606MHz, where the supported frame size is 2048 × 2048 and the required memory bandwidth is 1 read/cycle.

Keywords : barrel distortion correction, color demosaicking, wide-angle lens, very large scale integration (VLSI), digital signal processing

* 학생회원, ** 정회원, 한국항공대학교 항공전자및정보통신공학부

(School of electronics, Telecommunication and computer engineering, Korea Aerospace University)

[©] Corresponding Author(E-mail: taehwan.kim@kau.ac.kr)

※ 본 연구는 경기도의 경기도지역협력연구센터 (GRRC) 사업[GRRCA-2014-B04, 차세대 N-스크린 서비스를 위한 스크린 협업 기술 및 스마트 카메라 기술 연구]의 일환으로 수행하였음.

접수일자: 2014년3월13일, 수정일자: 2014년8월05일

수정완료: 2014년8월26일

I. 서론

광각 카메라는 초점 거리가 짧은 렌즈를 장착하여 일반 카메라와 같은 거리에서 촬영을 했을 경우, 더 넓은 화각의 영상을 획득할 수 있다. 이러한 특성을 이용하여 차량용 블랙박스, 내시경, 감시 카메라 등에 응용되고 있다. 하지만 촬영한 영상의 가장자리로 갈수록 압축되어 보이는 배럴 왜곡이 발생한다. 그림 1은 위와

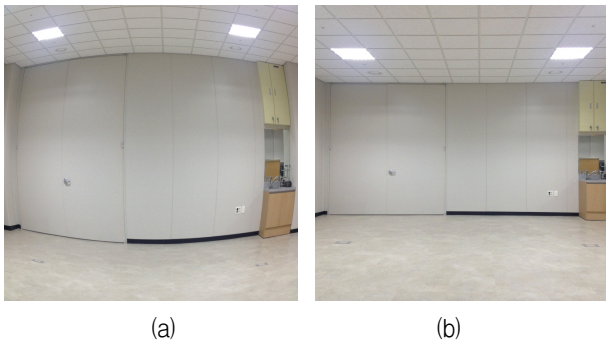


그림 1. 배럴 왜곡이 발생한 영상의 예:

(a) 왜곡된 이미지, (b) 복원된 이미지

Fig. 1. Examples of the barrel distortion has occurred: (a) distorted image and (b) corrected image.

같은 배럴 왜곡이 발생한 영상의 예를 보이고 있다. 이러한 배럴 왜곡을 제거하기 위해서 물리적으로 이상적인 렌즈를 도입할 수도 있겠지만, 이는 비용적인 측면에서 현실적으로 어려움이 있다. 따라서 왜곡된 영상 신호 처리를 통해 보정하는 과정이 필요하다^[1-7].

광각 카메라를 이용한 시스템에서 배럴 왜곡의 보정 과정은 일반적으로 실시간 동작을 요구하며, 소형화된 기기에 적용되어야 하므로 낮은 복잡도의 하드웨어 구현이 필요하다. 기존의 연구 중, [4]에서는 역 맵핑 과정을 수학적으로 변형해서 삼각함수와 같은 복잡한 연산 과정을 제거하여 저 복잡도의 보정 프로세서를 제안하였다. [6]에서는 좌표 위치를 순차적으로 보정할 때, 기존 픽셀의 보정 값을 이용하여, 현재의 보정 값을 점증적으로 계산하여 하드웨어 복잡도를 낮추었다. 하지만 기존의 연구들은 주로 단 채널 영상의 왜곡 보정을 수행하기 위한 프로세서의 구조만을 제시하고 있으며 다 채널 컬러 영상의 보정을 위한 고려는 부족하다.

기존의 배럴 왜곡 보정 프로세서를 이용하여 컬러 영상의 한 픽셀을 보정할 경우에는 R, G, B 각 채널의 왜곡을 보정하기 위해 하나의 픽셀 좌표에 대해 동일한 배럴 왜곡 보정을 채널 별로 수행하여야 하므로 복잡도 측면에서 비효율적이다. 또한, 컬러 영상의 배럴 왜곡 보정 과정은 컬러 디모자이킹과 배럴 왜곡 보정 프로세서 내부의 보간 과정이 비슷한 기능적 특성을 갖고 있음에도 불구하고 별도로 구현되어 있다^[2-7]. 이런 점들을 개선하기 위해서 본 논문에서는 컬러 디모자이킹이 결합된 낮은 복잡도의 배럴 왜곡 보정 프로세서의 구조를 제안한다. 본 논문에서 제안하는 바는 다음과 같이 요약된다.

1) 제안하는 왜곡 보정 프로세서에서는 배럴 왜곡 보정 과정 중의 보간을 베이어 패턴을 고려하여 각 색상 별로 수행함으로써 왜곡 보정 과정과 컬러 디모자이킹을 효과적으로 결합하였다. 이에 따라 하나의 픽셀에 대하여 배럴 왜곡 보정에 필요한 역 맵핑 과정을 한 번만 수행해도 되기 때문에 이를 위한 하드웨어 복잡도를 크게 낮출 수 있다.

2) 하나의 픽셀에서 R, G, B의 색상 정보를 동시에 병렬적으로 복원하기 위해 요구되는 메모리 대역폭을 낮추기 위해서, 공간적 지역성을 이용한 효율적인 메모리 인터페이스를 제안하였다.

본 논문의 나머지 부분의 구성은 다음과 같다. II 장에서는 배럴 왜곡 보정에 대하여 설명한다. III 장에서는 제안하는 배럴 왜곡 보정 기법과 보정 프로세서의 구조에 대하여 설명한다. IV 장에서는 제안하는 배럴 왜곡 보정 프로세서의 구현 및 검증 결과를 보이고, 기존 연구 결과와 비교한다. 마지막으로, V 장에서는 본 논문의 결론을 제시한다.

II. 배럴 왜곡 보정

배럴 왜곡 보정은 역 맵핑 과정과 보간 과정의 두 단계로 이루어진다. 왜곡된 영상 공간을 distorted image space (DIS), 보정된 영상 공간을 corrected image space (CIS)라 하자. 본 장에서는 DIS와 CIS가 모두 단일 채널을 갖는 경우로 제한하여 설명한다. 역 맵핑 과정을 통해 CIS 픽셀 위치에 대응되는 DIS 픽셀 위치를 구한 후, 해당 위치의 DIS 픽셀 주변의 값을 바탕으로 보간을 통해 CIS의 픽셀 값을 얻게 됨으로써, 주어진 DIS에 대하여 CIS를 재구성하여 왜곡 보정을 수행한다.

그림 2는 배럴 왜곡 보정을 통해 CIS의 픽셀 P 의 위치 (u, v) 에 대응되는 DIS의 픽셀 P' 의 위치 (u', v') 을 계산하는 과정을 설명하기 위한 것으로 이를 역 맵핑이라 한다. 역 맵핑 과정에서 P 에 대응되는 P' 의 위치는 다음과 같이 구한다.

$$u' = s \cdot (u - u_c) + u_c' \quad (1)$$

$$v' = s \cdot (v - v_c) + v_c' \quad (2)$$

여기에서 s 는 그림 2에서 나타낸 바와 같이 두 삼각형 PAO 와 $P'A'O'$ 의 닮음비이며, (u_c, v_c) , (u_c', v_c') 은

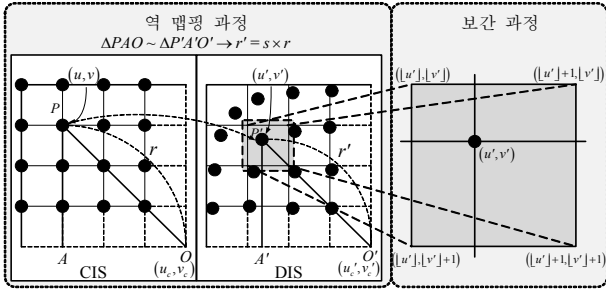


그림 2. 배럴 왜곡 보정 과정, O 와 O' 은 각각 CIS와 DIS의 광학 중심을 나타냄
Fig. 2. Barrel distortion correction process where the optical centers of CIS and DIS are denoted by O and O' , respectively.

각각 CIS와 DIS의 중심을 나타내며, 그림에서 O 와 O' 로 표시하였다. s 는 그림에서 표시된 r, r' 의 관계로 정의할 수 있으며 다음과 같은 맵핑 다항식으로 모델링된다^[6].

$$s \cong r' / r = \sum_{n=1}^N c_n r^{2n-2} \quad (3)$$

위의 식에서 c_n 은 역 맵핑 계수이며, 최소 자승법을 통해 추정될 수 있다^[2]. s 의 계산 과정에서 N 의 크기는 역 맵핑의 정밀도와 관계가 있으며, N 이 클수록 고 해상도의 영상 보정이 가능하다. 본 논문에서는 $N = 3$ 의 맵핑 다항식을 기준으로 영상을 보정한다.

(1)-(3)으로 표현된 역 맵핑 과정에 의해 계산된 DIS 상의 P' 의 위치는 정수가 아닌 유리수일 수 있기 때문에 해당 위치의 픽셀 값을 구하기 위한 보간이 필요하다. CIS 상의 픽셀 값은 DIS 상의 P' 주변의 픽셀 값을 사용한 보간을 통하여 구할 수 있다. 이를 위해 아래와 같은 이중 선형 보간이 사용될 수 있다^[2-7].

$$\begin{aligned} & \text{CIS}(u,v) \\ &= (1-u'+[u']) \cdot (1-v'+[v']) \cdot \text{DIS}([u'],[v']) \\ &+ (u'-[u']) \cdot (1-v'+[v']) \cdot \text{DIS}([u']+1,[v']) \\ &+ (1-u'+[u']) \cdot (v'-[v']) \cdot \text{DIS}([u'],[v']+1) \\ &+ (u'-[u']) \cdot (v'-[v']) \cdot \text{DIS}([u']+1,[v']+1) \end{aligned} \quad (4)$$

여기에서 $[a]$ 은 a 보다 크지 않은 최대의 정수를 의미하며, $\text{CIS}(a, b)$ 및 $\text{DIS}(a, b)$ 는 각각 CIS 및 DIS의 (a, b) 에 위치한 픽셀 값들을 나타낸다. 위의 식을 보면, CIS 상의 하나의 보정된 픽셀 값을 구하기 위하여 4개

의 인접한 DIS 픽셀 값이 필요한 것을 알 수 있다. 기존의 연구들에서는 고속의 보정 속도를 달성하기 위해서 매 사이클마다 하나의 픽셀을 보정하는 구조가 제시 되었으며^[3-5], 이 경우 매 사이클마다 4개의 DIS 픽셀 값을 메모리에서 읽어야 한다 (4 reads/cycle). 본 논문에서는 이를 왜곡 보정 과정 중에 요구되는 메모리 대역폭이라 정의한다.

III. 제안하는 왜곡 보정 프로세서

1. 전체적인 구조

기존의 연구에서는 주로 단 채널 영상의 배럴 왜곡을 보정하기 위한 구조를 다루고 있다^[3-7]. 컬러 영상은 3개의 채널 (R, G, B)을 가지고 있으며, 기존의 왜곡 보정 프로세서를 사용하여 컬러 영상의 왜곡을 보정하기 위해서는 각 채널 당 왜곡 보정을 독립적으로 수행해야 한다. 그림 3 (a)는 이러한 컬러 영상 처리 시스템의 개략적인 구조를 보여주고 있다. II 장에서 설명했던 바와 같이, 고속의 왜곡 보정을 위해서 각 채널 당 4 reads/cycle의 메모리 대역폭이 요구되기 때문에, 컬러 채널에 대한 고속의 왜곡 보정을 위해서는 12 reads/cycle의 메모리 대역폭이 요구된다. 이러한 높은

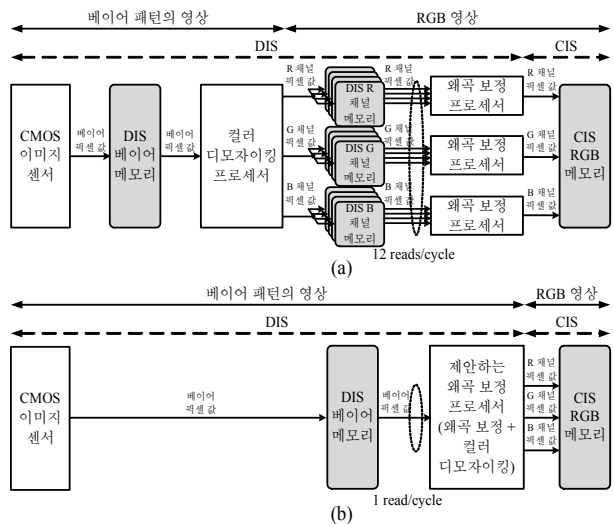


그림 3. 왜곡 프로세서를 갖춘 영상 시스템의 전체 구조: (a) 기존의 시스템 구조, (b) 제안된 시스템 구조
Fig. 3. Overall architecture of the imaging system with the barrel distortion correction processor: (a) conventional architecture and (b) proposed architecture.

메모리 대역폭을 만족시키기 위해 기존의 연구에서는 왜곡 보정 프로세서의 외부에 물리적으로 복제된 다수의 메모리를 탑재하는 것을 가정하고 있다^[3-5]. 추가적으로, 컬러 영상에 대한 왜곡 보정 과정에서 각 채널 당 역 맵핑 연산은 모두 동일한 연산 결과를 갖게 되지만, 채널 별로 중복해서 수행하게 되는 비효율성이 존재한다.

제안하는 보정 프로세서는 그림 3 (b)와 같이 베이어 패턴 형태의 단 채널 영상에 대하여 왜곡 보정을 수행하면서 왜곡 보정에서의 보간 과정을 베이어 패턴을 고려하여 R, G, B 각 채널 별로 수행하여 왜곡 보정 과정과 컬러 디모자이킹을 효과적으로 결합하였다. 하나의 픽셀에 대하여 배럴 왜곡 보정에 필요한 역 맵핑 과정을 한 번만 수행하기 때문에 이를 위한 하드웨어 복잡도를 크게 낮출 수 있게 된다. 또한 배럴 왜곡 보정 과정의 공간적 지역성을 이용한 메모리 인터페이스를 제안하여 하나의 픽셀에서 R, G, B 채널의 색상 정보를 동시에 병렬적으로 복원하기 위해 요구되는 메모리 대역폭을 1 read/cycle로 감소시켰다.

2. 컬러 디모자이킹이 결합된 배럴 왜곡 보정

제안하는 프로세서는 그림 3 (b)와 같이 베이어 패턴의 영상을 입력 받아 R, G, B 채널을 갖는 왜곡 보정된 컬러 영상을 출력한다. 왜곡 보정 과정은 앞에서 설명

한 바와 같이 역 맵핑 과정과 보간 과정의 두 단계로 구성된다. 제안하는 프로세서에서는 베이어 패턴을 고려하여 각각의 컬러 채널 별로 보간 과정을 수행함으로써, 배럴 왜곡을 보정하면서 컬러 디모자이킹을 수행하게 된다. 여기서는 왜곡 보정을 위한 보간 과정을 수행하면서 컬러 디모자이킹을 수행하는 방법에 대해 설명한다.

배럴 왜곡 보정 과정에서 CIS의 픽셀 P 의 위치 (u, v) 에 대응되는 DIS의 픽셀 P' 의 위치 (u', v') 는 (1), (2)로 표현되는 역 맵핑에 의해 계산된다. 여기서 (u', v')

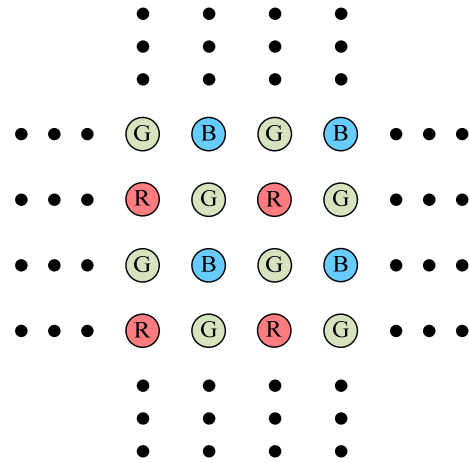


그림 4. 베이어 패턴
Fig. 4. Bayer pattern.

CIS.R (u, v)

$$= \left(\begin{array}{l} (2-u'+\lfloor u' \rfloor)(2-v'+\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor, \lfloor v' \rfloor) \\ +(u'-\lfloor u' \rfloor)(2-v'+\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor+2, \lfloor v' \rfloor) \\ +(2-u'+\lfloor u' \rfloor)(v'-\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor, \lfloor v' \rfloor+2) \\ +(u'-\lfloor u' \rfloor)(v'-\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor+2, \lfloor v' \rfloor+2) \end{array} \right) / 4 \quad (5)$$

CIS.G (u, v)

$$= \left(\begin{array}{l} (1+u'-\lfloor u' \rfloor+v'-\lfloor v' \rfloor)(3-u'+\lfloor u' \rfloor+v'-\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor+1, \lfloor v' \rfloor) \\ +(-1+u'-\lfloor u' \rfloor-v'+\lfloor v' \rfloor)(1+u'-\lfloor u' \rfloor+v'-\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor, \lfloor v' \rfloor+1) \\ +(1-u'+\lfloor u' \rfloor-v'+\lfloor v' \rfloor)(3-u'+\lfloor u' \rfloor+v'-\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor+2, \lfloor v' \rfloor+1) \\ +(-1+u'-\lfloor u' \rfloor-v'+\lfloor v' \rfloor)(1-u'+\lfloor u' \rfloor-v'+\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor+1, \lfloor v' \rfloor+2) \end{array} \right) / 4 \quad (6)$$

CIS.B (u, v)

$$= \left(\begin{array}{l} (1-u'+\lfloor u' \rfloor)(1-v'+\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor-1, \lfloor v' \rfloor-1) \\ +(1+u'-\lfloor u' \rfloor)(1+v'-\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor+1, \lfloor v' \rfloor+1) \\ +(1-u'+\lfloor u' \rfloor)(1+v'-\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor-1, \lfloor v' \rfloor+1) \\ +(1+u'-\lfloor u' \rfloor)(1-v'+\lfloor v' \rfloor) \cdot \text{DIS.Bayer}(\lfloor u' \rfloor+1, \lfloor v' \rfloor-1) \end{array} \right) / 4 \quad (7)$$

은 유리수이며 u' 과 v' 은 정수 부분에 해당하는 $\lfloor u' \rfloor$ 과 $\lfloor v' \rfloor$, 소수 부분에 해당하는 $u' - \lfloor u' \rfloor$ 과 $v' - \lfloor v' \rfloor$ 으로 나

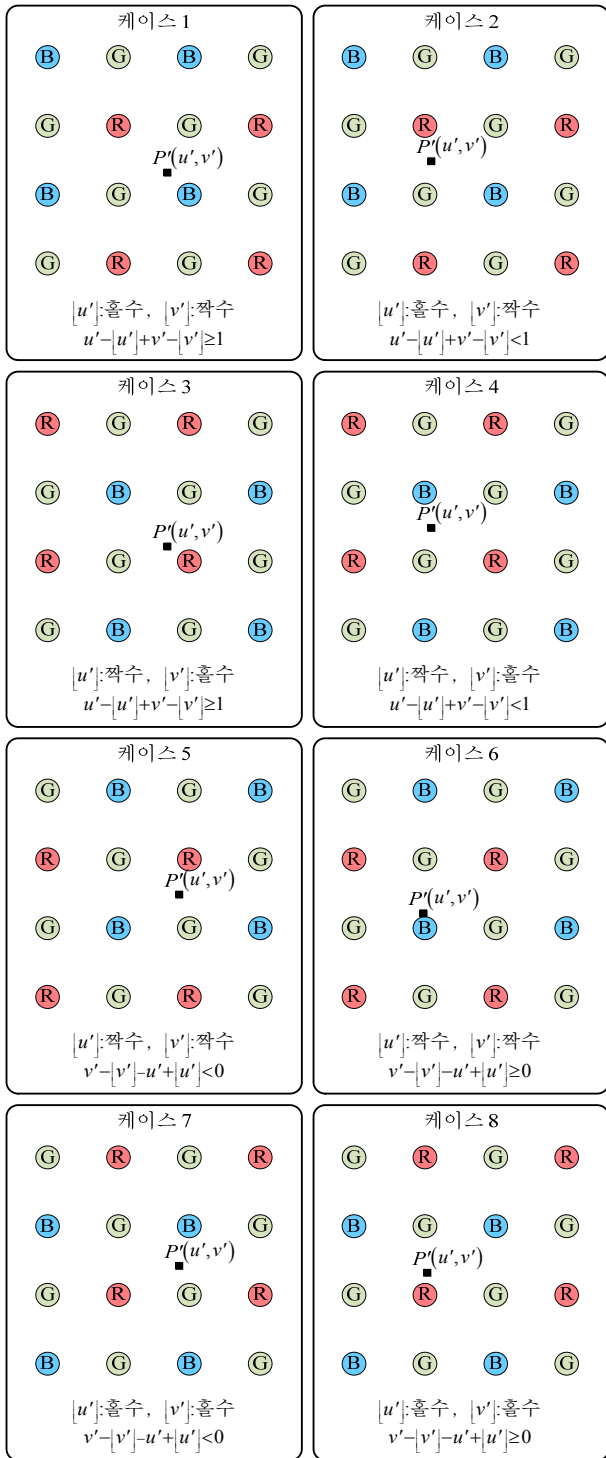


그림 5. 베이어 패턴에서 픽셀의 상대적 위치 관계에 따른 제안된 보간 방법의 분류
Fig. 5. Cases of the proposed interpolation classified by the pixel location in Bayer pattern.

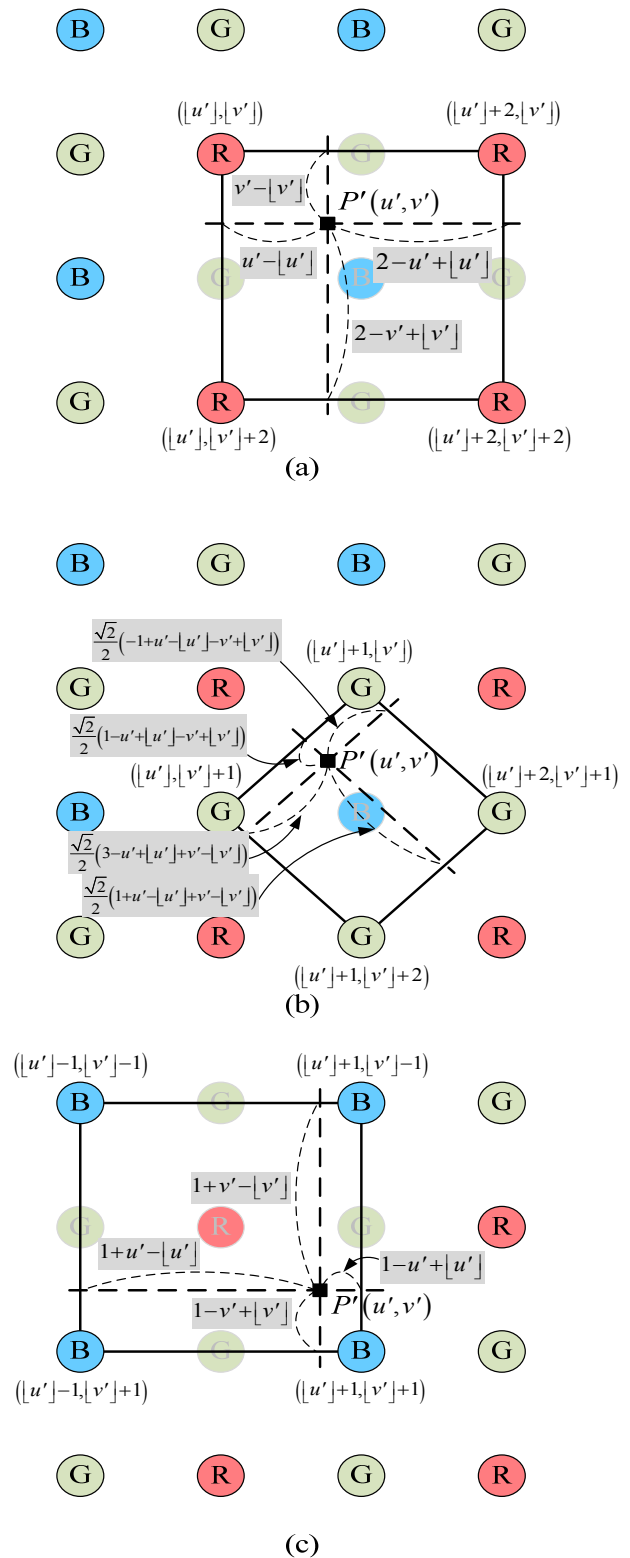


그림 6. 케이스 1에 해당하는 제안된 컬러 채널 별 보간 방법: (a) R 채널, (b) G 채널, (c) B 채널
Fig. 6. Proposed interpolation for each color channel in Case 1: (a) R channel, (b) G channel, (c) B channel.

타낼 수 있다. 일반적인 이미지 센서에서는 각 픽셀 위치 당 R, G, B 하나의 색상 값만 취득할 수 있으며, 픽셀 위치 당 어떤 색상 값을 취득할 수 있는지는 보통 베이어 패턴에 의해 결정 된다^[8]. 그림 4는 베이어 패턴을 도시한 것이다^[9]. 제안하는 프로세서의 왜곡 보정 과정에서, 역 맵핑된 P'은 베이어 패턴 상에 위치하며, 베이어 패턴의 색상 배열과의 상대적 위치 관계에 따라 그림 5와 같이 8가지의 경우로 분류될 수 있다.

CIS의 픽셀 P의 R, G, B 채널의 값은 역 맵핑된 DIS의 픽셀 P'의 인접한 픽셀 값을 보간하여 구한다. 제안하는 프로세서에서는 DIS가 베이어 패턴 형태이므로, 각 컬러 채널 별로 동일한 위치의 인접한 픽셀 값을 보간에 사용하게 된다. 그림 6은 P'의 위치가 그림 5에서의 케이스 1인 경우의 보간 과정을 도시한 것이다. 그림에 표시된 바와 같이, P'과 인접한 픽셀과의 거리를 구하고, 이를 바탕으로 보간에 필요한 가중치를 계산한다. 이러한 가중치를 이용해서 P'에 대한 왜곡 보정된 픽셀의 각 채널 성분 값을 이중 선형 보간을 이용하여 구함으로써, CIS상의 픽셀 P에 대한 R, G, B 채널의 값을 (5)-(7)과 같이 유도할 수 있다.

(5)-(7)에서, CIS.R(a, b), CIS.G(a, b), CIS.B(a, b)는 CIS상의 (a, b)에 위치하는 픽셀의 R, G, B 각 채널 값을 의미하며, DIS.Bayer(a, b)는 베이어 패턴 형태의 DIS상의 (a, b)에 위치하는 픽셀의 값을 의미한다. 여기

에서는 그림 5의 케이스 1에 대한 보간 방법만을 설명 하였지만 나머지 케이스도 유사한 방법이 적용된다. 위와 같은 방법을 통해, 왜곡 보정을 위한 보간을 수행하면서 컬러 디모자이킹을 수행하게 된다.

3. 제안하는 왜곡 보정 프로세서의 내부 구조

본 절에서는 앞 절에서 제안하는 컬러 디모자이킹과 배럴 왜곡 보정의 결합을 통해 하드웨어 복잡도를 줄인 8 단계의 파이프 라인 구조의 배럴 왜곡 보정 프로세서를 설명한다. 그림 7은 제안하는 보정 프로세서의 전체 구조를 도시한 것으로, 단계 1-4에서는 역 맵핑을 수행하고, 단계 5-8에서는 보간을 수행한다.

제안하는 프로세서에서는 역 맵핑 과정을 효율적으로 수행하기 위해서 점증적 왜곡 보정 방식^[6]을 도입하였다. 설명의 편의를 위하여 (u_n, v_n) 을 n 번째의 픽셀 좌표라 하고, $u_n - u_c$ 와 $v_n - v_c$ 를 각각 x와 y로 정의하자. 단계 1에서는 x 또는 y 좌표를 한 픽셀씩 이동시키면서, r_n^2 을 계산한다. r_n^2 은 r_{n+1}^2 의 계산을 위해 다시 사용되고 점증적으로 닳음비를 계산하기 위한 x_{left}, y_{top}, r_0^2 이라는 초기 값이 입력된다. 단계 2와 단계 3에서는 역 맵핑 계수 c_1, c_2 를 입력 받고, 초기 값 s_0 를 입력 받아 그 값을 이용하여 닳음비를 계산한다. 단계 4에서는 닳음비를 이용하여 역 맵핑된 좌표의 위치를 계산한다. 그림에서 MAC (multiply-accumulate unit)은 세 개의

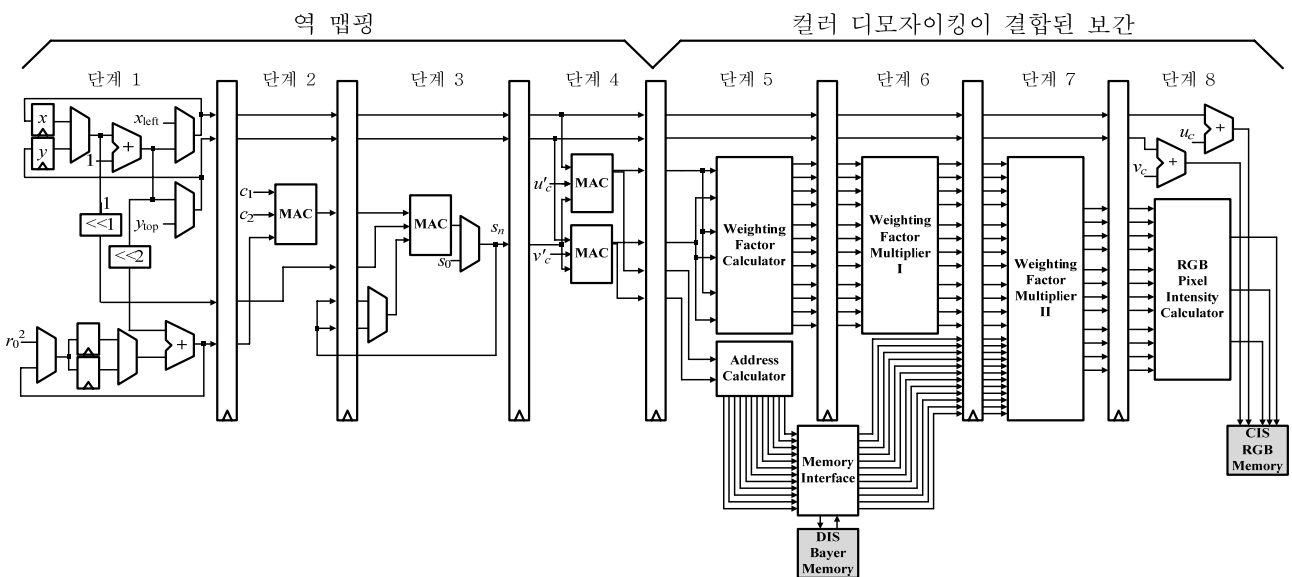


그림 7. 제안하는 배럴 왜곡 보정 프로세서의 파이프 라인 구조
Fig. 7. Pipeline structure of the proposed barrel distortion correction processor.

입력 값 중 두 개의 입력 값을 곱하고 나머지 하나를 더하는 동작을 수행한다. MAC을 구현함에 있어 carry-save adder 기반의 Wallace tree 구조^[10]를 사용하여 낮은 복잡도와 높은 동작 속도를 달성하도록 하였다. 역 맵핑 과정은 컬러 채널에 상관없이 동일한 결과를 갖지만 기존의 프로세서^[~7]는 R, G, B 각 채널 별로 왜곡 보정을 수행하므로, 동일한 연산을 하는 역 맵핑 하드웨어도 R, G, B 각 채널 별로 구현되어 복잡도 관점에서 비효율적이다. 반면에, 제안하는 프로세서에서는 그림 7에서와 같이 역 맵핑 과정을 한 번만 수행하도록 설계되었기 때문에 하드웨어 복잡도를 낮출 수 있다.

그림 8은 제안하는 보정프로세서에서 기존의 픽셀 보간과 컬러 디모자이킹을 결합한 구조를 도시한 것으로 그림 7에서의 단계 5-8을 자세하게 나타내었다. 단계 5에서는 R, G, B 색상에 대해 각각 단계 4의 출력인 $[u']$ 과 $[v']$ 및 $u' - [u']$ 과 $v' - [v']$ 을 이용하여 픽셀 값에 대한 보간을 위해 인접 픽셀에 대한 주소를 계산하

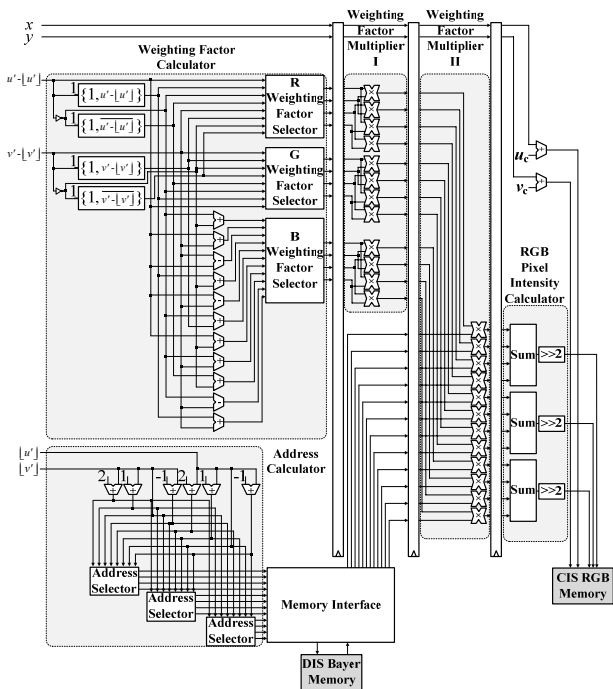
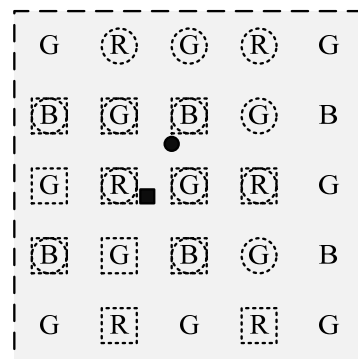


그림 8. 컬러 디모자이킹과 결합된 보간 과정의 파이프라인 구조, $\{a, b\}$ 는 a, b 를 비트 순서대로 연결하는 연산을 의미

Fig. 8. Proposed pipeline structure for the interpolation process combined with color demosaicking, where $\{a, b\}$ means the concatenation of a and b .

고 보간을 수행하기 위한 가중치를 계산한다. 계산된 주소에 해당하는 픽셀 값을 메모리 인터페이스를 통해 DIS 베이어 메모리로부터 읽어 온다. 그림 8에서 Address Selector는 그림 7에서의 단계 5의 Address Calculator의 내부 구조에 해당하는 것으로 앞 절에서 분류되었던 케이스 1-8에 따라 R, G, B 각각의 색상에 대해 해당 주소들을 생성하며, Weighting Factor Calculator에서 해당 가중치를 생성한다. 단계 6과 단계 7에서는 Weighting Factor Multiplier I, II에 의해 선택된 주소에 대한 픽셀 값과 가중치를 계산 하고, 단계 8에서는 RGB Pixel Intensity Calculator에서 계산된 픽셀 값에 대한 평균을 내어 CIS 메모리에 보정된 RGB 패턴의 픽셀 값 $CIS(u, v)$ 를 쓰게 된다.

제안하는 배럴 왜곡 보정 프로세서에서는 한 픽셀에서 R, G, B 채널의 색상에 대해 컬러 디모자이킹을 수행하기 위하여 (5)-(7)에서 표현된 바와 같이, 총 12개의 DIS 픽셀 값이 필요하다. 그림 7에서 제안하는 파이프라인 구조에서는 이상적으로 클락 사이클 당 한 픽셀을 보정하게 되므로, 요구되는 메모리 대역폭이 12 reads/cycle로 매우 높다. 이런 문제를 해결하기 위해서, 제안하는 프로세서에서는 왜곡 보정 과정의 공간적 지역성을 이용한 메모리 인터페이스를 내장하여 요구되는 메모리 대역폭을 1 read/cycle로 낮추었다. 제안하는 프로세서에서는 래스터 스캔 순서^[11]에 따라 순차적으로 왜곡을 보정하게 되는데 이 과정에서 역 맵핑을 통해 계산된 좌표 값들은 공간적 지역성을 가진다. 그림 9는



- : n 번째 픽셀 위치 ● : $n+1$ 번째 픽셀 위치
- : n 번째 보간에 필요한 픽셀 값들
- : $n+1$ 번째 보간에 필요한 픽셀 값들
- ◻ : 공유 되는 픽셀 값들

그림 9. 왜곡 보정 과정에서의 공간적 지역성
Fig. 9. Spatial locality in the distortion correction.

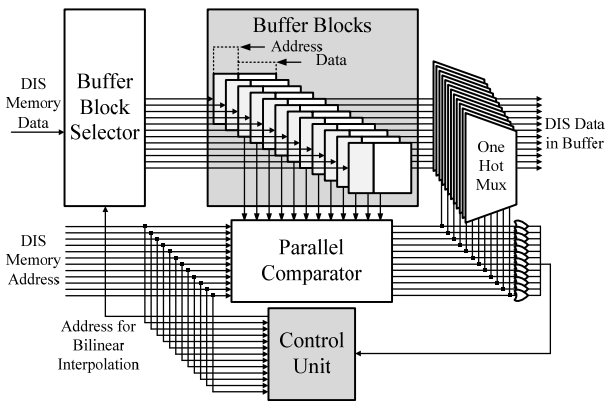


그림 10. 제안하는 메모리 인터페이스의 구조
Fig. 10. Proposed structure for the memory interface.

이러한 공간적 지역성을 보여주고 있다. 그림과 같이 n 번째의 픽셀과 $n+1$ 번째의 픽셀의 위치 관계에 의해 공유되는 픽셀들이 정해진다. 이러한 공간적 지역성에 근거하여, 이전 보정 과정에서 사용한 픽셀 값들을 작은 버퍼에 저장해 놓고, 현재의 보정 과정에서 해당 픽셀을 사용하게 될 경우, 직접 메모리에서 읽어오는 것이 아니라, 버퍼에 저장된 값을 재사용하게 되므로, 메모리 대역폭을 낮출 수 있다. 그림 9의 경우에는 n 번째의 픽셀과 $n+1$ 번째의 픽셀의 위치 관계에서 공간적 지역성에 의해 12개의 픽셀 중 8개의 픽셀이 공유되는 경우를 예를 들어 나타낸 것이며, 이 경우 공유되지 않은 픽셀에 대해 4번의 메모리 접근만을 요구하며 나머지 8개는 버퍼에 저장된 값을 재사용한다. 그림 10은 제안하는 프로세서에서 왜곡 보정 과정의 공간적 지역성을 이용한 메모리 인터페이스의 내부구조를 보인 것이다. 메모리 인터페이스 상의 버퍼는 12개의 엔트리를 갖는 완전 연관 (fully associative) 방식의 구조를 갖는다. 이와 같이 공간적 지역성에 기반한 메모리 인터페이스를 내장하여, 요구되는 메모리 대역폭을 1 read/cycle로 낮출 수 있었고, 이 경우 보정속도는 클럭 사이클 당 0.25 픽셀이다.

IV. 구현 및 검증 결과

제안하는 배럴 왜곡 보정 프로세서는 Verilog HDL을 사용하여 합성 가능한 소프트웨어 형태로 설계하였으며, 0.11- μ m CMOS 공정을 사용하여 35K의 논리 게이트로 구현되었다. 제안하는 보정 프로세서의 구현 결과를 기존의 연구 결과와 비교하여 표 1에 정리하였다.

표 1. 왜곡 보정 프로세서의 구현 결과 비교
Table 1. Comparison of the implementation results.

구조	[4]	[5]	제안하는 프로세서
지원 영상 스케일	그레이 스케일	그레이 스케일	컬러 (R, G, B)
지원 영상 크기	1024 × 1024 pixels	1024 × 1024 pixels	2048 × 2048 pixels
공정	0.18- μ m CMOS	0.18- μ m CMOS	0.11- μ m CMOS
게이트 수 ^a	134.7K	41.7K	35K
최대 동작 주파수	200 MHz	200 MHz	606 MHz
요구 메모리 대역폭 ^b	12 reads/cycle	3 read/s cycle	1 read/cycle
보정 속도	140M pixels/s	40M pixels/s	150M pixels/s

^a 2-input NAND 셀을 기준으로 추산한 결과이며 비교를 위해 [4], [5]의 경우 컬러 이미지 보정 시 3배로 증가한 결과를 명시하였다.

^b 비교를 위해 [5]의 경우 컬러 이미지를 보정 할 때 3배로 증가한 결과를 명시하였다.



그림 11. 시뮬레이션에 사용된 샘플 영상
Fig. 11. Ten reference images for simulation.

제안하는 보정 프로세서는 게이트 수를 기준으로 기존의 연구 결과와 비교하여 메모리 인터페이스를 포함하면서도 최대 83.9% 수준의 낮은 하드웨어 복잡도를 갖는다. 제안하는 프로세서는 2048 × 2048 크기의 영상을 최대 606 MHz의 동작 주파수로 150 Mpixels/s의 속도의 보정이 가능하다. 이러한 고속의 보정 속도를 달성하면서도 요구되는 메모리 대역폭은 상대적으로 매우



그림 12. 제안하는 배럴 왜곡 보정 프로세서를 통한 보정 결과 예시: (a) 왜곡된 베이어 패턴의 이미지, (b) 보정한 컬러 이미지

Fig. 12. Examples of the distortion correction by the proposed barrel distortion correction processor: (a) distorted image of Bayer pattern and (b) corrected result.

표 2. 왜곡된 이미지 보정 후 품질 비교 (R, G, B 채널에서의 PSNR)

Table 2. Comparison of the quality of results (PSNR in R, G, B channels).

이미지	컬러 채널	기존의 방법	제안하는 방법
K01	R	33.47 dB	33.47 dB
	G	37.03 dB	37.10 dB
	B	33.55 dB	33.55 dB
K02	R	38.66 dB	38.66 dB
	G	43.02 dB	43.05 dB
	B	38.99 dB	38.99 dB
K03	R	40.08 dB	40.08 dB
	G	43.91 dB	43.87 dB
	B	40.47 dB	40.47 dB
K04	R	38.58 dB	38.58 dB
	G	42.68 dB	42.65 dB
	B	38.86 dB	38.86 dB
K05	R	34.48 dB	34.48 dB
	G	37.31 dB	37.29 dB
	B	34.64 dB	34.64 dB
K06	R	34.80 dB	34.80 dB
	G	38.42 dB	38.42 dB
	B	35.19 dB	35.19 dB
K07	R	39.49 dB	39.49 dB
	G	43.14 dB	43.18 dB
	B	39.64 dB	39.64 dB
K08	R	32.67 dB	32.67 dB
	G	35.93 dB	36.26 dB
	B	32.81 dB	32.81 dB
K09	R	38.87 dB	38.87 dB
	G	42.18 dB	42.18 dB
	B	38.37 dB	38.37 dB
K10	R	39.22 dB	39.22 dB
	G	42.61 dB	42.71 dB
	B	38.48 dB	38.48 dB

낮다.

그림 11은 시뮬레이션에 사용된 10개의 Kodak 샘플 영상을 나타낸다. 표 2는 샘플 영상을 기존의 배럴 왜곡 보정 방법으로 보정한 결과와 제안하는 배럴 왜곡 보정 방법으로 샘플 영상을 보정한 결과의 R, G, B 채널 별 PSNR을 비교한 것이다. R과 B 채널에 대해서는 기존의 결과와 동일한 수치를 보이며, G 채널의 경우 픽셀의 왜곡된 정도에 따라 더 가까운 네 개의 픽셀을 이용하여 보간을 하기 때문에 성능이 다소 차이가 날 수 있다. 그림 12는 표 2에서 K01에 해당하는 영상을 제안하는 배럴 왜곡 보정 프로세서를 통해 왜곡된 베이어 패턴의 영상을 R, G, B 채널의 영상으로 보정한 결과이다.

V. 결 론

본 논문에서는 낮은 복잡도를 갖는 컬러 디모자이킹이 결합된 배럴 왜곡 보정 방법을 제안하고, 이를 기반으로 저 복잡도의 왜곡 보정 프로세서를 설계하고 구현하였다. 제안하는 방법은 컬러 디모자이킹과 배럴 왜곡 보정 중 보간 과정의 기능적 유사성을 이용하여 하나의 픽셀에 대해 R, G, B 채널에 대한 역 맵핑을 한 번만 수행하고, R, G, B 채널의 색상을 복원하여 낮은 복잡도를 갖는 보정 프로세서의 구현을 가능하게 하였으며, 왜곡 보정 과정의 공간적 지역성을 이용한 효율적인 메모리 인터페이스를 설계하여 요구되는 메모리 대역폭을 낮추었다. 이에 따라 2048 × 2048 크기의 영상을 최대 606 MHz의 동작 주파수로 150 Mpixels/s의 속도로 보정할 수 있다.

REFERENCES

- [1] S. Y. Kim, I. H. Yoon, D. G. Kim, and J. K. Paik, "Calibration of fisheye lens images using a spiral pattern and compensation for geometric distortion," *J. of IEK SP*, vol. 49, no. 4, pp. 16-22, Jul. 2012.
- [2] V. K. Asari, S. Kumar, and D. Radhakrishnan, "A new approach for nonlinear distortion correction in endoscopic images based on least squares estimation," *IEEE Trans. Med. Imaging*, vol. 18, no. 4, pp. 345-354, Apr. 1999.
- [3] H. T. Ngo and V. K. Asari, "A pipelined

- architecture for real-time correction of barrel distortion in wide-angle camera images," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 15, no. 3, pp. 436-444, Mar. 2005.
- [4] P. Y. Chen, C. C. Huang, Y. H. Shiau, and Y. T. Chen, "A VLSI implementation of barrel distortion correction for wide-angle camera images," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 56, no. 1, pp. 51-55, Jan. 2009.
- [5] S. Chen, H. Huang, and C. Luo, "Time multiplexed VLSI architecture for real-time barrel distortion correction in video-endoscopic images," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 21, no. 11, pp. 1612-1621, Nov. 2011.
- [6] H. S. Jeong, W. T. Kim, G. H. Lee, and T. H. Kim, "Design and implementation of a low-complexity real-time barrel distortion corrector for wide-angle cameras," *J. of IEEK SD*, vol. 50, no. 6, pp. 131-137, Jun. 2013.
- [7] W. T. Kim, H. S. Jeong, G. H. Lee, and T. H. Kim, "A high-speed and low-complexity lens distortion correction processor for wide-angle cameras," in *Proc. ASP-DAC*, pp. 39-40, Suntec, Singapore, Jan. 2014.
- [8] B. K. Gunturk, J. Glotzbach, Y. Altunbasak, R.M. Mersereau, and R.W. Schafer, "Demosaicking: color filter array interpolation," *IEEE Signal Process. Mag.*, vol. 22, no. 1, pp. 44-54, Jan. 2005.
- [9] B. E. Bayer, "Color imaging array," U.S. Patent No. 3 971 065, Jul. 1976.
- [10] C. S. Wallace, "A suggestion for a fast multiplier," *IEEE Trans. Electron. Comput.*, vol. EC-13, no. 1, pp. 14-17, Feb. 1964.
- [11] P. M. Hagelin and O. Solgaard, "Optical raster-scanning displays based on surface-micromachined polysilicon mirrors," *IEEE J. Sel. Topics in Quantum Elect.*, vol. 5, no. 1, pp. 67-74, Feb. 1999.

— 저 자 소 개 —



정희성(학생회원)
2013년 한국항공대학교 전자및항공전자공학과 학사 졸업.
2014년 현재 한국항공대학교 정보통신공학과 석사과정 재학중.

<주관심분야 : 회로 및 시스템, VLSI 설계, ASIC 설계>



박윤주(학생회원)
2014년 현재 한국항공대학교 정보통신공학과 학사과정 재학중.

<주관심분야 : 회로 및 시스템, VLSI 설계, ASIC 설계>



김태환(정회원)-교신저자
2005년 연세대학교 전기전자공학과 학사 졸업.
2007년 한국과학기술원 전기 및 전자공학과 석사 졸업.
2010년 한국과학기술원 전기 및 전자공학과 박사 졸업.

2011년~현재 한국항공대학교 항공전자 및 정보통신공학부 교수.

<주관심분야 : 회로 및 시스템, VLSI 설계, ASIC 설계>