

논문 2014-51-9-10

파노라믹 스캔 라이다 시스템용 4-채널 차동 CMOS 광 트랜스 임피던스 증폭기 어레이

(Four-Channel Differential CMOS Optical Transimpedance Amplifier Arrays for Panoramic Scan LADAR Systems)

김 상 균*, 정 승 환**, 김 성 훈***, Xiao Ying***, 최 한 별***, 홍 채 린***,
이 경 민***, 어 윤 성****, 박 성 민***

(Sang Gyun Kim, Seung Hwan Jung, Seung Hoon Kim, Xiao Ying, Hanbyul Choi, Chaerin Hong,
Kyungmin Lee, Yun Seong Eo, and Sung Min Park[©])

요 약

본 논문에서는 선형성을 가진 파노라믹 스캔 라이다(PSL) 시스템용의 4-채널 차동 트랜스임피던스 증폭기 어레이를 0.18- μm CMOS 공정을 이용하여 구현하였다. PSL시스템을 위한 성능의 비교분석을 위하여 전류모드 및 전압모드의 두 종류 트랜스임피던스 어레이 칩을 각각 구현하였으며, 채널당 1.25-Gb/s 동작속도를 갖도록 설계하였다. 먼저 전류모드 칩의 경우, 각 채널 광 수신입력단은 전류미러 구조로 구현하였으며, 특히 로컬 피드백 입력구조로 개선하여 낮은 입력저항과 낮은 잡음 지수를 가질 수 있도록 설계하였다. 칩 측정 결과, 채널 당 69-dB Ω 트랜스임피던스 이득, 2.2-GHz 대역폭, 21.5-pA/sqrt(Hz) 평균 잡음 전류 스펙트럼 밀도, -20.5-dBm 수신감도, 및 1.8-V 전원전압에서 4채널 총 147.6-mW 소모전력을 보이며, 1.25-Gb/s 동작속도에서 크고 깨끗한 eye-diagram을 보인다. 한편, 전압모드 칩의 경우, 각 채널 광 수신입력단은 인버터 입력 구조로 구현하여 낮은 잡음지수를 갖도록 설계하였다. 칩 측정 결과, 채널 당 73-dB Ω 트랜스임피던스 이득, 1.1-GHz 대역폭, 13.2-pA/sqrt(Hz) 평균 잡음 전류 스펙트럼 밀도, -22.8-dBm수신감도, 및 4채널 총 138.4-mW 소모전력을 보이며, 1.25-Gb/s 동작속도에서 크고 깨끗한 eye-diagram을 보인다.

Abstract

In this paper, a couple of 4-channel differential transimpedance amplifier arrays are realized in a standard 0.18 μm CMOS technology for the applications of linear LADAR(laser detection and ranging) systems. Each array targets 1.25-Gb/s operations, where the current-mode chip consists of current-mirror input stage, a single-to-differential amplifier, and an output buffer. The input stage exploits the local feedback current-mirror configuration for low input resistance and low noise characteristics. Measurements demonstrate that each channel achieves 69-dB Ω transimpedance gain, 2.2-GHz bandwidth, 21.5-pA/sqrt(Hz) average noise current spectral density (corresponding to the optical sensitivity of -20.5-dBm), and the 4-channel total power dissipation of 147.6-mW from a single 1.8-V supply. The measured eye-diagrams confirms wide and clear eye-openings for 1.25-Gb/s operations. Meanwhile, the voltage-mode chip consists of inverter input stage for low noise characteristics, a single-to-differential amplifier, and an output buffer. Test chips reveal that each channel achieves 73-dB Ω transimpedance gain, 1.1-GHz bandwidth, 13.2-pA/sqrt(Hz) average noise current spectral density (corresponding to the optical sensitivity of -22.8-dBm), and the 4-channel total power dissipation of 138.4-mW from a single 1.8-V supply. The measured eye-diagrams confirms wide and clear eye-openings for 1.25-Gb/s operations.

Keywords : arrays, CMOS, current mirror, inverter, LADAR, transimpedance amplifier

* 학생회원, **** 정회원, 광운대학교 전자정보공과대학 전자공학과
(Department of Electronics Eng., Kwangwoon University)

** 정회원, Silicon R&D

*** 평생회원, 이화여자대학교 공과대학 전자공학과(Department of Electronics Eng., Ewha Womans University)

© Corresponding Author(E-mail: smpark@ewha.ac.kr)

※ 이 연구는 민·군 겸용 기술사업 (Dual Use Technology Program)으로 지원받았음.

접수일자: 2014년5월16일, 수정일자: 2014년8월14일, 수정완료: 2014년9월02일

I. 서 론

라이다(LADAR: laser detection and ranging) 시스템은 3차원 영상처리를 통한 거리측정 및 사물인식 능력이 뛰어나기 때문에 무인차량 응용, 항공사진촬영 분야 등 다양한 신기술 분야에 곧 적용될 것으로 각광을 받고 있다. 특히, 최근 들어 무인차량 운행 혹은 일반 차량주행 시 운전자의 편의 및 보행자의 안전을 도모하는 3차원 영상 시스템은 그 수요가 급증하고 있으며, 이는 RF 레이더 시스템보다 빠른 lock-on time, 작은 beam spread, 감속차량 감지능력 등의 여러 장점을 갖고 있기 때문이다^[1].

그림 1은 파노라믹 스캔 라이다(PSL) 시스템의 한 예를 보여준다^[2]. 무인차량에 장착하여 360° 회전하며 3차원 영상을 구현하는 시스템이며, 이를 실현하기 위하여 먼저 PSL 시스템은 904-nm 파장을 갖는 반도체 레이저로부터 광 펄스 신호를 송신하고, 거리 측정 범위 내에 있는 물체들로부터의 반사 펄스 신호를 멀티채널 어레이 칩에서 수신하여 거리별 물체의 위치 및 형상을 재현하는 것이다. 이를 위해 광 신호 검출을 위한 멀티채널(m×1) 어레이 형태의 트랜스임피던스 증폭기(TIA) 어레이가 필요하다.

따라서 본 논문에서는 저잡음 및 저전력 성능을 갖는 단거리용 멀티채널 (4×1 채널) TIA 어레이 두 종류를 0.18-um CMOS 공정을 이용하여 구현하였고, 그 성능을 비교분석하였다. 이때, 입력단 광 검출기로부터 발생하여 입력되는 전기적 전류신호의 크기가 단거리 내에서 반사되는 물체의 종류에 따라 1.4 uA_{pp}~70 uA_{pp} (즉, 34-dB dynamic range)변화를 가지는 것으로 예상하였다. 즉, 설계하는 TIA의 잡음지수 및 광 수신감도가 낮아야 하며, 특히 70 uA_{pp}의 큰 신호와 1.4 uA_{pp}의 MDS(minimum detectable signal)가 1ns의 짧은 시간



그림 1. 파노라믹 스캔 라이다 시스템의 한 예 [2]
Fig. 1. Example(Velodyne) of a PSL system.

차이로 입력될 경우에도 신호간섭의 문제없이 복원이 깨끗하게 될 수 있도록 선형성이 있어야 한다.

II. 본 론: 멀티채널 광 수신기 어레이

본 논문에서 제안하는 광 TIA 어레이는 전류모드의 전류미러 TIA 어레이 및 전압모드의 인버터 TIA 어레이 두 가지 형태를 갖는다. 참고문헌 [1]에서는 single-ended 구조의 인버터 TIA와 공통게이트 TIA를 구현하여 소면적의 4x4 어레이 칩을 구현하였으나, 본 논문에서는 차동구조의 어레이를 구현함으로써 전원전압 노이즈 및 crosstalk 노이즈와 같은 공통 노이즈에 덜 민감한 회로를 구현하고자 하였다.

1. 전류미러 트랜스임피던스 증폭기 어레이

그림 2는 차동 전류미러 TIA 회로의 블록 다이어그램 및 상세한 회로도도를 보여준다. 먼저, 전류미러 입력 구조는 전류모드로 동작하므로, 기본적으로 낮은 입력 임피던스를 가지며, 이에 따라 입력단의 큰 기생 커패시턴스의 영향을 회로성능으로부터 분리 할 수 있어 넓은 대역폭을 가질 수 있는 장점이 있다.

하지만, 전류미러 입력단은 single-ended 구조이므로, 출력을 차동신호로 바꿔주는 저역필터(LPF)가 필요하다. 수동소자를 이용해 구현한 LPF 회로는 TIA의 single-ended 출력신호를 받아, DC전압 신호로 변환하

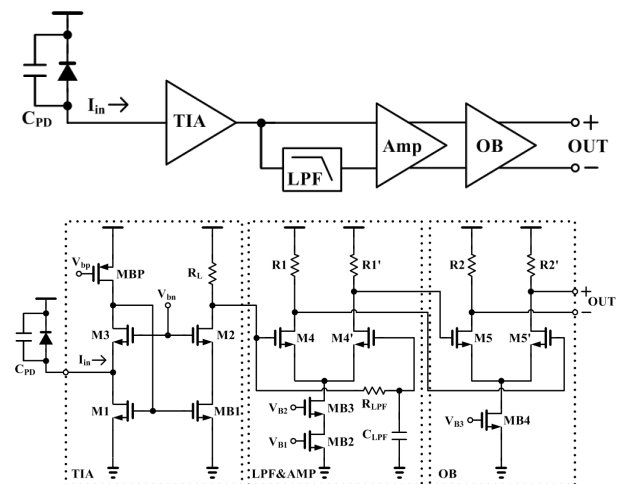


그림 2. 차동 전류미러 TIA의 블록 다이어그램 및 회로도
Fig. 2. Block and schematic diagrams of the differential current-mirror TIA.

며 이를 차동증폭기의 한쪽 입력신호로 사용함으로써, 차동증폭단의 공통모드 전압을 일치하게 하여 출력 차동신호를 쉽게 얻도록 한다. 이 때, 회로의 노이즈 성능 저하에 거의 영향이 없다.

또한, single-ended 입력단 이후 차동구조를 갖는 2단의 전압증폭단이 포함되며, 이 때 높은 이득과 넓은 대역폭 특성 둘 다 만족할 수 있도록 설계하였다.

$$Z_{IN}(0) \simeq \frac{1}{g_{m1}g_{m3}(r_{oB1}||r_{o3})} = \frac{1}{g_{m1}A_f} \quad (1)$$

$$Z_T(0) \simeq \frac{g_{m2}}{g_{m1}}(R_L||r_{o2}) = \frac{(W/L)_2}{(W/L)_1}(R_L||r_{o2}) \quad (2)$$

$$f_{-3dB} \simeq \frac{1}{2\pi \left\{ \frac{(C_{pd} + C_{IN})}{g_{m1}A_f} + R_L(C_{gd4} + C_{db4} + C_x) \right\}} \quad (3)$$

$$\begin{aligned} \overline{i_{eg}^2} &\simeq \overline{i_{d1}^2} + \overline{i_{dB1}^2} + \frac{(\overline{i_{d2}^2} + \overline{i_{RL}^2})}{g_{m2}^2} \\ &\times \left\{ \frac{1}{r_{oB1}^2} + \frac{1}{g_{m3}^2 r_{o3}^2} \left(\frac{1}{r_{o1}^2} + w^2 C_{INtot}^2 \right) + w^2 C_{d3}^2 \right\} \\ &\simeq \overline{i_{d1}^2} + \overline{i_{dB1}^2} + \frac{\overline{i_{d2}^2}}{g_{m2}^2} \omega^2 C_{d3}^2 \\ &= 4kTT(g_{m1} + g_{mB1}) + \frac{4kTT}{g_{m2}} \omega^2 C_{d3}^2 \end{aligned} \quad (4)$$

TIA 회로 중 전류미러 입력단을 제외한 모든 회로는 차동구조로 설계하였고, 이로써 전체 회로의 CMRR (Common Mode Rejection Ratio) 성능을 개선하고, 회로 내 공통모드 잡음 제거 성능을 개선할 수 있도록 하였다.

전류미러 입력단의 소신호 해석을 통해, 트랜스임피던스 증폭기의 입력저항, 트랜스임피던스 이득, 대역폭, 및 잡음 전류 스펙트럼 밀도에 대한 식을 다음과 같이 구할 수 있다^[3-4].

위 식에서 g_m 및 r_o 는 각 트랜지스터의 트랜스 컨덕턴스 및 저항을 나타내고, C_x 는 전류미러 다음 단의 입력 커패시턴스를 의미한다. 입력노드에서 보이는 큰 기생 커패시턴스 C_{IN-tot} 는 $C_{pd} + C_{gd1} + C_{db1} + C_{gs3} + C_{sb3}$, M3의 드레인 노드에서 보이는 C_{d3} 는 $C_{gd1} + C_{db1} +$

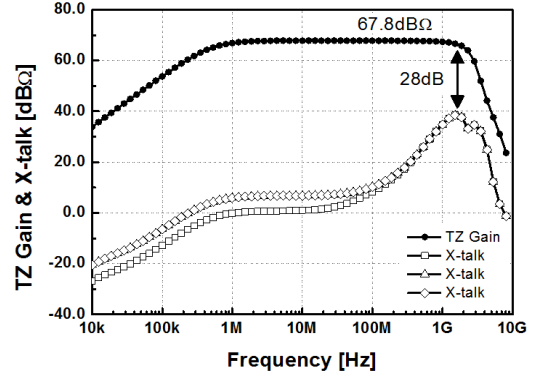
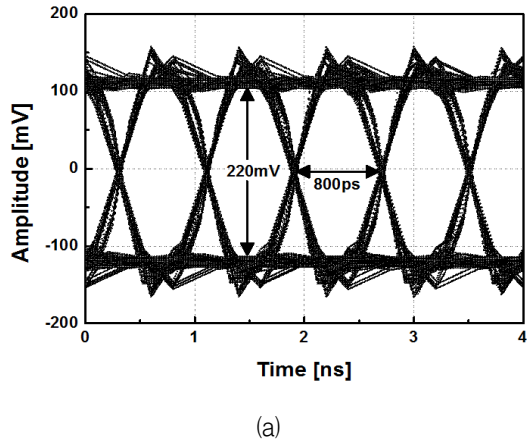
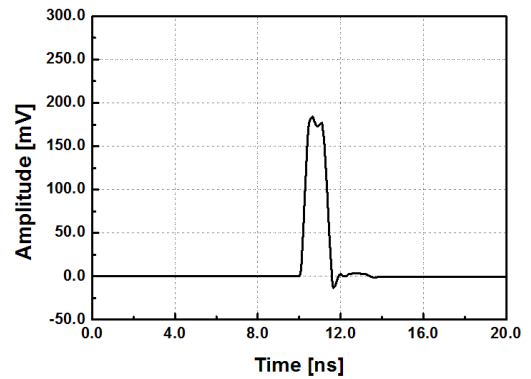


그림 3. 차동 전류미러 TIA 어레이의 주파수 응답 (crosstalk 포함) 시뮬레이션 결과

Fig. 3. Simulated frequency response (including crosstalk) of the differential CM-TIA array.



(a)



(b)

그림 4. 차동 전류미러 TIA 어레이의 transient 시뮬레이션 결과: (a) eye-diagrams (1.25-Gb/s, PRBS 231-1), (b) pulse response (70 uApp & 1.4 uApp with 1ns separation)

Fig. 4. Transient simulation results of the differential CM-TIA array: (a) eye-diagrams for 1.25-Gb/s 2³¹-1 PRBS, (b) pulse response for 70 uApp & 1.4 uApp pulses with 1ns separated.

$C_{gd3} + C_{db3}$ 로서 C_{IN-tot} 에 비해 매우 작다.

한편, i_{d1} , i_{d2} , 및 i_{dB1} 은 트랜지스터 M_1 , M_2 , 및 M_{B1} 의 채널 열잡음 전류 스펙트럼 밀도를 나타내며, i_{RL} 은 저항 R_L 의 열잡음 전류 스펙트럼 밀도를 나타낸다.

식 (1)-(4)로부터, 전류미러 입력단의 입력저항은 로컬 피드백 이득 A_f 값과 g_{m1} 값을 조절하여 감소할 수 있고, 이로써 보다 넓은 대역폭을 얻을 수 있다.

여전히 M_1 의 g_{m1} 값에 따른 입력저항, 대역폭, 및 잡음전류 스펙트럼 밀도 간의 설계 tradeoff는 존재하지만, g_{m1} 값의 영향이 적은 장점이 있다.

그림 3은 4-채널 차동 전류미러 TIA 어레이의 포트-레이아웃 시뮬레이션 결과로서, 각 채널 당 67.8-dB Ω 트랜스임피던스 이득, 2.2-GHz 대역폭, 및 28-dB signal-to-crosstalk ratio(SCR) 값을 얻었다.

또한, 그림 4의 transient 시뮬레이션 결과, 1.25-Gb/s $2^{31}-1$ PRBS 신호에 대한 eye-diagrams를 얻었으나, overshoot 현상이 발생하였다. 또한, 70 μA_{pp} 의 큰 펄스와 1.4 μA_{pp} 의 작은 펄스 (약 34-dB 크기 차이)를 1ns의 간격으로 시뮬레이션 한 결과에서도 복원된 두 신호가 overlap 되는 등 깨끗한 복원이 어려울 수 있다.

2. 인버터 트랜스임피던스 증폭기 어레이

그림 5는 차동 인버터 TIA 회로의 블록 다이어그램 및 상세한 회로도를 보여준다. 먼저 기본적인 인버터 구조에 피드백 저항을 연결하였고, 또한 CMOS 이미지 센서 회로와 같이 전류소스를 통한 컨트롤이 가능하도록

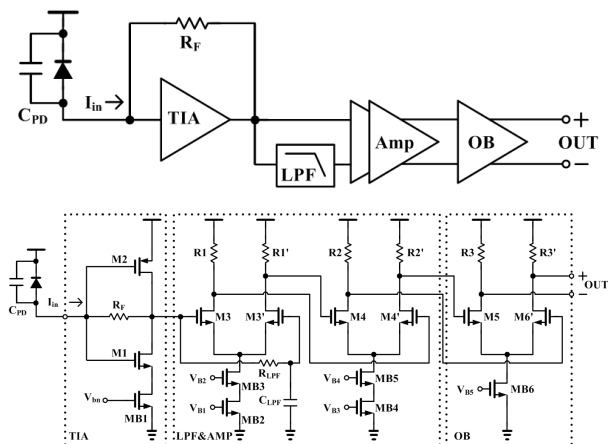


그림 5. 차동 인버터 TIA의 블록 다이어그램 및 회로도
Fig. 5. Block and schematic diagrams of the differential INV-TIA.

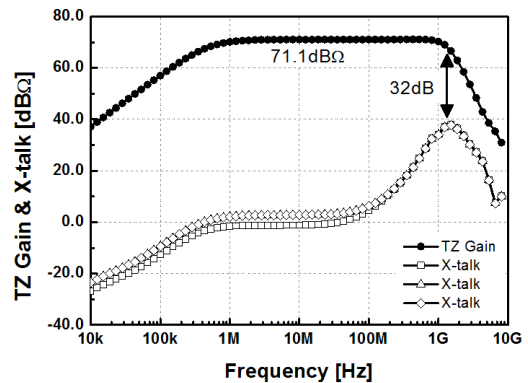
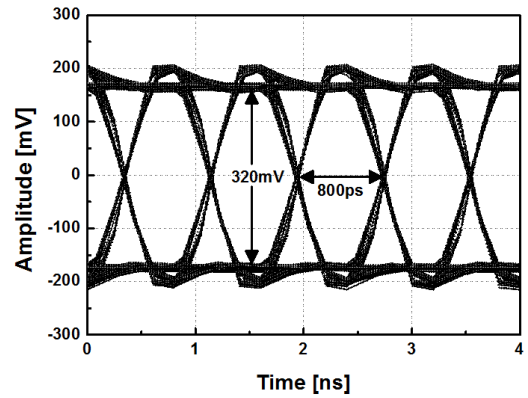
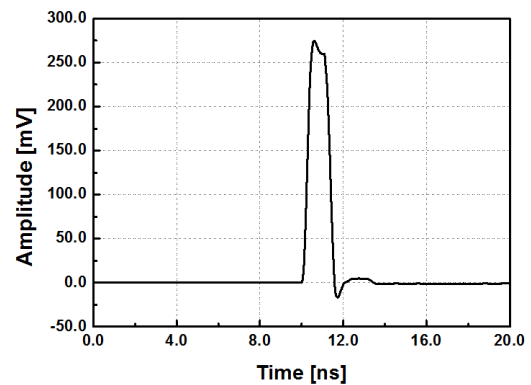


그림 6. 차동 인버터 TIA 어레이의 주파수 응답(crosstalk 포함) 시뮬레이션 결과

Fig. 6. Simulated frequency response (including crosstalk) of the differential INV-TIA array.



(a)



(b)

그림 7. 차동 인버터 TIA 어레이의 transient 시뮬레이션 결과: (a) eye-diagrams (1.25-Gb/s, PRBS 231-1), (b) pulse response (70 μA_{pp} & 1.4 μA_{pp} with 1ns separation)

Fig. 7. Transient simulation results of the differential INV-TIA array: (a) eye-diagrams for 1.25-Gb/s $2^{31}-1$ PRBS, (b) pulse response for 70 μA_{pp} & 1.4 μA_{pp} pulses with 1ns separated.

록 인버터 입력단 아래에 전류소스를 더함으로 DC 전류조절을 통한 이득 및 출력임피던스 컨트롤이 가능하도록 하였다. 또한, 인버터 입력단의 출력이 single-ended 이므로, 이를 차동신호로 바꿔주는 저역 필터(LPF)가 필요하며, 전류모드 RGC-TIA와 같이 수동소자를 이용해 구현함으로써 전체 회로의 노이즈 성능저하에 영향이 거의 없도록 하였다^[5]. 2단의 차동구조 전압증폭단을 포함하여 높은 이득을 얻도록 하였고, 넓은 대역폭 특성을 만족하도록 설계하였다.

그림 6은 4-채널 차동 인버터 TIA 어레이의 포트-레이아웃 시뮬레이션 결과로서, 각 채널 당 71.1-dBΩ 트랜스임피던스 이득, 1.4-GHz 대역폭, 및 32-dB SCR 값을 얻었다. 저주파 대역의 -3dB 주파수는 LPF의 특성에 따라 조절이 가능하다.

그림 7은 차동 인버터 TIA 어레이의 transient 시뮬레이션 결과로서, 1.25-Gb/s 2³¹-1 PRBS 입력신호에 대해 전류미러 TIA 어레이에 비해 보다 크고 깨끗한 eye-diagrams를 얻었고, overshoot 현상도 비교적 작게 발생하였다. 70 uA_{pp}의 큰 펄스와 1.4 uA_{pp}의 작은 펄스(약 34dB 크기 차이)를 1ns의 간격으로 시뮬레이션 한 결과에서도 복원된 두 신호의 구분이 앞선 전류미러 TIA 어레이 회로에 비해 보다 확실하게 구분된다.

III. 칩 제작 및 측정 결과

본 논문에서 설계한 두 종류의 4-채널 차동 광 TIA 어레이 칩은 0.18um CMOS 공정으로 제작하였다.

1. 4-채널 차동 전류미러 TIA 어레이

그림 8은 제작한 4-채널 차동 전류미러 TIA 어레이 칩의 칩 사진 및 측정용 PCB를 보여준다. 제작한 어레이 칩의 면적은 패드를 포함하여 0.7 x 1.7 mm²이다.

그림 9는 4-채널 차동 전류미러 TIA 어레이의 주파수 응답 측정결과 (S-parameters 및 Z-parameters)로서, 먼저 S-parameter의 경우 각 채널 당 29.4-dB 파워 이득, 1.2-GHz 대역폭, 및 20-dB SCR 값을 얻었으며, 이를 Z-parameter로 변환한 결과, 69-dBΩ 트랜스임피던스 이득, 2.2-GHz 대역폭, 및 20-dB SCR 값을 갖는다. 이는 앞선 포트-레이아웃 시뮬레이션 결과와 상당히 일치함을 보여준다.

그림 10은 500-Mb/s, 800-Mb/s, 1.0-Gb/s 및

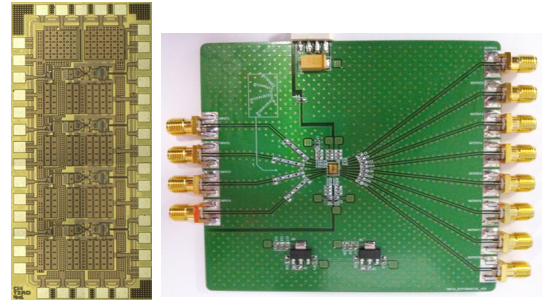


그림 8. 4-채널 차동 전류미러 TIA 어레이의 칩 사진 및 측정용 PCB.
Fig. 8. Chip photograph and its evaluation PC-board of the 4-channel differential CM-TIA array.

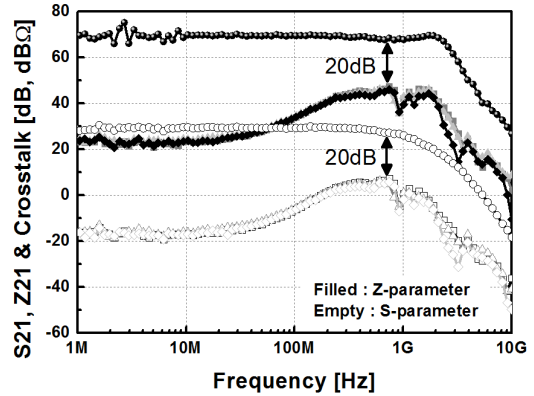


그림 9. 차동 전류미러 TIA의 주파수 응답 측정 결과 (S21 & crosstalk)
Fig. 9. Measured frequency response (S21 & crosstalk) of the differential CM-TIA array.

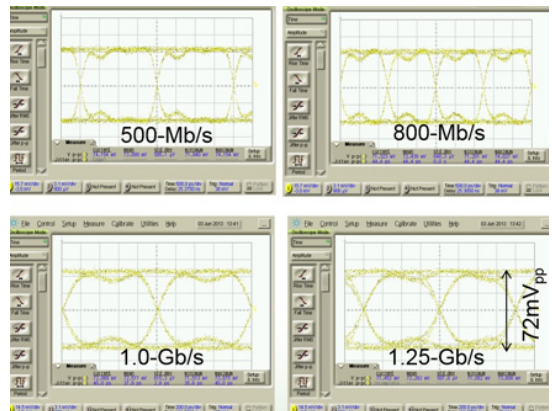


그림 10. (a) 500-Mb/s, (b) 800-Mb/s, (c) 1.0-Gb/s, 및 (d) 1.25-Gb/s 속도의 231-1 PRBS 입력 데이터 열에 대한 수신기의 eye-diagram 측정결과 (등가 입력전류 = 100uA_{pp})
Fig. 10. Measured eye-diagrams of the 4-channel differential CM-TIA array for (a) 500-Mb/s, (b) 800-Mb/s, (c) 1.0-Gb/s, and (d) 1.25-Gb/s 2³¹-1 PRBS input data stream (equivalent I_{in} = 100A_{pp}).

1.25-Gb/s 동작속도를 갖는 $2^{31}-1$ PRBS 입력신호에 대한 전류미러 TIA 어레이의 eye-diagram 측정결과를 보여준다. 각 동작속도에서 overload 현상에 의한 신호 왜곡 없이 크고 깨끗한 eye-diagrams을 얻었으며, 출력 전압스윙 크기는 72 mV_{pp} 이다. 이를 포토다이오드에서 발생하는 등가적인 입력전류 크기로 변환하면 100 uA_{pp} 에 해당한다. 또한, 이는 50Ω 터미네이션에 의한 이득 감소 6 dB 및 차동신호에 대한 보상(6 dB)을 통해, 69 dB Ω 의 트랜스임피던스 이득을 갖게 되므로 시뮬레이션 결과 및 주파수 응답 측정결과와 매우 일치한다.

한편, DC-측정 결과, 1.8-V 전원전압으로부터 4-채널 전체 82 mA의 전류가 발력소모는 36.9 mW이다.

2. 4-채널 차동 인버터 TIA 어레이

그림 11은 제작한 4-채널 차동 인버터 TIA 어레이 칩의 칩 사진 및 측정용 PCB를 보여준다. 4-채널 어레이 칩의 면적은 패드를 포함하여 $0.7 \times 1.7\text{ mm}^2$ 이다.

그림 12는 4-채널 차동 인버터 TIA 어레이의 주파수 응답 측정결과(S-parameters 및 Z-parameters)로서, 먼저 S-parameter의 경우 각 채널 당 25.6-dB 파워이득, 1.13-GHz 대역폭, 및 24-dB SCR 값을 얻었다. 이를 Z-parameter로 변환한 결과, 73-dB Ω 트랜스임피던스 이득, 1.1-GHz 대역폭, 및 24-dB SCR 값이며, 시뮬레이션 결과(71.1 dB Ω)와 약 2 dB 차이를 갖는데 이는 피드백 저항 값의 증가로 인함이며, 이로 인해 대역폭은 시뮬레이션 결과(1.4 GHz)로부터 1.1 GHz로 줄었다.

그림 13은 500-Mb/s, 800-Mb/s, 1.0-Gb/s 및 1.25-Gb/s 동작속도를 갖는 $2^{31}-1$ PRBS 입력신호에 대한 4-채널 인버터 TIA 어레이의 eye-diagram 측정결과를 보여준다. 마찬가지로, 각각의 동작속도에서 overload 현상에 의한 신호왜곡 없이 크고 깨끗한 eye-diagrams을 얻었으며, 출력 전압스윙 크기는 100 mV_{pp} 로 측정되었다. 이를 포토다이오드에서 발생하는 등가적인 입력전류 크기로 변환하면 100 uA_{pp} 에 해당한다. 또한, 이는 50Ω 터미네이션에 의한 이득감소 6 dB 및 차동신호에 대한 보상(6 dB)을 통해 72 dB Ω 의 트랜스임피던스 이득을 갖게 되어 시뮬레이션 결과 및 주파수 응답 측정결과와 매우 일치한다.

칩의 전력소모는 1.8-V의 전원전압으로부터 출력 버퍼단을 포함하여 채널 당 35.6 mW의 전력을 소모한다.

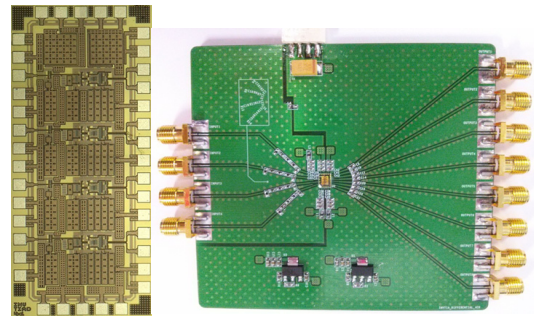


그림 11. 전압모드 인버터 TIA 어레이 칩 사진 및 PCB.
Fig. 11. Chip photograph and its evaluation PC-board of the 4-channel differential INV-TIA array.

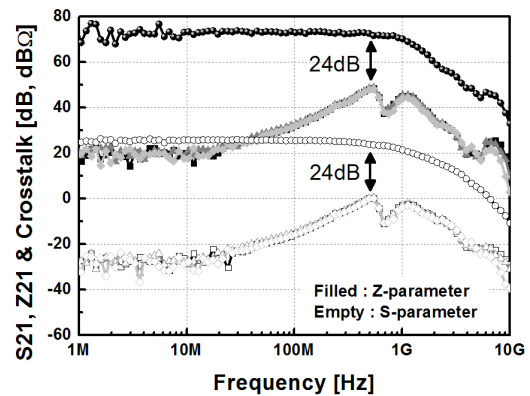


그림 12. 차동 인버터 TIA의 주파수 응답 (S21 & crosstalk) 측정 결과
Fig. 12. Measured frequency response (S21 & crosstalk) of the differential INV-TIA array.

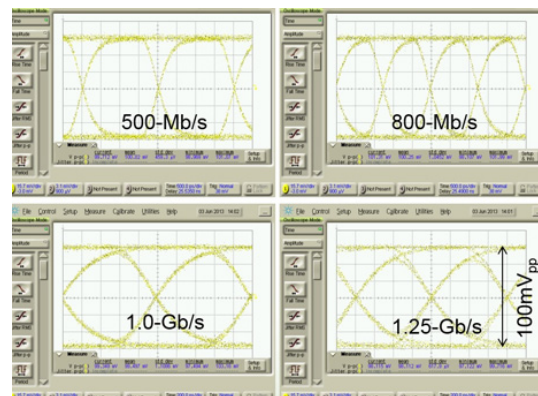


그림 13. (a) 500-Mb/s, (b) 800-Mb/s, (c) 1.0-Gb/s, 및 (d) 1.25-Gb/s 속도의 $2^{31}-1$ PRBS 입력 데이터 열에 대한 수신기의 광 eye-diagram 측정결과 (등가 입력전류 = 100 uA_{pp})
Fig. 13. Measured eye-diagrams of the 4-channel differential INV-TIA array for (a) 500-Mb/s, (b) 800-Mb/s, (c) 1.0-Gb/s, and (d) 1.25-Gb/s $2^{31}-1$ PRBS input data stream (equivalent $I_{in} = 100\text{ uA}_{pp}$).

표 1은 제안한 두 종류의 4-채널 차동 TIA 어레이 칩의 성능을 요약하며, CMOS 공정으로 설계한 이전 광 TIA 어레이들과의 성능을 비교한 표로서 시뮬레이션 값을 기본으로 정리하였다. 특히, 각 광 수신기의 성능을 아래와 같이 정의한 Figure-of-Merit (FoM)을 통해 비교하였다^[6].

$$FoM = \frac{Power\ diss.(mW)/Ch.}{TZ\ Gain(\Omega) \times Bandwidth(GHz)} \quad (5)$$

본 논문에서 제안한 멀티채널 TIA 어레이 칩은 [1]에서 보여준 single-ended 구조와 달리 차동구조로 구현하였으며, 그에 따라 채널 간 crosstalk에 의한 영향이 single-ended 구조에 비해 매우 개선된 것을 볼 수 있다. 특히, 전류미러, TIA 어레이 칩의 경우, 차동구조로 구현함으로써 SCR 값이 20 dB 향상되었는데, 이는 입력 전류신호 자체를 증폭하는 전류미러 TIA 회로구조의 경우, 전원선로를 통해 입력되는 crosstalk의 영향이 매우 심각할 수 있기 때문에 차동구조를 통해 그 영향을 미미하게 할 수 있도록 개선되었음을 보여주는 것이다.

한편, 대역폭 성능의 경우, 전류미러 TIA가 낮은 입력 임피던스를 가지는 장점으로 인해 2.2 GHz의 넓은 대역폭을 갖는다. 채널 당 전력소모는 차동회로의 경우, single-to-differential 단 및 차동구조 증폭단 등으로 인해 single-ended 구조에 비해 약 2.11배의 전력소모를 갖는다.

전압모드 인버터 TIA 어레이의 경우, 차동구조를 통해 SCR 값이 약 11 dB 높아졌으며, 이는 입력 전류신호가 전압으로 변환되어 증폭되는 구조이기 때문에 전류미러 TIA 어레이에 비해 전원선로를 통해 입력되는 crosstalk의 영향이 작고, 따라서 차동구조를 통해 개선되는 정도 역시 11 dB로 다소 적은 값을 갖는다. 하지만, 절대치 SCR 값이 32 dB로 crosstalk 영향을 줄일 수 있는 다채널 구조의 TIA 어레이로서 매우 적합하다고 할 수 있다.

대역폭 특성의 경우, single-ended 구조와 거의 비슷하며, 채널 당 전력소모는 약 3배 정도 증가하였다. 이는 S2D단 및 2단의 차동구조 증폭기와 출력버퍼에 의한 것이며, 여러 단의 구조임에도 약 1 dB 개선된 수신 감도 특성을 갖는다. 또한, 두 칩의 측정결과, 트랜스 임피던스 이득은 시뮬레이션 결과와 거의 일치함을 보이

표 1. 4채널 차동 광 TIA 어레이의 성능 요약과 참고 문헌[1]에 발표된 4채널 광 TIA 어레이와의 성능 비교를 나타낸 표.

Table 1. Performance summary of the 4-channel differential optical TIA arrays and their comparison with the previously reported single-ended CMOS optical TIA arrays.

Parameters	CM-TIA [1]	CM-TIA	INV-TIA [1]	INV-TIA
Tech. (μm)	0.18	0.18	0.18	0.18
Architecture	Single	Diff.	Single	Diff.
Data rate (Gb/s/ch)	1.25	1.25	1.25	1.25
No. of channel	4	4	4	4
TZ Gain (dB Ω)	65	67.8 (*69)	65	71.1 (*73)
BW (GHz)	0.98	2.2 (*2.2)	1.3	1.4 (*1.1)
Signal-to-Crosstalk Ratio (SCR, dB)	8	28 (*20)	21	32 (*24)
*Sensitivity (dBm) for 10^{-12} BER	-20.5	-20.5	-21.9	-22.8
Power diss. (mW) per channel	17	36 (*36.9)	11	35.6 (*34.6)
FoM	9.75	6.67 (*5.98)	4.76	7.09 (*7.04)

() measured results⁵

* sensitivity estimated by assuming 0.6A/W responsivity

나, 대역폭은 전류미러 TIA의 경우 시뮬레이션과 같으나, 인버터 TIA의 경우 약 21% 줄었다. 이는 레이아웃 상에서 발생한 기생 커패시턴스 및 피드백 저항 값의 증가로부터 발생하였으며, 입력노드의 기생성분 변화에 취약한 전압모드 인버터 TIA의 특성으로 여겨진다.

SCR 측정결과, 전류미러 TIA 어레이와 인버터 TIA 어레이 칩 모두 시뮬레이션에 비해 8 dB 열화된 특성을 갖는다. 이는 멀티채널 어레이에서 피할 수 없는 파워라인 및 접지라인의 공유에 의한 crosstalk 특성열화로 인한 것으로 판단된다. 하지만, 여전히 인버터 TIA 어레이가 전류모드인 전류미러 TIA 어레이에 비해 절대치 SCR 값이 4dB 개선된 것을 볼 수 있다.

IV. 결 론

논문에서는 두 종류의 차동구조 4-채널 광 TIA 어레이 칩을 0.18- μm CMOS 공정을 사용하여 구현하였다. 파노라믹 스캔 라이다 시스템용의 TIA 어레이 칩을

로써 채널 간 간섭효과를 줄이고, $1.4 \mu A_{pp}$ 의 작은 광 신호부터 $70 \mu A_{pp}$ 의 큰 신호까지 약 34 dB의 dynamic range를 감당할 수 있는 TIA 어레이 칩을 구현하였다. 각 채널 당 1.25-Gb/s의 속도로 동작할 수 있어서, 짧은 펄스 신호가 1ns의 좁은 간격으로 입력될 경우에도 이를 복원할 수 있는 칩을 구현하였다.

전류모드의 전류미러 입력단을 갖는 4-채널 차동구조 전류미러 TIA 어레이 칩은 낮은 입력 임피던스로 인해 보다 넓은 대역폭을 갖는 장점이 있으나, 1ns의 간격을 갖는 펄스신호 복원에서는 overlapping 현상이 발생하는 단점이 있다. 전압모드의 차동구조 인버터 TIA 어레이 칩은 대역폭이 전류모드에 비해 작지만, 24 dB 이상의 SCR 값을 유지하기 때문에 채널 간 간섭효과에 있어 매우 최적의 구조라 할 수 있으며, 짧은 간격(1ns)의 연속된 펄스 신호를 overlapping 없이 깨끗하게 복원하는 장점이 있다.

결론적으로, 전압모드의 차동구조 TIA 어레이가 비슷한 이득, 대역폭, 및 전력소모에 대해 전류모드 차동구조 TIA 어레이 보다 높은 SCR 특성을 가지며, 펄스 신호 복원이 효과적임을 볼 수 있기에, 향후 PSL 시스템 응용에 있어서 매우 효율적인 솔루션이 될 것으로 기대한다.

IEEE A-SSCC, pp. 156-159, Nov. 2007.

REFERENCES

- [1] Y. M. Jang et al., "Multi-channel Transimpedance Amplifier Arrays in Short-Range LADAR Systems for Unmanned Vehicles", *J. of IEEK*, Vol. SD-50, No. 12, pp. 40-48, Dec. 2013.
- [2] www.velodynelidar.com, HDL-64E
- [3] J. Shin et al., "A 2.5-Gb/s Modified Current-Mirror Transimpedance Amplifier in 0.18- μm CMOS Technology", 2012 SoC Conference, Apr. 2012.
- [4] J. Yun et al., "4-Gb/s Current-Mode Optical Transceiver in 0.18 μm CMOS", *IEEE ISSCC 2009*, pp. 102-103, Feb. 2009.
- [5] J. Lee et al., "4-Channel 2.5-Gb/s/ch CMOS Optical Receiver Array for Active Optical HDMI Cables", *J. of IEEK*, Vol. SD-49, No. 8, pp. 22-26, Aug. 2012.
- [6] J. Han et al., "A 2.5-Gb/s ESD-Protected Dual-Channel Optical Transceiver Array", in

저 자 소 개



김 상 균(학생회원)
 2012년 광운대학교
 전자공학과 학사 졸업.
 2014년 광운대학교
 전자공학과 석사 졸업.
 2014년 현재 광운대학교
 전자공학과 박사 과정.
 <주관심분야 : CMOS RF 및 아날로그 회로 설
 계>



홍 채 린(학생회원)
 2014년 이화여자대학교
 전자공학과 학사졸업.
 2014년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야: 초고속 유선통신용
 아날로그 회로 및 PMIC 설계>



정 승 환(정회원)
 2006년 광운대학교
 전자공학과 학사 졸업.
 2008년 광운대학교
 전자공학과 석사 졸업.
 2012년 광운대학교
 전자공학과 박사 졸업.
 2014년 현재 Silicon R&D 책임연구원
 <주관심분야 : CMOS RF 및 아날로그 회로 설
 계>



이 경 민(학생회원)
 2014년 이화여자대학교
 전자공학과 학사졸업.
 2014년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야: 초고속 유선통신용
 아날로그 회로 및 PMIC 설계>



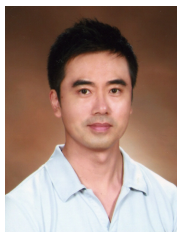
김 성 훈(학생회원)
 2006년 울산대학교 전기전자
 공학부 학사 졸업.
 2008년 울산대학교 전기전자
 공학부 석사 졸업.
 2010년 울산대학교 전기전자
 공학부 박사 수료.
 2014년 현재 이화여자대학교 연구원
 <주관심분야 : 초고속 디지털 인터페이스회로, 아
 날로그 회로, RF 회로, 및 PMIC 회로설계>



어 윤 성(정회원)
 1993년 한국과학기술원 전기
 및 전자공학과 학사 졸업
 1995년 한국과학기술원 전기
 및 전자공학과 석사 졸업
 2001년 한국과학기술원 전기
 및 전자공학과 박사 졸업
 2000년 8월~2002년 8월 LG전자 기술원
 RF team 선임 연구원
 2002년 9월~2005년 8월 삼성종합기술원
 Chip Solution Center 책임 연구원
 2009년 Silicon R&D 설립 및 대표이사
 2014년 현재 광운대학교 전자공학과 교수
 <주관심분야 : CMOS RF transceiver 설계,
 CMOS Power Amp 설계>



Xiao Ying(학생회원)
 2000년 Changchun University of
 Science and Technology
 전자공학과 학사졸업.
 2014년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야: 초고속 유선통신용
 아날로그 회로 및 PMIC 설계>



박 성 민(평생회원)
 1993년 KAIST 전기및전자공학과
 학사졸업.
 1994년 Univ. of London
 전자공학과 석사졸업.
 2000년 Imperial College London
 전자공학과 박사졸업.



최 한 별(학생회원)
 2013년 이화여자대학교
 전자공학과 학사졸업.
 2014년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야: 초고속 유선통신용
 아날로그 회로 및 PMIC 설계>

2012년 현재 이화여자대학교 전자공학과 교수
 <주관심분야: RF 회로, PMIC 회로, 초고속 디지
 털 인터페이스회로, 실리콘 포토닉스 회로 설계>